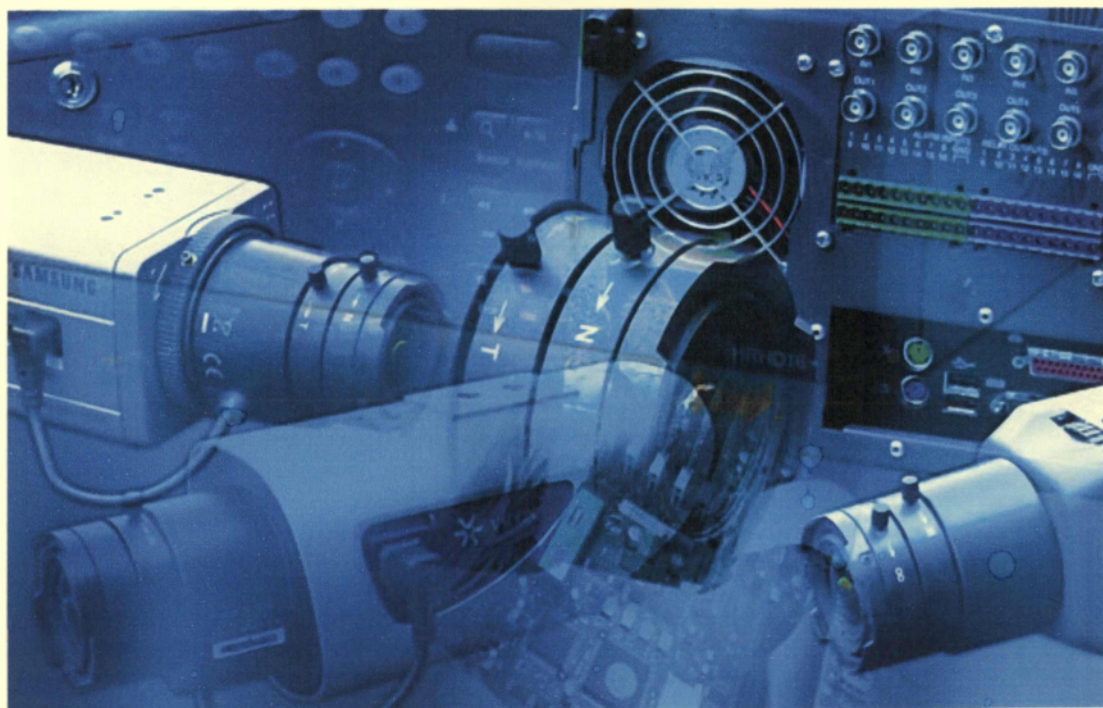


ΤΕΙ ΚΑΛΑΜΑΤΑΣ – ΠΑΡΑΡΤΗΜΑ ΣΠΑΡΤΗΣ

ΤΜΗΜΑ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ

Μεθοδολογίες σχεδίασης ψηφιακών ολοκληρωμένων κυκλωμάτων

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ



Μπάλλα Ρεζάρτα

Επιβλέπων καθηγητής

Λιαπέρδος Ιωάννης

ΕΥΧΑΡΙΣΤΙΕΣ

Στο δύσκολο έργο ολοκλήρωσης της παρούσας εργασίας με βοήθησαν και μου συμπαραστάθηκαν κάποια πρόσωπα, τα οποία θα ήθελα να ευχαριστήσω.

Καταρχήν, θα ήθελα να ευχαριστήσω τον κ. Λιαπέρδο Ιωάννη για την πολύτιμη καθοδήγηση, συνεργασία και τη βοήθεια που μου προσέφερε για την επίλυση των όποιων προβλημάτων παρουσιάστηκαν κατά τη διάρκεια της εργασίας. Η υποστήριξη του και ο χρόνος που αφιέρωσε στο πρόσωπο μου συνέβαλαν στην επιτυχή ολοκλήρωση της εργασίας

Συνεχίζοντας θα ήθελα να ευχαριστήσω τους γονείς μου Καστριότ και Κιαζίμε για την συμπαράσταση και καθοδήγηση τους, σε όλη τη διάρκεια των σπουδών μου ,καθώς τα αδελφό μου Ίντρι και την Κ. Μαρία Τσουλόγιαννη γιατί ήταν πάντα δίπλα μου, όταν τους χρειάστηκα.

Τέλος ευχαριστώ όλους τους φίλους μου για την καθημερινή τους παρουσία και συμπαράσταση όλα αυτά τα χρόνια και τους συμφοιτητές μου, για την βοήθεια τους.

ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ

Πρόλογος	σελ.5
1. MOSFET	
1.1 Αρχή λειτουργίας του MOSFET	σελ.6
1.2 Τύποι MOSFET	σελ.9
1.3 Περιοχές λειτουργίας του MOSFET	σελ.11
1.4 Μαθηματικό μοντέλο για το MOSFET	σελ.15
1.5 Ισοδύναμα κυκλώματα για το MOSFET	σελ.16
1.6 Εφαρμογές των MOSFET	σελ.18
2. ΗΛΕΚΤΡΟΝΙΚΑ ΓΙΑ ΤΗΝ ΠΛΗΡΟΦΟΡΙΚΗ	
2.1 Γενικά	σελ.19
2.2 Αναπαράσταση δεδομένων στο δυαδικό σύστημα	σελ.21
2.3 Αρχές λειτουργίας των ψηφιακών κυκλωμάτων – Άλγεβρα διακόπτων	σελ.28
2.4 Κυκλωματική υλοποίηση λογικών πυλών	σελ.33
2.4.1 Η οικογένεια DDL	σελ.33
2.4.2 Η οικογένεια RTL	σελ.36
2.4.3 Οι οικογένειες nMOS και CMOS	σελ.39
2.4.4 Υλοποίηση λογικών συναρτήσεων σε τεχνολογία CMOS	σελ.44
2.5 Ανάλυση κυκλωμάτων αναστροφής	σελ.50
2.5.1 Αναστροφέας MOS με ωμική αντίσταση ως φόρτο	σελ.54
2.5.2 Αναστροφέας MOS με φόρτο τρανζίστορ MOS επαγωγής καναλιού στον κόρο	σελ.56
2.5.3 Αναστροφέας MOS με φόρτο τρανζίστορ MOS επαγωγής καναλιού στην Περιοχή τριόδου	σελ.58
2.5.4 Αναστροφέας MOS με φόρτο τρανζίστορ MOS απογύμνωσης καναλιού	σελ.59
2.5.5 Αναστροφέας CMOS	σελ.60
2.6 Ταχύτητα ψηφιακών κυκλωμάτων – Χρόνοι μετάβασης και καθυστέρησης Εξόδου	σελ.63
3. ΣΧΕΔΙΑΣΜΟΣ VLSI	
3.1 Η VLSI διαδικασία σχεδίασης	σελ.66
3.2 Σχεδίαση Αρχιτεκτονικής	σελ.66
3.3 Σχεδιασμός Λογικής	σελ.67
3.4 Σχεδιασμός σε φυσικό επίπεδο	σελ.67
3.4.1 Στυλ διάταξης	σελ.67
3.5 Ιστορική Αναδρομή – Εφαρμογές VLSI	σελ.68

4. STANDARD CELL

4.1 Ιστορική αναδρομή	σελ. 71
4.2 Γενική περιγραφή του Standard cell based design	σελ. 72
4.2.1 Πλεονεκτήματα – Μειονεκτήματα και σύγκριση με άλλες μεθόδους	σελ. 72
4.2.2 Τρόποι υλοποίησης	σελ. 73
4.3 Σύνθεση ενός standard cell	σελ. 74
4.4 Βιβλιοθήκη από standard cell	σελ. 75

5. ΕΙΣΑΓΩΓΗ FGPA

5.1 Από τι αποτελείται το ASICs	σελ. 81
5.1.1 Επισκόπηση	σελ. 81
5.2 Μια ιστορία της προγραμματισμένης λογικής	σελ. 82
5.3 Προγραμματισμός τεχνολογίας	σελ. 83
5.4 Στατική Τεχνολογία-Προγραμματισμός μνήμης	σελ. 83
5.5 Πρόγραμμα τεχνολογίας flash / EEPROM	σελ. 84
5.6 Anti fuse Τεχνολογία Προγραμματισμός	σελ. 85
5.7 Αρχιτεκτονική blok-logic	σελ. 86
5.8 Μεθοδολογία	σελ. 86
5.9 Logic Block Trade-Offs with Area	σελ. 87
5.9.1 Ταχύτητα συμβιβασμών	σελ. 89
5.9.2 Μνήμη	σελ. 90
5.9.3 Μικροεπεξεργαστές	σελ. 90
5.10 Commercial Logic Blocks	σελ. 90
5.11 FPGA Δρομολόγηση Αρχιτεκτονική Επισκόπηση	σελ. 92
5.11.1 Island δρομολόγησης	σελ. 92
5.11.2 Δρομολόγηση Αρχιτεκτονικής	σελ. 92
5.12 Μονοκατευθυντικά Single-Driver Αρχιτεκτονικές Δρομολόγησης	σελ. 92
5.13 Πρόσθετη Βελτίωση Δομής Δρομολόγησης	σελ. 95
5.13.1 Bus-Based Routing	σελ. 95
5.13.2 Συνεχή διοχέτευση Δρομολόγησης	σελ. 95
5.14 Τα θέματα που σχετίζονται με το ρεύμα	σελ. 96
5.14.1 Input / Output Αρχιτεκτονική και Δυνατότητες	σελ. 97
5.15 Βασικές I / O Πρότυπα	σελ. 97
5.16 I / O Θέματα Αρχιτεκτονικής	σελ. 97
5.17 Προκλήσεις για την I / O Αρχιτεκτονικής και Σχεδιασμού	σελ. 98
5.18 Το χάσμα μεταξύ FPGA και ASICs	σελ. 99
5.18.1 Εναλλακτικές λύσεις για FPGAs	σελ. 99
5.18.2 Δομημένη ASICs	σελ. 99
5.18.3 Σχεδιασμός-Ειδική δοκιμή	σελ. 100
Βιβλιογραφία	σελ. 102
Βιογραφικό	σελ. 103

ΠΡΟΛΟΓΟΣ

Σκοπός αυτής της εργασίας είναι να παρουσιάσουμε πως εξελίχθηκαν με τα χρόνια τα ψηφιακά κυκλώματα, από την αρχή της δημιουργίας τους μέχρι και σήμερα που έχει γίνει η ολοκλήρωσή τους. Στο πρώτο κεφάλαιο αναφέρουμε το MOSFET ένα ειδικό τύπο τρανζίστορ επίδρασης πεδίου. Στο δεύτερο κεφάλαιο αναφέρουμε τα ηλεκτρονικά είδη στην πληροφορική. Στο τρίτο κεφάλαιο θα μιλήσουμε για το VLSI. Στο τέταρτο κεφάλαιο θα μιλήσουμε για τα standard cell. Και τέλος στο πέμπτο κεφάλαιο θα αναφερθούμε για το FPGA.

1 MOSFET

Το MOSFET (ή συντομότερα MOS) αποτελεί ειδικό τύπο τρανζίστορ επίδρασης πεδίου (Field Effect Transistor – FET). Τα τρανζίστορ επίδρασης πεδίου είναι ηλεκτρονικές διατάξεις τριών ακροδεκτών, στις οποίες η αγωγιμότητα μεταξύ των δύο ακροδεκτών καθορίζεται από την τάση που εφαρμόζεται στον τρίτο ακροδέκτη. Παρόλο που η ιδέα για την κατασκευή ενός τρανζίστορ επίδρασης πεδίου ήταν ώριμη από τη δεκαετία του 1920 (Lilienfeld), τα πρώτα πρακτικά FET έγινε δυνατό να κατασκευαστούν στη δεκαετία του 1960 (Atalla & Khang), όταν και ξεπεράστηκαν οι σχετικοί τεχνολογικοί περιορισμοί. Η ονομασία MOS αποτελεί ακρωνύμιο των λέξεων Metal-Oxide-Semiconductor και σχετίζεται με την κατασκευή των τρανζίστορ αυτού του τύπου, όπως θα δούμε στη συνέχεια.

Σε σύγκριση με το διπολικό τρανζίστορ ένα τρανζίστορ MOS κατασκευάζεται πολύ πιο εύκολα, ενώ καταλαμβάνει πολύ μικρότερο μέρος της επιφάνειας ενός ολοκληρωμένου κυκλώματος. Επιπλέον, εξαιτίας της δομής τους, τα MOS είναι ηλεκτρικά απομονωμένα από το υπόστρωμα πάνω στο οποίο αναπτύσσονται (εξαιτίας των ανάστροφα πολωμένων επαφών p-n που σχηματίζουν) και άρα είναι και μεταξύ τους απομονωμένα. Μπορούν, επομένως, να τοποθετηθούν πολύ κοντά το ένα στο άλλο, χωρίς πρόβλημα αλληλεπίδρασης. Κάτι ανάλογο δεν συμβαίνει με τα διπολικά τρανζίστορ η τοποθέτηση των οποίων είναι λιγότερο πυκνή και τα οποία, επιπλέον, απαιτούν την ανάπτυξη ειδικών περιοχών απομόνωσης, οι οποίες καλύπτουν ένα μεγάλο ποσοστό της επιφάνειας του ολοκληρωμένου κυκλώματος στο οποίο περιέχονται. Ένα ακόμα πλεονέκτημα των διατάξεων MOS είναι πως μπορούν να συνδεθούν σαν αντιστάσεις ή πυκνωτές, γεγονός που επιτρέπει την κατασκευή κυκλωμάτων που αποτελούνται αποκλειστικά από τρανζίστορ MOS. Οι παραπάνω ιδιότητες καθιστούν τα MOSFET κυρίαρχες διατάξεις στα συστήματα πολύ μεγάλης κλίμακας ολοκλήρωσης (VLSI).

Από την άλλη πλευρά, ο σημαντικότερος περιορισμός των κυκλωμάτων με MOS είναι στα υψηλά ρεύματα και στις υψηλές τάσεις. Η μέγιστη τάση λειτουργίας τέτοιων κυκλωμάτων είναι της τάξης των 10V, και μπορούν να αποδώσουν μέγιστο ρεύμα της τάξης των 20mA. Κατά τη σχεδίαση ψηφιακών κυκλωμάτων οι περιορισμοί αυτοί δεν προβληματίζουν τον σχεδιαστή. Για περιπτώσεις εφαρμογών μεγαλύτερης ισχύος αντιμετωπίζονται με MOSFET ειδικής κατασκευής (MOSFET ισχύος – power MOSFETs).

1.1 Αρχή λειτουργίας του MOSFET

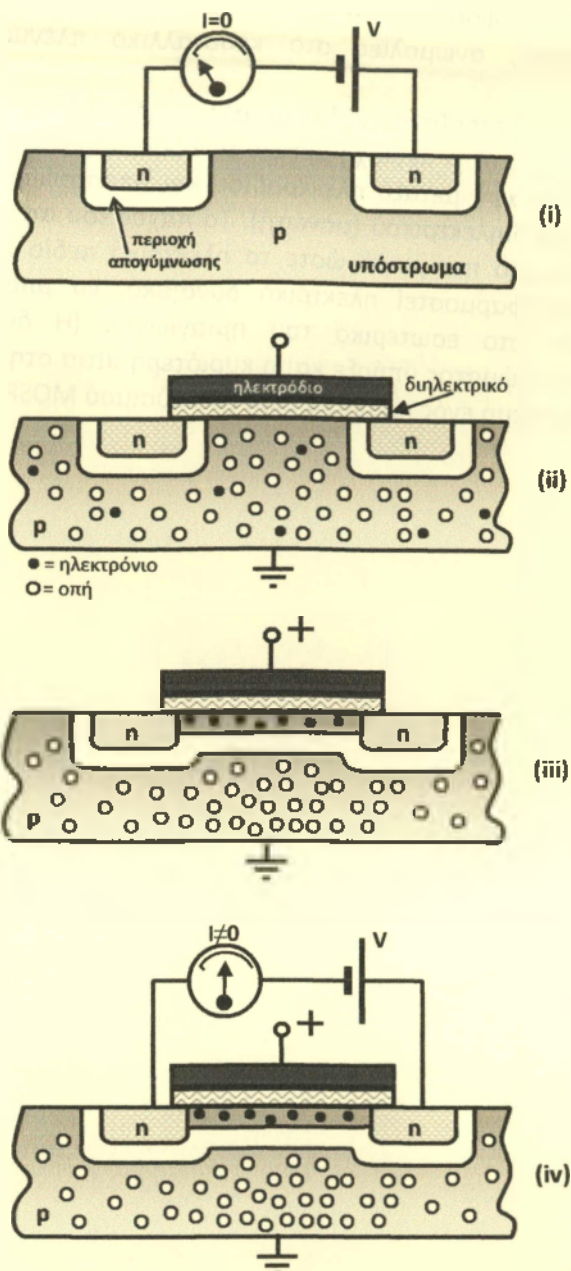
Ας θεωρήσουμε ένα υπόστρωμα (substrate) από ημιαγωγό τύπου p, πάνω στο οποίο έχουν αναπτυχθεί δύο γειτονικές περιοχές τύπου n, όπως φαίνεται στο Σχήμα 1-ι. Είναι φανερό πως με τη γεωμετρία αυτή έχουμε δύο επαφές p-n, από τη μελέτη των οποίων γνωρίζουμε πως γύρω από τη διαχωριστική επιφάνεια μεταξύ των δύο τύπων ημιαγωγού σχηματίζονται περιοχές απογύμνωσης, που χαρακτηρίζονται από την απουσία φορέων και την ύπαρξη φορτίων χώρου. (Οι περιοχές αυτές εξασφαλίζουν την ηλεκτρική απομόνωση).

Ας εφαρμόσουμε, τώρα, μια ηλεκτρική τάση μεταξύ των δύο τμημάτων τύπου n, κατά τον τρόπο που υποδεικνύει το Σχήμα 1-ι. Η διέλευση ρεύματος δεν είναι δυνατή, ακόμα κι αν αναστραφεί η πολικότητα της εφαρμοζόμενης τάσης, εξαιτίας της ύπαρξης των περιοχών απογύμνωσης στις οποίες αναφερθήκαμε, το εύρος των οποίων διευρύνεται με την εφαρμογή της εξωτερικής τάσης.

Η αγωγιμότητα μεταξύ των δύο τμημάτων τύπου n θα μπορούσε να επιτευχθεί αν υπήρχε τρόπος να σχηματισθεί ένα αγωγικό κανάλι (ή διάυλος – channel) μεταξύ των δύο τμημάτων. Αυτό θα μπορούσε να συμβεί αν είχαμε τη δυνατότητα να συγκεντρώσουμε ηλεκτρικούς φορείς κοντά στην επιφάνεια του υποστρώματος τύπου p μεταξύ των δύο

τμημάτων τύπου n. Τέτοιοι «διαθέσιμοι» φορείς είναι τα ηλεκτρόνια μειονότητας του υποστρώματος (από θερμική διέγερση, ανωμαλίες στο κρυσταλλικό πλέγμα του ημιαγωγού, κ.λπ.).

Ας υποθέσουμε, στη συνέχεια, πως τοποθετούμε ένα μεταλλικό ηλεκτρόδιο (πύλη – gate) πάνω στην επιφάνεια του ημιαγωγού στην περιοχή μεταξύ των δύο τμημάτων τύπου n. Για να αποφύγουμε την ηλεκτρική επαφή μεταξύ ηλεκτροδίου και υποστρώματος θα παρεμβάλουμε ένα πολύ λεπτό στρώμα διηλεκτρικού (μονωτή). Το πάχος του στρώματος αυτού θα πρέπει να είναι όσο το δυνατό πιο μικρό ώστε το ηλεκτρικό πεδίο που θα δημιουργεί η πύλη, όταν σε αυτήν εφαρμοστεί ηλεκτρικό δυναμικό, να μπορεί να επηρεάσει τους ηλεκτρικούς φορείς στο εσωτερικό του ημιαγωγού. (Η δυσκολία σχηματισμού του πολύ λεπτού αυτού στρώματος υπήρξε και η κυριότερη αιτία στην οποία οφείλεται η «καθυστέρηση» στην κατασκευή ενός πρακτικά εκμεταλλεύσιμου MOSFET).



Σχήμα 1: Αρχή λειτουργίας του MOSFET

Το υλικό του διηλεκτρικού της πύλης είναι συνήθως οξείδιο του πυριτίου (SiO_2). Παρατηρώντας τη διαστρωμάτωση των υλικών από την πύλη προς το υπόστρωμα, έχουμε: Μέταλλο (πύλη) – οξείδιο (διηλεκτρικό) – ημιαγωγός (υπόστρωμα). Η παρατήρηση αυτή εξηγεί την ονομασία MOS (Metal-Oxide-Semiconductor).

Αν εφαρμόσουμε μια θετική ηλεκτρική τάση στην πύλη (ως προς το υπόστρωμα) κατά το Σχήμα 1-ii, φορείς μειονότητας (ηλεκτρόνια) από το υπόστρωμα θα συσσωρευθούν (θα επαχθούν) στην επιφάνεια του ημιαγωγού που γειτνιάζει με την πύλη, λόγω ηλεκτρικής έλξης, υπό την επίδραση του ηλεκτρικού πεδίου που αυτή δημιουργεί. Αντίστοιχα, οι επιφανειακές οπές θα απωθηθούν στα ενδότερα του υποστρώματος. Στην ισορροπία, η διάταξη θα εμφανίζει την εικόνα του Σχήματος 1-iii: Ένα επιφανειακό στρώμα (κανάλι) από επαγωγή φορέων σχηματίζεται μεταξύ των περιοχών τύπου n. Επιπλέον, το κανάλι αυτό είναι ηλεκτρικά απομονωμένο από το υπόστρωμα λόγω της περιοχής απογύμνωσης που

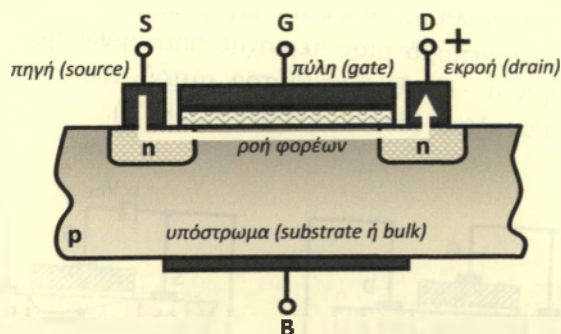
σχηματίζεται κάτω από αυτό, εξαιτίας της μετανάστευσης των οπών σε κατώτερες περιοχές του υποστρώματος.

Είναι φανερό ότι με την πύλη σε θετικό δυναμικό η διάταξη επιτρέπει τη διέλευση του ηλεκτρικού ρεύματος μεταξύ των δύο τμημάτων τύπου n μέσω του επαγόμενου καναλιού, όπως φαίνεται στο Σχήμα 1-iv. Εξαιτίας της συμμετρίας της διάταξης η φορά του ρεύματος αυτού μπορεί να αναστραφεί (με την αλλαγή πολικότητας της τάσης που την προκαλεί).

Μια διάταξη με τη μορφή που περιγράψαμε αντιστοιχεί σε ένα τρανζίστορ MOS. Οι πρώτες παρατηρήσεις που μπορούμε να κάνουμε είναι οι εξής: Με μηδενικό (ή αρνητικό) δυναμικό στην πύλη, το τρανζίστορ MOS βρίσκεται στην αποκοπή. Απαγορεύει, δηλαδή, την διέλευση ηλεκτρικού ρεύματος. Με ικανό θετικό δυναμικό στην πύλη (λεπτομέρειες θα δούμε σε επόμενη παράγραφο) το τρανζίστορ άγει. Επομένως, μπορούμε να πούμε πως το τρανζίστορ MOS μπορεί να λειτουργήσει ως διακόπτης ελεγχόμενος από τάση, γεγονός που το εκμεταλλευόμαστε στην κατασκευή ψηφιακών κυκλωμάτων. Επιπλέον, το τρανζίστορ MOS μπορεί να λειτουργήσει ως αντιστάτης ελεγχόμενος από τάση, και ως πηγή ρεύματος ελεγχόμενη από τάση. Το τελευταίο μπορούμε να το εκμεταλλευθούμε για τη σχεδίαση κυκλωμάτων ενισχυτών.

1.2 Τύποι MOSFET

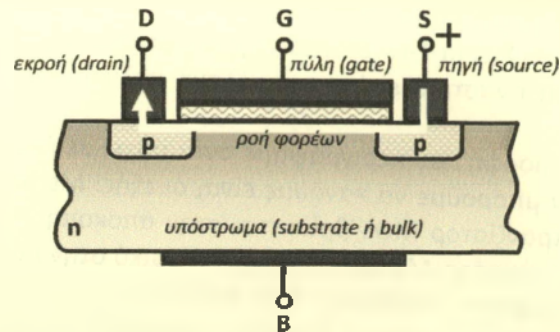
Στο τρανζίστορ που μελετήσαμε στην προηγούμενη παράγραφο οι φορείς μειονότητας που σχηματίζουν το επαγόμενο κανάλι είναι ηλεκτρόνια. Ένα τέτοιο τρανζίστορ χαρακτηρίζεται ως MOSFET με κανάλι τύπου n , ή nMOS. Η δομή ενός nMOS καθώς και οι συμβολισμοί που το αφορούν φαίνονται στο Σχήμα 2. Οι ακροδέκτες που συνδέονται στις περιοχές τύπου n ονομάζονται πηγή (source – S) και εκροή (drain – D). Από τους ακροδέκτες αυτούς, εκείνος που βρίσκεται στο χαμηλότερο δυναμικό (και από τον οποίο «πηγάζουν» οι φορείς αγωγιμότητας [ηλεκτρόνια]) χαρακτηρίζεται ως πηγή, ενώ ο ακροδέκτης που βρίσκεται σε υψηλότερο δυναμικό (και από τον οποίο «εκρέουν» [εξέρχονται] οι φορείς αγωγιμότητας [ηλεκτρόνια]) χαρακτηρίζεται ως εκροή. Ο ακροδέκτης της πύλης συμβολίζεται με G (από το gate). Για διακριτά τρανζίστορ nMOS η πηγή είναι εκ κατασκευής βραχυκυκλωμένη με το υπόστρωμα. Κατά τη σχεδίαση ολοκληρωμένων κυκλωμάτων με τρανζίστορ MOS το υπόστρωμα θεωρείται ως τέταρτος ακροδέκτης και συμβολίζεται με B (από το bulk).



Σχήμα 2: Τρανζίστορ nMOS: Δομή, ακροδέκτες, συμβολισμοί

Στο Σχήμα 3 φαίνεται ένα τρανζίστορ MOS κατασκευασμένο σε υπόστρωμα τύπου n , πάνω στο οποίο έχουν αναπτυχθεί νησίδες τύπου p . Στο τρανζίστορ αυτό οι φορείς μειονότητας που σχηματίζουν το επαγόμενο κανάλι είναι οπές. Ένα τέτοιο τρανζίστορ

χαρακτηρίζεται ως MOSFET με κανάλι τύπου p, ή pMOS. Οι συμβολισμοί που το αφορούν φαίνονται επίσης στο Σχήμα 3.



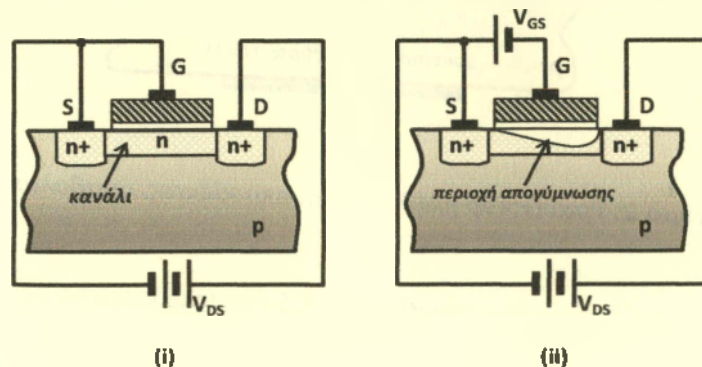
Σχήμα 3: Τρανζίστορ pMOS: Δομή, ακροδέκτες, συμβολισμοί

Από τους ακροδέκτες που συνδέονται στις νησίδες τύπου p εκείνος που βρίσκεται στο υψηλότερο δυναμικό (και από τον οποίο «πηγάζουν» οι φορείς αγωγιμότητας [οπές]) χαρακτηρίζεται ως πηγή, ενώ ο ακροδέκτης που βρίσκεται σε υψηλότερο δυναμικό (και από τον οποίο «εκρέουν» [εξέρχονται] οι φορείς αγωγιμότητας [οπές]) χαρακτηρίζεται ως εκροή.

Θα πρέπει να σημειώσουμε πως προϋπόθεση για το σχηματισμό του καναλιού σε ένα pMOS είναι το δυναμικό της πύλης να είναι αρνητικό (ώστε οι φορείς μειονότητας [οπές] του υποστρώματος να έλκονται προς την επιφάνεια του ημιαγωγού).

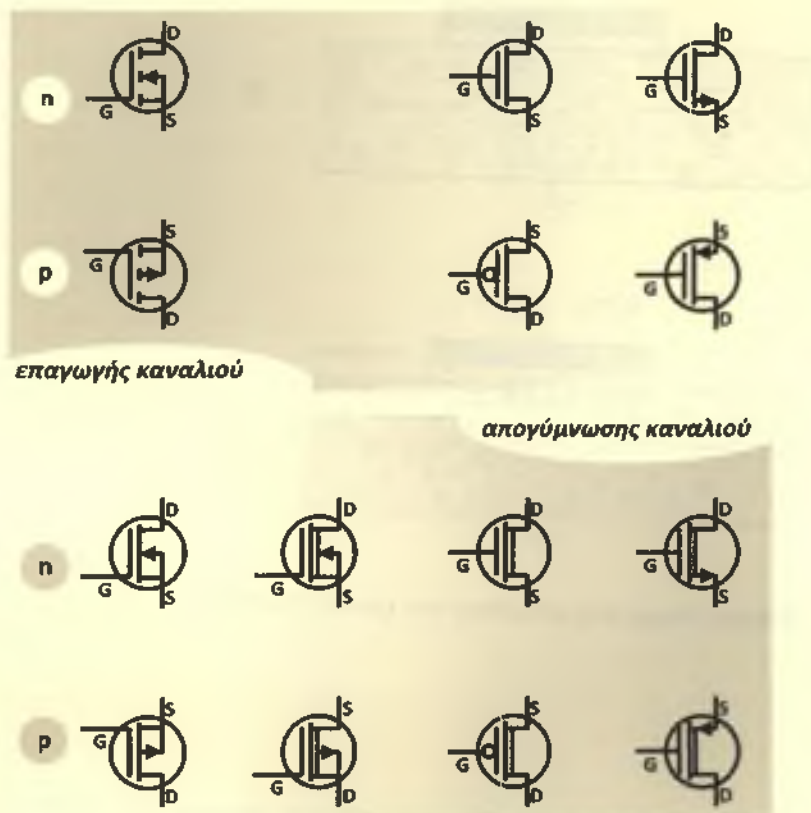
Στα MOSFET που έχουμε μέχρι στιγμής μελετήσει το αγωγίμο κανάλι επάγεται με την εφαρμογή κατάλληλης τάσης στην πύλη. Για το λόγο αυτό τα τρανζίστορ αυτού του τύπου χαρακτηρίζονται ως MOSFET επαγωγής (ή προσαύξησης) καναλιού (enhancement type MOSFETs).

Στο Σχήμα 4 απεικονίζεται ένα MOSFET τύπου n στο οποίο οι νησίδες που υπόκεινται των ακροδεκτών πηγής και εκροής συνδέονται εκ κατασκευής μεταξύ τους με μια περιοχή τύπου n η οποία έχει αναπτυχθεί κοντά στην επιφάνεια του υποστρώματος. Με άλλα λόγια, το κανάλι είναι προ-σχηματισμένο. Αν η τάση που εφαρμόζεται στην πύλη είναι μηδενική (ως προς την πηγή), η εφαρμογή τάσης μεταξύ πηγής και εκροής θα προκαλεί ηλεκτρικό ρεύμα μεταξύ των ακροδεκτών αυτών (Σχήμα 4 –i). Η εφαρμογή αρνητικού δυναμικού στην πύλη (ως προς την πηγή) οδηγεί στην άπωση των ηλεκτρονίων του καναλιού και στο σχηματισμό μιας περιοχής απογύμνωσης, η οποία περιορίζει την αγωγιμότητά του (Σχήμα 4 –ii). Τα τρανζίστορ αυτού του τύπου χαρακτηρίζονται ως MOSFET απογύμνωσης καναλιού (depletion type MOSFETs).



Σχήμα 4: Τρανζίστορ MOS απογύμνωσης καναλιού

Τα συνηθέστερα κυκλωματικά σύμβολα που χρησιμοποιούνται για τους διάφορους τύπους MOSFET που εξετάσαμε παρουσιάζονται στο Σχήμα 5.



Σχήμα 5: Κυκλωματικά σύμβολα των τρανζίστορ MOS

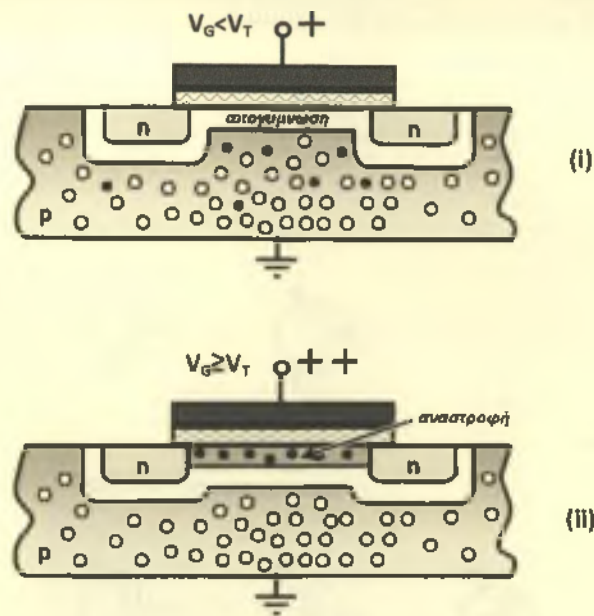
1.3 Περιοχές λειτουργίας του MOSFET

Στην παράγραφο αυτή θα εξετάσουμε αναλυτικότερα τη λειτουργία του τρανζίστορ MOS. Αν δεν γίνεται άλλη αναφορά, η περιγραφή μας θα αφορά τρανζίστορ nMOS επαγωγής καναλιού.

Θα ξεκινήσουμε εξετάζοντας λεπτομερέστερα τις φάσεις σχηματισμού του καναλιού στο τρανζίστορ MOS. Θα υποθέσουμε ότι η τάση της πύλης (ως προς το υπόστρωμα) αυξάνεται σταδιακά από μηδενική αρχική τιμή προς θετικές τιμές. Τα δυναμικά πηγής και εκροής θα υποτεθούν, εδώ, μηδενικά.

Για μηδενική τάση πύλης (V_G) το εσωτερικό της διάταξης αντιστοιχεί στην εικόνα του Σχήματος 1-ι και το κανάλι είναι αποκομμένο. Για πολύ μικρές τιμές της τάσης πύλης το επιφανειακό στρώμα κάτω από αυτήν απογυμνώνεται από φορείς πλειοψηφίας (οπές), η συγκέντρωση των οποίων είναι μεγάλη, σχηματίζοντας μια περιοχή αρνητικών φορτίων χώρου στο επιφανειακό στρώμα του ημιαγωγού μεταξύ πηγής και εκροής. Η επίδραση του ηλεκτρικού πεδίου που προκαλείται από την πύλη στους φορείς μειονότητας του υποστρώματος (ηλεκτρόνια) αντισταθμίζεται από το πεδίο που παράγεται από τα φορτία

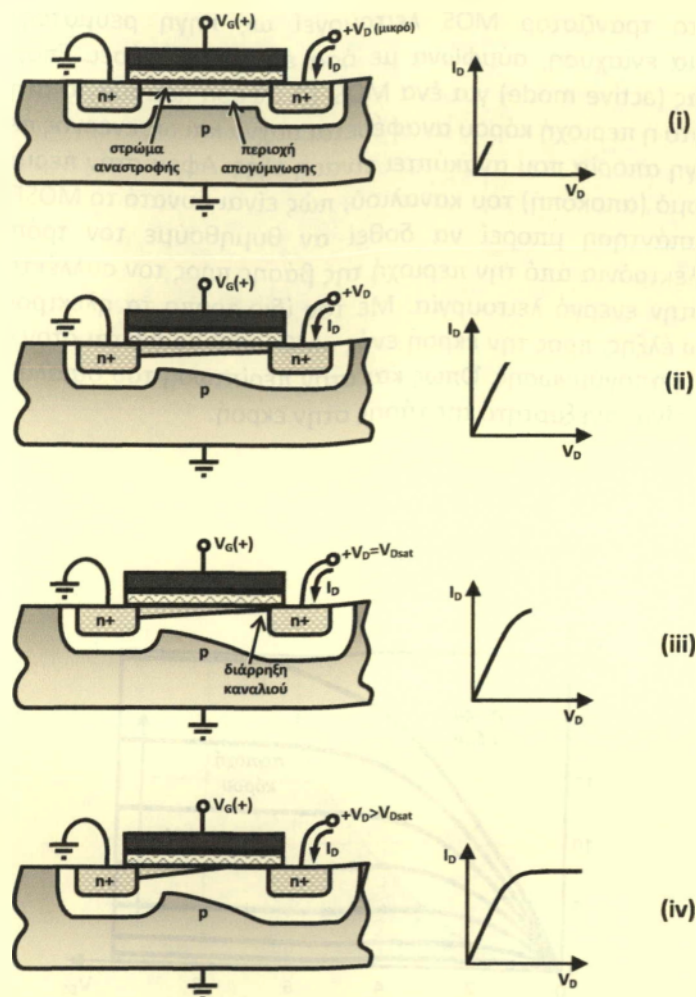
χώρου της περιοχής απογύμνωσης, γεγονός που απαγορεύει τον σχηματισμό αγώγιμου καναλιού μεταξύ πηγής και εκροής (Σχήμα 6-i).



Σχήμα 6: Φάσεις επαγωγής καναλιού στο τρανζίστορ MOS

Για τιμές τάσης πύλης-πηγής (V_{GS}) μεγαλύτερες από μια συγκεκριμένη τιμή, το ηλεκτρικό πεδίο της πύλης υπερνικά εκείνο της περιοχής φορτίων χώρου επιτρέποντας την ανάδυσση των φορέων μειονότητας στην επιφάνεια του ημιαγωγού και το σχηματισμό αγώγιμου καναλιού (Σχήμα 6-ii). Λόγω του ότι οι φορείς πλειοψηφίας στο κανάλι είναι τα ηλεκτρόνια, το επιφανειακό στρώμα χαρακτηρίζεται ως στρώμα αναστροφής (inversion layer), εξαιτίας της αλλαγής του τύπου του (από p σε n). Η οριακή τιμή της τάσης πύλης-πηγής στην οποία εμφανίζεται αναστροφή του επιφανειακού στρώματος του ημιαγωγού ονομάζεται τάση κατωφλίου (threshold voltage) του τρανζίστορ και συμβολίζεται με V_T . Η τάση κατωφλίου, επομένως, οριοθετεί τις περιοχές αποκοπής και αγωγιμότητας ενός τρανζίστορ MOS.

Στη συνέχεια θα υποθέσουμε σταθερή τάση πύλης (ως προς την πηγή) μεγαλύτερη της τάσης κατωφλίου ($V_G > V_T$) και θα εξετάσουμε την επίδραση της τάσης εκροής (V_D) στο αγώγιμο κανάλι κάτω από την πύλη. Με την εφαρμογή θετικής τάσης στην εκροή η τάση της πύλης, η οποία αποτελεί και το αίτιο σχηματισμού του καναλιού, αντισταθμίζεται. Επειδή δε η πτώση της τάσης αυτής είναι μέγιστη στην εκροή και μηδενική στην πηγή, συμπεραίνουμε ότι το ηλεκτρικό πεδίο που συντελεί στον σχηματισμό του καναλιού είναι ισχυρότερο προς την πλευρά της πηγής και ασθενέστερο προς την πλευρά της εκροής.



Σχήμα 7: Περιοχές λειτουργίας του τρανζίστορ MOS σε αγώγιμη κατάσταση

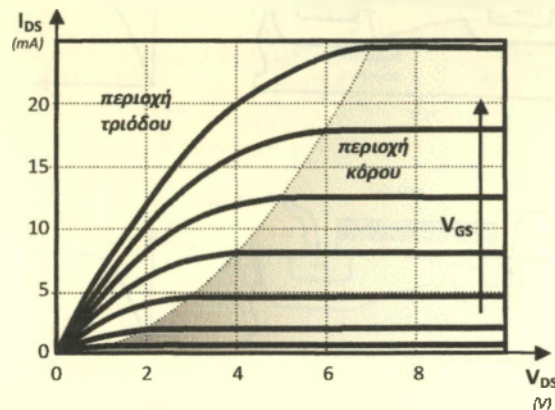
Για μηδενική ή πολύ μικρή τάση εκροής το κανάλι είναι πλήρως σχηματισμένο, όπως φαίνεται στο Σχήμα 7-i.

Αυξάνοντας την τάση της εκροής το κανάλι γίνεται πιο ρηχό προς την πλευρά της εκροής, για το λόγο που ήδη εξηγήσαμε, όπως υποδεικνύει το Σχήμα 7-ii. Το γεγονός αυτό συνεπάγεται την μείωση της αγωγιμότητας του καναλιού. Μπορούμε, λοιπόν, να συμπεράνουμε πως όσο αυξάνεται η τάση στην εκροή η αντίσταση του καναλιού θα αυξάνεται, και άρα το ρεύμα που θα διαρρέει τη διάταξη θα μειώνεται, σύμφωνα με την χαρακτηριστική ρεύματος – τάσης του Σχήματος 7-ii. Στην περιοχή αυτή το MOSFET παρουσιάζει συμπεριφορά παρόμοια με εκείνη τριόδου λυχνίας, και για το λόγο αυτό λέμε ότι βρίσκεται στην περιοχή τριόδου (triode region).

Ως αποτέλεσμα της προοδευτικής στένωσης του καναλιού με την αύξηση της τάσης εκροής, το κανάλι διαρρηγνύεται για ορισμένη τιμή της τάσης αυτής (V_{Dsat}). Στην οριακή αυτή περίπτωση το «βάθος» του καναλιού στα όρια της εκροής μηδενίζεται και λέμε τότε ότι έχουμε διάρρηξη (ή στραγγαλισμό – pinch-off) του καναλιού, όπως υποδεικνύει και το Σχήμα 7-iii. Πέρα από το σημείο αυτό, το κανάλι χάνει την ηλεκτρική επαφή με την νησίδα της εκροής και το ρεύμα που διαρρέει τη διάταξη παραμένει σταθερό και ανεξάρτητο της τάσης εκροής, σύμφωνα και με το Σχήμα 7-iv. Στην περίπτωση αυτή το MOSFET βρίσκεται στην περιοχή κόρου (saturation region), και η τάση V_{Dsat} ονομάζεται τάση κόρου. Στην

περιοχή κόρου το τρανζίστορ MOS λειτουργεί ως πηγή ρεύματος και μπορεί να χρησιμοποιηθεί για ενίσχυση, σύμφωνα με όσα έχουμε εξηγήσει. Επομένως, ο ενεργός τρόπος λειτουργίας (active mode) για ένα MOSFET αφορά λειτουργία στην περιοχή κόρου και για το λόγο αυτό η περιοχή κόρου αναφέρεται συχνά και ως ενεργός περιοχή.

Μια εύλογη απορία που ανακύπτει είναι η εξής: Αφού στην περιοχή κόρου έχουμε πλήρη στραγγαλισμό (αποκοπή) του καναλιού, πώς είναι δυνατό το MOSFET να διαρρέεται από ρεύμα; Η απάντηση μπορεί να δοθεί αν θυμηθούμε τον τρόπο με τον οποίο σαρώνονται τα ηλεκτρόνια από την περιοχή της βάσης προς τον συλλέκτη σε ένα διπολικό τρανζίστορ ηρη στην ενεργό λειτουργία. Με τον ίδιο τρόπο τα ηλεκτρόνια του καναλιού σαρώνονται, λόγω έλξης, προς την εκροή ενός nMOS που βρίσκεται στον κόρο, διαχεόμενα μέσω της περιοχής απογύμνωσης. Όπως και στην περίπτωση του διπολικού τρανζίστορ, το αντίστοιχο ρεύμα είναι ανεξάρτητο της τάσης στην εκροή.



Σχήμα 8: Χαρακτηριστικές ρεύματος - τάσης ιδανικού τρανζίστορ nMOS

Τα πιο πάνω συμπεράσματα συνοψίζονται στις χαρακτηριστικές ρεύματος – τάσης του Σχήματος 8, που αφορούν ιδανικό τρανζίστορ nMOS. Στην πράξη, η κλίση των χαρακτηριστικών στην περιοχή κόρου δεν είναι εντελώς μηδενική.

Για την περίπτωση τρανζίστορ pMOS οι χαρακτηριστικές του Σχήματος 8 διατηρούν τη μορφή τους, ωστόσο η πολικότητα των τάσεων και των ρευμάτων θα πρέπει να θεωρηθεί ανάστροφη, αφού ο τύπος των φορέων αγωγιμότητας είναι ετερόσημος και οι ακροδέκτες πηγής και εκροής είναι αντεστραμμένοι. Επιπλέον, θα πρέπει να λαμβάνουμε υπόψη πως σε ένα τρανζίστορ pMOS το κανάλι σχηματίζεται για αρνητικές τάσεις πύλης και άρα η τάση κατωφλίου του είναι αρνητική. Με άλλα λόγια, οι χαρακτηριστικές του Σχήματος 8 ισχύουν και για τρανζίστορ pMOS αν θεωρήσουμε τις απόλυτες τιμές των τάσεων και των ρευμάτων.

Παρόμοια, για MOSFET απογύμνωσης καναλιού θα πρέπει να λάβουμε υπόψη μας ότι αυτά αποκόπτονται για τάσεις ίδιας πολικότητας με τον τύπο τους (π.χ. αρνητικές για nMOS), χωρίς αυτό να επηρεάζει τις χαρακτηριστικές ως προς τη μορφή τους.

1.4 Μαθηματικό μοντέλο για το MOSFET

Η ανάλυση κυκλωμάτων με MOSFET μπορεί να γίνει χρησιμοποιώντας τις μαθηματικές εκφράσεις που τα περιγράφουν στις διάφορες περιοχές λειτουργίας τους. Οι εκφράσεις αυτές συγκεντρώνονται στους Πίνακες 1.1 και 1.2 για τις περιπτώσεις nMOS και pMOS, αντίστοιχα.

Πίνακας 1.1: Μαθηματικές εκφράσεις για το τρανζίστορ nMOS

ΠΕΡΙΟΧΗ ΛΕΙΤΟΥΡΓΙΑΣ	ΣΥΝΘΗΚΕΣ	ΡΕΥΜΑ ΚΑΝΑΛΙΟΥ (I_{DS})
Αποκοπή	$V_{GS} < V_T$	0
Τριόδου	$V_{DS} < V_{GS} - V_T$ $V_{GS} > V_T$	$\beta_n \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$
Κόρος	$V_{DS} > V_{GS} - V_T$ $V_{GS} > V_T$	$\beta_n \frac{(V_{GS} - V_T)^2}{2}$

όπου: $\beta_n = \frac{\mu_n \epsilon W}{t_{ox} L}$

Όπως μπορούμε να παρατηρήσουμε, η τιμή του ρεύματος καναλιού (I_{DS}) στις περιοχές αγωγιμότητας (τριόδου και κόρου), εξαρτάται από τα γεωμετρικά χαρακτηριστικά του καναλιού, και συγκεκριμένα από την παράμετρο β (να μην συγχέεται με την ομώνυμη παράμετρο των διπολικών τρανζίστορ), η οποία δίνεται από τη σχέση:

$$\beta_{n,p} = \frac{\mu_{n,p} \epsilon W}{t_{ox} L} \quad (1.10)$$

όπου $\mu_{n,p}$ η ευκινησία ηλεκτρονίων/οπών, ϵ η διηλεκτρική σταθερά του διηλεκτρικού (μονωτή) της πύλης, L το μήκος του καναλιού, W το πλάτος του καναλιού, και t_{ox} το πάχος του διηλεκτρικού της πύλης, σύμφωνα και με το Σχήμα 9.

Πίνακας 1.2: Μαθηματικές εκφράσεις για το τρανζίστορ pMOS

ΠΕΡΙΟΧΗ ΛΕΙΤΟΥΡΓΙΑΣ	ΣΥΝΘΗΚΕΣ	ΡΕΥΜΑ ΚΑΝΑΛΙΟΥ (I_{DS})
Αποκοπή	$V_{GS} > V_T$	0
Τριόδου	$V_{DS} > V_{GS} - V_T$ $V_{GS} < V_T$	$-\beta_p \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$
Κόρος	$V_{DS} < V_{GS} - V_T$ $V_{GS} < V_T$	$-\beta_p \frac{(V_{GS} - V_T)^2}{2}$

όπου: $\beta_p = \frac{\mu_p \epsilon W}{t_{ox} L}$



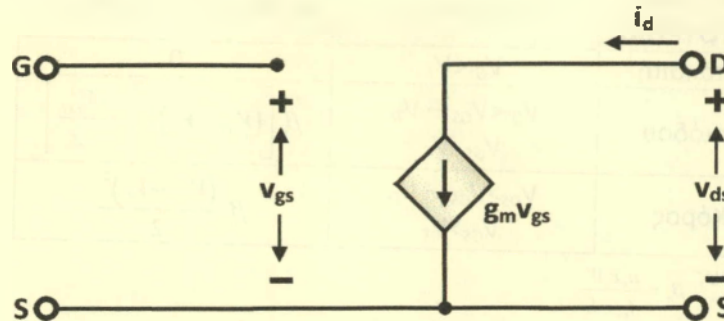
Σχήμα 9: Γεωμετρικά χαρακτηριστικά τρανζίστορ nMOS

Με τη βοήθεια των εξισώσεων των Πινάκων 1.1 και 1.2 μπορεί να γίνει τόσο η DC όσο και η AC ανάλυση κυκλωμάτων με MOSFET. Επιπλέον, χρήση τους (σε επεκτεταμένη

μορφή για την επίτευξη μεγαλύτερης ακρίβειας) γίνεται και από προσομοιωτές κυκλωμάτων για την προσομοίωση κυκλωμάτων με μεγάλο αριθμό τρανζίστορ MOS.

1.5 Ισοδύναμα κυκλώματα για το MOSFET

Στην AC ανάλυση κυκλωμάτων με MOSFET διευκολύνει η παραδοχή σημάτων μικρού σήματος, όπως και στην περίπτωση κυκλωμάτων με διπολικά τρανζίστορ.



Σχήμα 10: Ισοδύναμο μικρού σήματος για ιδανικό MOSFET στις χαμηλές συχνότητες

Για το ρεύμα καναλιού μπορούμε, σε πρώτη προσέγγιση, να γράψουμε

$$i_{DS} = I_{DS} + \left. \frac{\partial i_{DS}}{\partial v_{GS}} \right|_Q \cdot v_{gs} \quad (1.11)$$

ή

$$i_{DS} = I_{DS} + g_m \cdot v_{gs} \quad (1.12)$$

όπου

$$g_m = \left. \frac{\partial i_{DS}}{\partial v_{GS}} \right|_Q \quad (1.13)$$

η διαγωγιμότητα του MOSFET στο συγκεκριμένο σημείο ηρεμίας Q.

Αν από την εξίσωση (1.12) απομονώσουμε τη μεταβαλλόμενη συνιστώσα, τότε έχουμε την απλή έκφραση:

$$i_{ds} = g_m \cdot v_{gs} \quad (1.14)$$

η οποία αντιστοιχεί στο απλό ισοδύναμο κύκλωμα του Σχήματος 10.

Η διαγωγιμότητα μπορεί να υπολογιστεί γραφικά, από τη χαρακτηριστική ρεύματος – τάσης του MOSFET στο σημείο λειτουργίας του.

Στην περίπτωση λειτουργίας στον κόρο, η διαγωγιμότητα μπορεί να υπολογιστεί από τη σχέση ορισμού της (1.13) με τη βοήθεια της έκφρασης του ρεύματος καναλιού για την περιοχή κόρου:

$$I_{DS} = \beta_n \frac{(V_{GS} - V_T)^2}{2} \quad (1.15)$$

Με μερική παραγωγή της (1.15) ως προς V_{GS} παίρνουμε:

$$g_m = \beta_n (V_{GS} - V_T) \quad (1.16)$$

η οποία με τη βοήθεια της σχέσης (1.15) μπορεί να γραφτεί:

$$g_m = \frac{2I_{DS}}{V_{GS} - V_T} \quad (1.17)$$

Μια ακριβέστερη έκφραση για το ρεύμα καναλιού στον κόρο, η οποία λαμβάνει υπόψη της τη μη μηδενική κλίση των χαρακτηριστικών ρεύματος – τάσης, είναι η εξής:

$$I_{DS} = \beta_n \frac{(V_{GS} - V_T)^2}{2} (1 + \lambda V_{DS}) \quad (1.18)$$

όπου λ ο παράγοντας διαμόρφωσης μήκους του καναλιού (channel length modulation parameter) ο οποίος εκφράζει τη σχέση του ρεύματος κόρου με την τάση εκροής-πηγής σε ένα μη ιδανικό MOSFET.

Από τη σχέση (1.18) προκύπτει η αγωγιμότητα εξόδου του MOSFET για το συγκεκριμένο σημείο ηρεμίας:

$$g_d = \left. \frac{\partial I_{DS}}{\partial v_{DS}} \right|_Q = \beta_n \frac{(V_{GS} - V_T)^2}{2} \cdot \lambda \quad (1.19)$$

Για μικρές τιμές του παράγοντα λ , η σχέση (1.18) μπορεί να προσεγγισθεί από την (1.14) και η σχέση (1.19) μπορεί να γραφτεί ως εξής:

$$g_d \approx \lambda I_{DS} \quad (1.20)$$

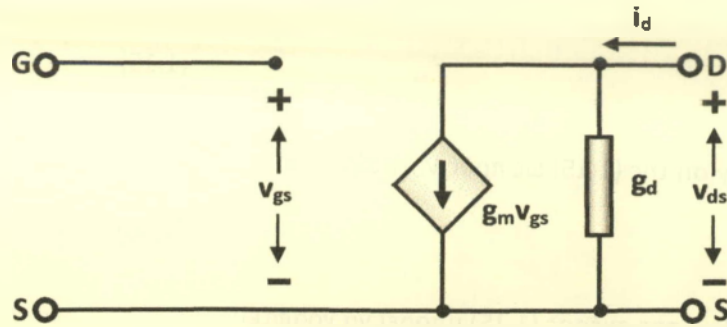
Με βάση τη σχέση (1.19) η αντίστοιχη συνεισφορά στη μεταβαλλόμενη συνιστώσα του ρεύματος καναλιού είναι:

$$i_{ds} = g_d v_{ds} \quad (1.21)$$

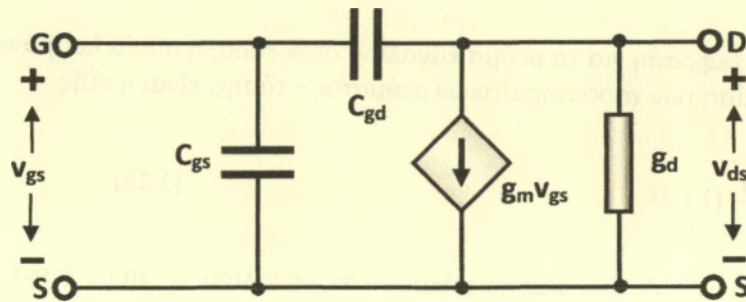
Συνυπολογίζοντας τη συνεισφορά αυτή, η σχέση (1.14) για τη μεταβαλλόμενη συνιστώσα του ρεύματος καναλιού μπορεί να τροποποιηθεί ως εξής:

$$i_{ds} = g_m \cdot v_{gs} + g_d v_{ds} \quad (1.22)$$

η οποία αντιστοιχεί στο ισοδύναμο κύκλωμα του Σχήματος 11.



Σχήμα 11: Ισοδύναμο μικρού σήματος για MOSFET στις χαμηλές συχνότητες



Σχήμα 12: Ισοδύναμο μικρού σήματος για MOSFET στις υψηλές συχνότητες

Για κυκλώματα υψηλών συχνοτήτων, η επίδραση των παρασιτικών χωρητικότητας της διάταξης παύει να είναι αμελητέα και μια ακριβής ανάλυση θα πρέπει να λάβει υπόψη τις χωρητικότητες αυτές. Στο ισοδύναμο κύκλωμα, για παράδειγμα, του Σχήματος 12 έχουν συμπεριληφθεί οι χωρητικότητες πύλης-εκροής (C_{gd}) και πύλης-πηγής (C_{gs}).

1.6 Εφαρμογές των MOSFET

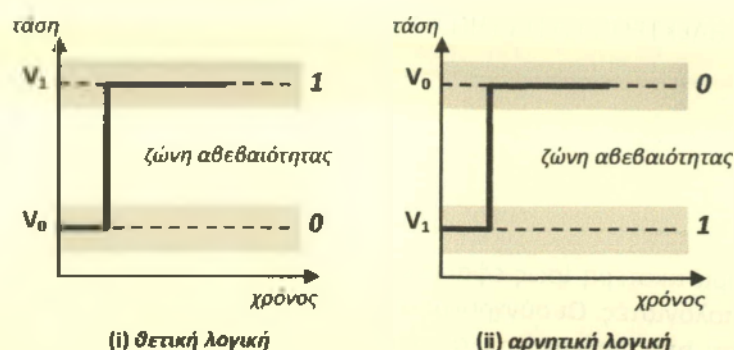
Τα τρανζίστορ MOSFET βρίσκουν εφαρμογή στην κατασκευή αναλογικών και ψηφιακών ολοκληρωμένων κυκλωμάτων, αλλά και ως διακριτά στοιχεία σε εφαρμογές ήχου μιας και η συμπεριφορά τους είναι αντίστοιχη των ηλεκτρονικών λυχνιών κενού, τις οποίες μπορούν και να υποκαταστήσουν.

2.1 Γενικά

Η χαρακτηριστικότερη ίσως εφαρμογή των ηλεκτρονικών στην πληροφορική είναι οι ηλεκτρονικοί υπολογιστές. Οι σύγχρονοι υπολογιστές αποτελούν πολύπλοκα συστήματα τα οποία δομούνται από ψηφιακά αλλά και αναλογικά κυκλώματα. Μια κεντρική μονάδα επεξεργασίας (Central Processing Unit – CPU), για παράδειγμα, αποτελείται από έναν πολύ μεγάλο αριθμό λογικών πυλών (logical gates), οι οποίες είναι απλά ηλεκτρονικά κυκλώματα τα οποία εκτελούν πράξεις της άλγεβρας Boole, όπως θα δούμε στη συνέχεια. Από την άλλη μεριά, μια κάρτα ήχου (sound card) διαθέτει αναλογικές εισόδους ή/και εξόδους μέσω των οποίων διακινούνται αναλογικά σήματα (π.χ. το σήμα που παράγεται από ένα μικρόφωνο, ή το σήμα που οδηγεί ένα ηχείο). Καθώς η επεξεργασία των αναλογικών αυτών σημάτων γίνεται με ψηφιακές τεχνικές (ψηφιακή επεξεργασία σήματος [Digital Signal Processing – DSP]), είναι απαραίτητη η μετατροπή τους από αναλογική σε ψηφιακή μορφή ή αντίστροφα, με τη βοήθεια εξειδικευμένων κυκλωμάτων που ονομάζονται μετατροπείς αναλογικού σε ψηφιακό (Analog to Digital Converters – A/D) ή μετατροπείς ψηφιακού σε αναλογικό (Digital to Analog Converters – D/A), αντίστοιχα.

Μπορούμε, επομένως, να πούμε πως τα ψηφιακά δεδομένα τα οποία επεξεργάζεται ένας ηλεκτρονικός υπολογιστής μπορούν να είναι είτε το αποτέλεσμα της επεξεργασίας άλλων δεδομένων της ίδιας (ψηφιακής) μορφής, είτε δεδομένα που προέκυψαν από τη μετατροπή αναλογικών σημάτων σε ψηφιακά.

Πριν εξετάσουμε τους λόγους για τους οποίους τα δεδομένα τα οποία επεξεργάζονται οι ηλεκτρονικοί υπολογιστές είναι σε ψηφιακή μορφή, ας θυμηθούμε πως ένα ψηφιακό σήμα – σε αντίθεση με ένα αναλογικό – περιέχει δύο μονάχα διακριτές επιτρεπτές στάθμες, που αντιστοιχούν στα ψηφία του δυαδικού συστήματος αρίθμησης, δηλαδή στο 0 και στο 1, όπως φαίνεται στο Σχήμα 2.1. Προκειμένου να γίνεται σαφής διάκριση θα χαρακτηρίζουμε, πολλές φορές, τα ψηφία αυτά ως λογικό 0 και λογικό 1, αντίστοιχα. Αν και οι λογικές πύλες υλοποιούν πράξεις με δυαδικά ψηφία, ως ηλεκτρονικά κυκλώματα «αντιλαμβάνονται» τιμές τάσεων. Για το λόγο αυτό είναι απαραίτητη η αντιστοίχιση των δυαδικών ψηφίων σε δύο στάθμες τάσεων, ή λογικές στάθμες. Αν η τάση στην οποία γίνεται αντιστοίχιση της λογικής μονάδας είναι μεγαλύτερη από την στάθμη τάσης στην οποία αντιστοιχεί το λογικό μηδέν, λέμε ότι έχουμε ένα κύκλωμα θετικής λογικής, όπως φαίνεται στο Σχήμα 2.1-i. Αν η στάθμη τάσης της λογικής μονάδας είναι μικρότερη από τη στάθμη του λογικού μηδενός, λέμε ότι έχουμε ένα κύκλωμα αρνητικής λογικής, όπως φαίνεται στο Σχήμα 2.1-ii. Στη συντριπτική τους πλειοψηφία τα λογικά κυκλώματα είναι κυκλώματα θετικής λογικής. Χαρακτηριστικό παράδειγμα αποτελούν οι λογικές πύλες της οικογένειας CMOS (Complementary MOS) οι οποίες χρησιμοποιούν ως λογική στάθμη για το 0 την τάση των 0V και ως λογική στάθμη για τη μονάδα τα 5V.



Σχήμα 2.1: Αντιστοίχιση των λογικών σταθμών ψηφιακού σήματος με τα ψηφία του δυαδικού συστήματος αρίθμησης

Κατά τη διακίνηση ενός ψηφιακού σήματος μέσα σε ένα ψηφιακό πληροφοριακό σύστημα ή μέσω μια τηλεπικοινωνιακής ζεύξης, ή ακόμα και κατά μήκος των αγωγών που διασύνδεουν μεταξύ τους τις λογικές πύλες ενός επεξεργαστή, οι λογικές στάθμες αλλοιώνονται. Η αλλοίωση αυτή μπορεί να οφείλεται σε διάφορα αίτια, όπως ο θόρυβος. Επομένως, κάθε λογική στάθμη αντιστοιχεί μάλλον σε ένα εύρος τιμών, παρά σε μια καθορισμένη τιμή τάσης όπως υποδεικνύουν οι σκιασμένες περιοχές στο Σχήμα 2.1. Η μεταξύ των περιοχών αυτών ζώνη ονομάζεται ζώνη αβεβαιότητας επειδή τιμές τάσης εντός της ζώνης αυτής στην είσοδο ενός ψηφιακού κυκλώματος δίνουν απροσδιόριστη λογική στάθμη στην έξοδό του (ούτε δηλαδή '0', ούτε '1'). Μια τέτοια κατάσταση θα πρέπει, προφανώς, να αποφεύγεται.

Γιατί όμως χρησιμοποιούμε το δυαδικό σύστημα για τη σχεδίαση των ηλεκτρονικών υπολογιστών; Και γιατί, άραγε, αυτοί να είναι ψηφιακοί και όχι αναλογικοί; Αναλογικοί υπολογιστές πράγματι μπορούν να κατασκευαστούν. Συχνά χρησιμοποιούνται για την επίλυση συγκεκριμένων προβλημάτων, όπως π.χ. η λύση διαφορικών εξισώσεων. Βασική δομική μονάδα ενός αναλογικού ηλεκτρονικού υπολογιστή είναι ο τελεστικός ενισχυτής. Όπως μπορούμε να συμπεράνουμε από την ονομασία του, πρόκειται για ένα κύκλωμα που μπορεί να «τελεί» (να εκτελεί) διάφορες μαθηματικές πράξεις, όπως η πρόσθεση και η ολοκλήρωση. Το σημαντικότερο μειονέκτημα των αναλογικών υπολογιστών είναι πως αφορούν συγκεκριμένα προβλήματα. Αυτό σημαίνει, για παράδειγμα, πως με έναν συγκεκριμένο αναλογικό υπολογιστή μπορούμε να επιλύσουμε μόνο μια συγκεκριμένη διαφορική εξίσωση. Με άλλα λόγια, οι αναλογικοί υπολογιστές έχουν περιορισμένη δυνατότητα προγραμματισμού, αν δεν την στερούνται παντελώς. Ένας αναλογικός υπολογιστής δεν θα μπορούσε, επομένως, να είναι προσωπικός υπολογιστής (Personal Computer – PC) αφού δεν επιτρέπει στον κάτοχό του να τον προγραμματίζει όπως εκείνος θέλει, ούτε του δίνει την ευχέρεια να τον χρησιμοποιεί για διαφορετικό σκοπό, κάθε φορά. Επιπλέον, η κυκλωματική πολυπλοκότητα ενός αναλογικού υπολογιστή είναι γενικά μεγαλύτερη εκείνης ενός αντίστοιχου ψηφιακού.

Με βάση τα προηγούμενα αντιλαμβανόμαστε ότι ένας υπολογιστής γενικού σκοπού θα πρέπει, αναγκαστικά, να είναι ψηφιακός. Γιατί, όμως, να πρέπει να λειτουργεί στο δυαδικό σύστημα και όχι στο δεκαδικό ή το δεκαεξαδικό; Η απάντηση στο ερώτημα αυτό μπορεί να δοθεί, αν σκεφτούμε πως το σύστημα αρίθμησης που χρησιμοποιούμε καθορίζει στην πράξη τον αριθμό των σταθμών τάσης που είναι αναγκαίες για τη λειτουργία των κυκλωμάτων ενός ψηφιακού υπολογιστή. Στο δυαδικό σύστημα οι τάσεις είναι δύο, όπως ήδη διαπιστώσαμε. Αν χρησιμοποιούσαμε το δεκαδικό σύστημα αρίθμησης, ο αριθμός των απαιτούμενων τάσεων θα ήταν δέκα. Σε μια τέτοια περίπτωση, το τροφοδοτικό του υπολογιστή μας θα έπρεπε να παρέχει δέκα διαφορετικές τιμές, γεγονός που θα αύξανε την πολυπλοκότητα όχι μόνο του ίδιου του τροφοδοτικού αλλά και

των ψηφιακών κυκλωμάτων. Επιπλέον, οι υπολογισμοί στο δυαδικό σύστημα είναι δυνατό να γίνουν εύκολα με τη βοήθεια απλών λογικών πράξεων (βλπ. άλγεβρα Boole) οι οποίες μπορούν να υλοποιηθούν από πολύ απλά κυκλώματα, όπως θα δούμε σε επόμενες παραγράφους.

2.2 Αναπαράσταση δεδομένων στο δυαδικό σύστημα

Βασικός σκοπός ενός ηλεκτρονικού υπολογιστή είναι η επεξεργασία δεδομένων. Ως δεδομένα χαρακτηρίζουμε ένα σύνολο πληροφοριών (από τις οποίες προέρχεται και ο όρος πληροφορική) οργανωμένων με κάποιο είδος κωδικοποίησης ή αναπαράστασης. Η αναπαράσταση των δεδομένων μπορεί να είναι αναλογική ή ψηφιακή, ανάλογα με τη φύση τους αλλά και τον τρόπο με τον οποίο πρόκειται να τα επεξεργαστούμε. Ως παράδειγμα ψηφιακών δεδομένων μπορούμε να αναφέρουμε ένα κείμενο τυπωμένο στην αγγλική γλώσσα. Το κείμενο αυτό είναι κωδικοποιημένο με βάση ένα σύνολο διακριτών συμβόλων (τα γράμματα του αγγλικού αλφαβήτου, τα σημεία στίξης, κ.λπ.), μπορούμε επομένως να πούμε πως η κωδικοποίηση που χρησιμοποιούμε είναι ψηφιακή. Δεν θα μπορούσε να γίνει και αλλιώς, μιας και τα ίδια τα δεδομένα (το κείμενο) είναι από τη φύση τους ψηφιακά. Από την άλλη μεριά, ένα απόσπασμα μουσικής γραμμένο σε έναν παλιό δίσκο γραμμοφώνου αποτελεί πληροφορία αποθηκευμένη με αναλογικό τρόπο, μιας και ο ήχος αποτυπώνεται στον δίσκο ως ένα «αυλάκι» μεταβλητού βάθους. Εδώ, τόσο τα δεδομένα (η ίδια η μουσική), όσο και η αναπαράστασή τους (το αυλάκι πάνω στην επιφάνεια του δίσκου) είναι αναλογικά.

Όπως ήδη εξηγήσαμε, οι σύγχρονοι ψηφιακοί ηλεκτρονικοί υπολογιστές χρησιμοποιούν το δυαδικό σύστημα αρίθμησης. Για το λόγο αυτό, τα δεδομένα με τα οποία τροφοδοτούνται θα πρέπει να μετατρέπονται στο σύστημα αυτό.

Για την περίπτωση ψηφιακών δεδομένων, η μετατροπή γίνεται με τη χρήση συγκεκριμένων (πρότυπων) κωδικοποιήσεων. Τα δεδομένα, δηλαδή, ανακωδικοποιούνται στο δυαδικό σύστημα. Αν επανέλθουμε στο παράδειγμα του αγγλικού κειμένου, υποθέτοντας ότι αυτό εισάγεται στον υπολογιστή μέσω του πληκτρολογίου, μια κωδικοποίηση που θα μπορούσε να χρησιμοποιηθεί θα ήταν η ASCII (American Standard Code for Information Interchange). Στον Πίνακα 2.1 παρουσιάζεται ενδεικτικά ένα υποσύνολο της κωδικοποίησης αυτής. Πιέζοντας, το πλήκτρο «A» στο πληκτρολόγιο, ο υπολογιστής κωδικοποιεί την αντίστοιχη πληροφορία στη δυαδική αναπαράσταση του συμβόλου «A», δηλαδή το byte «01000001». (Byte ονομάζουμε μια οκτάδα δυαδικών ψηφίων).

Για την περίπτωση αναλογικών δεδομένων τα πράγματα είναι λίγο πιο πολύπλοκα. Η διαδικασία μετατροπής ενός αναλογικού μεγέθους σε ψηφιακό συνίσταται στην επιλογή ενός υποσυνόλου των συνεχών τιμών του αναλογικού μεγέθους με τέτοιο τρόπο ώστε να μην έχουμε απώλεια ή αλλοίωση της πληροφορίας, όπως θα δούμε στη συνέχεια.

Στις μέρες μας οι πηγές πληροφορίας είναι ψηφιακές αλλά και αναλογικές, τα δεδομένα από αυτές κωδικοποιούνται (ή ανακωδικοποιούνται) σε ψηφιακή μορφή προκειμένου να γίνει η επεξεργασία τους από ένα πληροφοριακό σύστημα ή η διακίνησή τους μέσα από ένα τηλεπικοινωνιακό σύστημα. Για το λόγο αυτό η συγγένεια μεταξύ Πληροφορικής και Τηλεπικοινωνιών είναι μεγάλη, λόγω των κοινών μεθόδων και τεχνικών που χρησιμοποιούν, κάνοντας πολλές φορές δυσδιάκριτα και τα όρια μεταξύ των δύο.

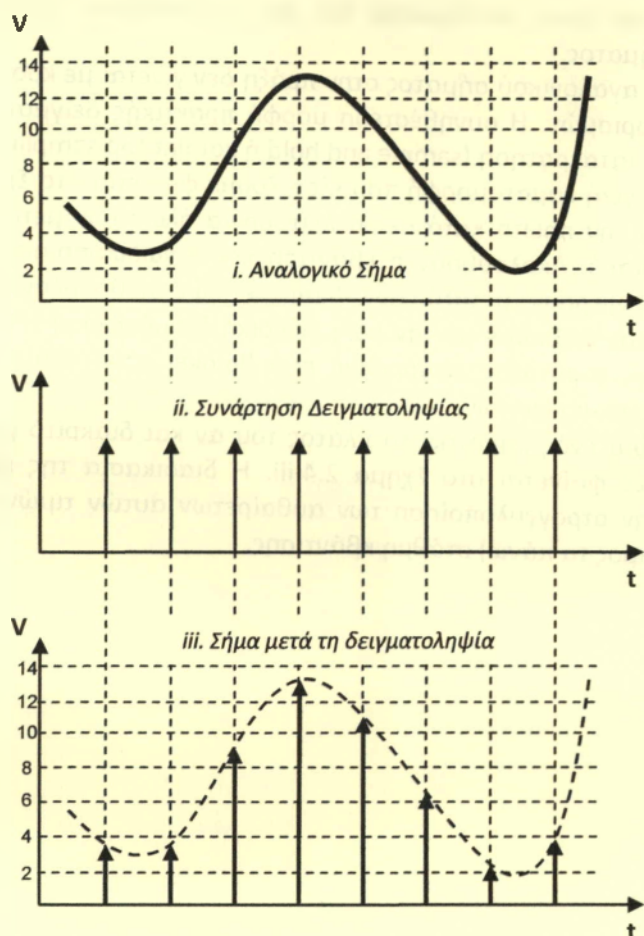
Στο σημείο αυτό είναι χρήσιμο να εξετάσουμε τις βασικές αρχές που διέπουν την ψηφιακή αναπαράσταση ενός αναλογικού σήματος.

Πίνακας 2.1: Κωδικοποίηση ASCII (υποσύνολο)

Δυαδικό (Binary)	ASCII	Δυαδικό (Binary)	ASCII
01000001	A	01001110	N
01000010	B	01001111	O
01000011	C	01010000	P
01000100	D	01010001	Q
01000101	E	01010010	R
01000110	F	01010011	S
01000111	G	01010100	T
01001000	H	01010101	U
01001001	I	01010110	V
01001010	J	01010111	W
01001011	K	01011000	X
01001100	L	01011001	Y
01001101	M	01011010	Z

Όπως γνωρίζουμε, ένα αναλογικό σήμα παίρνει συνεχείς τιμές στο χρόνο και στο πλάτος. Αντίθετα, ένα ψηφιακό σήμα (όχι αναγκαστικά δίτιμο) είναι ένα σήμα διακριτού (τουλάχιστον) πλάτους. Στην ιδανική περίπτωση είναι διακριτό και στο χρόνο. Θα ήταν αδύνατο, λοιπόν, να αναπαραστήσουμε όλα τα σημεία μια συνεχούς αναλογικής κυματομορφής με τα διακριτά στο χρόνο και στο πλάτος σημεία ενός ψηφιακού σήματος. Θα πρέπει, επομένως, να επιλέξουμε έναν κατάλληλο αριθμό μεταξύ των άπειρων σημείων του αναλογικού σήματος, χωρίς να έχουμε απώλεια ή αλλοίωση της πληροφορίας που αυτό μεταφέρει. Η διαδικασία αυτή ονομάζεται δειγματοληψία (sampling). Έστω το αναλογικό σήμα του Σχήματος 2.2-i. Η δειγματοληψία του αντιστοιχεί, από μαθηματικής άποψης, με τον πολλαπλασιασμό του με μια συνάρτηση δειγματοληψίας. Στην ιδανική περίπτωση η συνάρτηση δειγματοληψίας έχει τη μορφή μιας σειράς κρουστικών παλμών (ή παλμών «Δέλτα» [Μια συνάρτηση Δέλτα μπορεί να θεωρηθεί ως ένας παλμός πολύ μικρής χρονικής διάρκειας]). Στο Σχήμα 2.2-ii παρουσιάζεται μια κρουστική παλμοσειρά με την οποία γίνεται η δειγματοληψία του αναλογικού σήματος του Σχήματος 2.2-i. Στο Σχήμα 2.2-iii φαίνεται το αποτέλεσμα της δειγματοληψίας: Μια κρουστική παλμοσειρά «διαμορφωμένη» κατά πλάτος από το αναλογικό σήμα αποτελούμενη από ένα σύνολο διακριτών στο χρόνο και στο πλάτος σημείων.

Το ερώτημα που προβάλλει εδώ είναι το εξής: Με ποιο ρυθμό θα πρέπει να γίνεται η δειγματοληψία ώστε να διατηρείται στο ακέραιο η πληροφορία του αναλογικού σήματος; Διαισθητικά μπορούμε να σκεφτούμε πως για ένα αναλογικό σήμα το οποίο μεταβάλλεται γρήγορα με το χρόνο, μια αργή συχνότητα δειγματοληψίας θα ήταν προβληματική. Άρα, καταλαβαίνουμε πως η συχνότητα δειγματοληψίας θα πρέπει να εξαρτάται από τη συχνότητα του σήματος. Ποια είναι, όμως, η ελάχιστη συχνότητα δειγματοληψίας; Για την απάντηση στο ερώτημα αυτό είναι βολικό να χρησιμοποιήσουμε την έννοια της αναπαράστασης στο πεδίο της συχνότητας.



Σχήμα 2.2: Δειγματοληψία αναλογικού σήματος με παλμούς Δέλτα

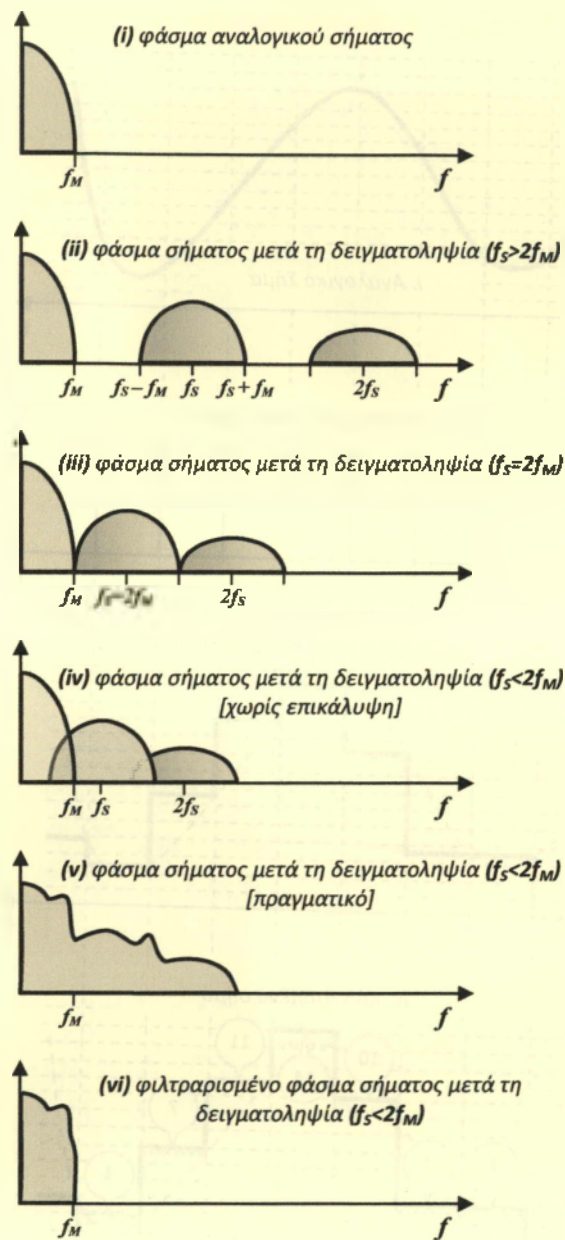
Ας υποθέσουμε ότι το φάσμα του αναλογικού σήματος το οποίο εξετάζουμε έχει τη μορφή του Σχήματος 2.3-i. Ως συνέπεια της δειγματοληψίας, το φάσμα του σήματος παίρνει τη μορφή του Σχήματος 2.3-ii, από το οποίο μπορούμε να παρατηρήσουμε την εμφάνιση «ειδώλων», ανατύπων δηλαδή του φάσματος του αναλογικού σήματος με μικρότερη ισχύ γύρω από τα πολλαπλάσια της συχνότητας δειγματοληψίας (f_s , $2f_s$, $3f_s$, ...). Από την παρατήρηση του Σχήματος 2.3, μπορούμε να συμπεράνουμε εύκολα τα εξής: Εάν η συχνότητα δειγματοληψίας (f_s) είναι μεγαλύτερη, ή ίση στην οριακή περίπτωση, με το διπλάσιο της μέγιστης συχνότητας του αναλογικού σήματος (f_M), τότε τα φασματικά «είδωλα» λόγω δειγματοληψίας δεν επικαλύπτουν το φάσμα του αναλογικού σήματος. Το γεγονός αυτό επιτρέπει την αποκατάσταση του αναλογικού σήματος στην αρχική μορφή του, με την απόρριψη των ειδώλων κάνοντας χρήση ενός φίλτρου διέλευσης χαμηλών συχνοτήτων (Low Pass Filter – LPF) με συχνότητα αποκοπής ίση με τη μέγιστη συχνότητα (f_M) του σήματος.

Αντίθετα, όταν η συχνότητα δειγματοληψίας είναι μικρότερη του διπλάσιου της μέγιστης συχνότητας του αναλογικού σήματος, η επικάλυψη των φασματικών περιοχών των ειδώλων με την φασματική περιοχή του ωφέλιμου σήματος (επικάλυψη η οποία αναφέρεται στην αγγλική ορολογία ως *aliasing*) επιφέρει ανεπανόρθωτη αλλοίωση του ωφέλιμου φάσματος, η οποία δεν μπορεί να εξουδετερωθεί με τη χρήση φίλτρου.

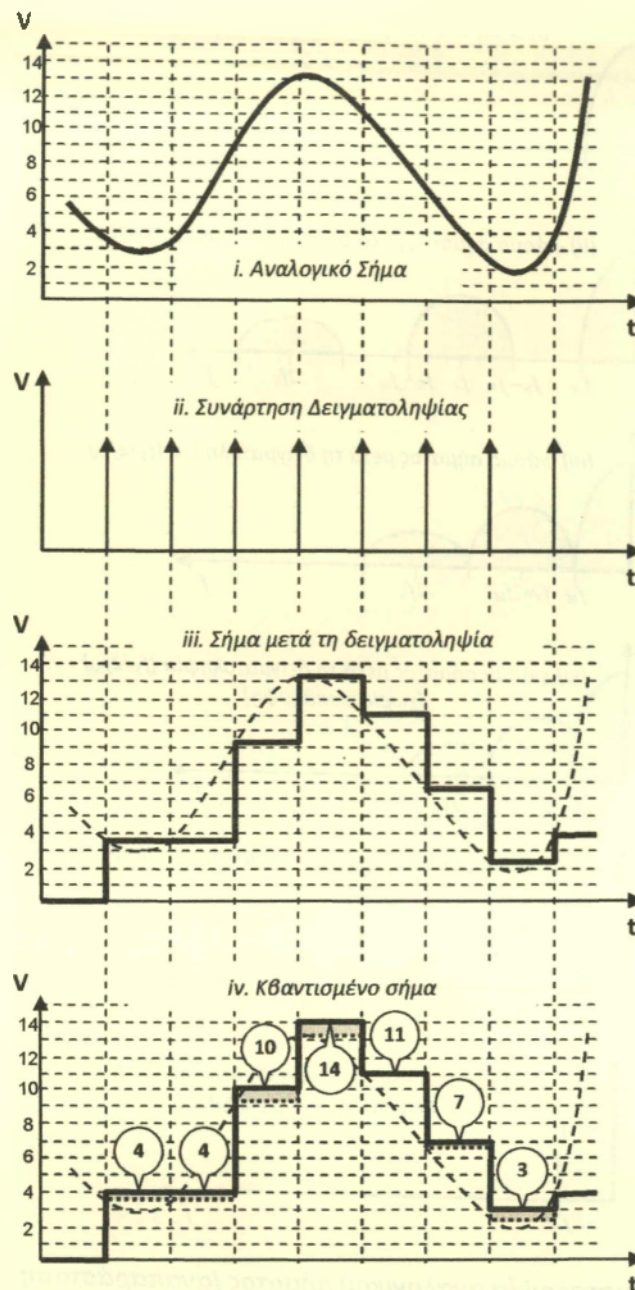
Το συμπέρασμα από την παραπάνω ανάλυση, το οποίο είναι γνωστό και ως κριτήριο του Nyquist, είναι το εξής: Για την αποκατάσταση ενός αναλογικού σήματος στην αρχική μορφή του χρησιμοποιώντας δείγματα του σήματος αυτού, η συχνότητα δειγματοληψίας θα πρέπει να είναι τουλάχιστον ίση με το διπλάσιο της μέγιστης συχνότητας του αναλογικού σήματος.

Η δειγματοληψία ενός αναλογικού σήματος στην πράξη δεν γίνεται με κρουστικούς παλμούς λόγω τεχνικών περιορισμών. Η συνηθέστερη μορφή πρακτικής δειγματοληψίας ονομάζεται δειγματοληψία με κατακράτηση (*sample and hold* ή και *flat top sampling*) και το αποτέλεσμα της για την αναλογική κυματομορφή που εξετάζουμε φαίνεται στο Σχήμα 2.4-iii. Η δειγματοληψία αποτελεί την πρώτη κατά σειρά λειτουργία όλων των μετατροπών αναλογικού σήματος σε ψηφιακό. Ακολουθούν η κβάντιση και η κωδικοποίηση, για τις οποίες οι βασικές αρχές διαφέρουν μεταξύ των διαφορετικών μεθοδολογιών. Στην ανάλυση που ακολουθεί θα ασχοληθούμε με την παλμοκωδική διαμόρφωση (*Pulse Code Modulation – PCM*) λόγω της ευρύτατης εφαρμογής που βρίσκει τόσο στο πεδίο της Πληροφορικής όσο και των Τηλεπικοινωνιών.

Μετά τη δειγματοληψία ενός σήματος, το πλάτος του αν και διακριτό μπορεί να πάρει αυθαίρετες τιμές, όπως φαίνεται στο Σχήμα 2.4-iii. Η διαδικασία της κβάντισης (*quantization*) συνίσταται στην στρογγυλοποίηση των αυθαίρετων αυτών τιμών πλάτους στην πλησιέστερη (συνήθως προς τα πάνω) στάθμη κβάντισης.



Σχήμα 2.3: Δειγματοληψία αναλογικού σήματος (αναπαράσταση στο πεδίο της συχνότητας)



Σχήμα 2.4: Δειγματοληψία (με κατακράτηση) και κβάντιση αναλογικού σήματος στην παλμοκωδική διαμόρφωση (PCM)

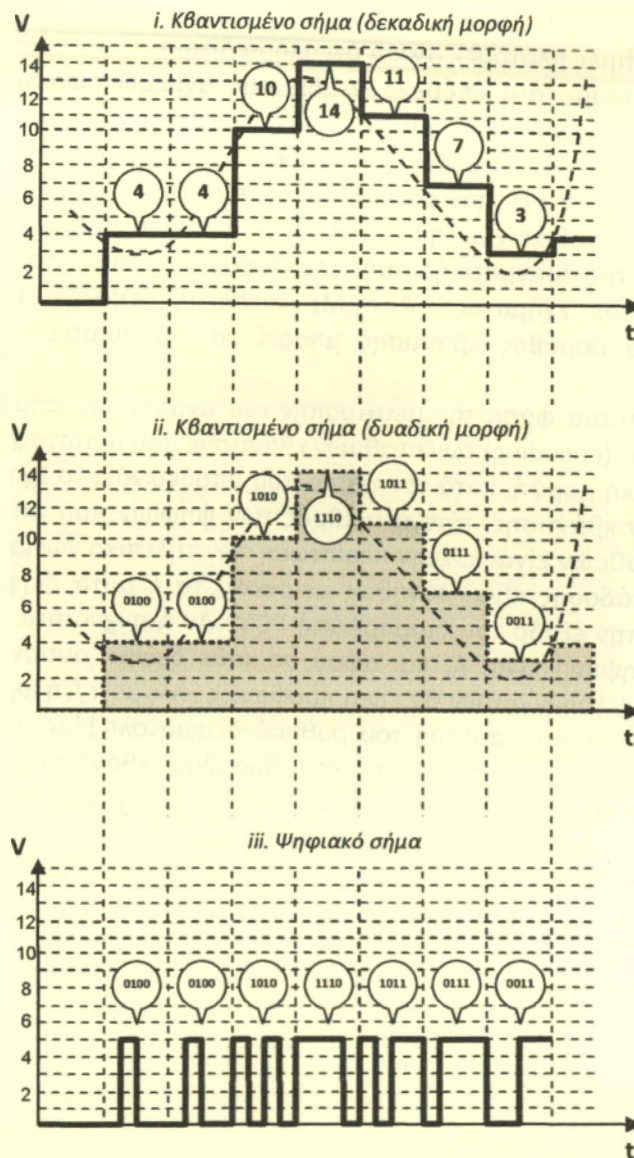
Οι στάθμες κβάντισης (ο αριθμός των οποίων είναι δύναμη του 2, ώστε να μπορούν να κωδικοποιηθούν στο δυαδικό σύστημα με τον ελάχιστο αριθμό ψηφίων) αποτελούν ένα σύνολο διακριτών τιμών τάσης, η πυκνότητα των οποίων επιλέγεται κυρίως με βάση τα χαρακτηριστικά του σήματος. Μετά την κβάντιση του, το αναλογικό σήμα που εξετάζουμε παίρνει τη μορφή του Σχήματος 2.4-iv (το οποίο δεν είναι και τόσο ... αναλογικό – η λέξη χρησιμοποιείται καταχρηστικά). Οι αριθμητικοί ενδείκτες του Σχήματος 2.4-iv αντιστοιχούν στον αριθμό κάθε στάθμης κβάντισης (σε δεκαδική μορφή), ο οποίος γενικά δεν σχετίζεται με την αντίστοιχη τιμή τάσης της στάθμης και ο οποίος θα κωδικοποιηθεί στο δυαδικό σύστημα στη φάση της κωδικοποίησης την οποία θα δούμε στη συνέχεια.

Αξίζει να τονίσουμε πως το αποτέλεσμα της κβάντισης είναι ουσιαστικά ένα σήμα ψηφιακό (με διακριτές τιμές πλάτους), αν και όχι ακόμα δίτιμο.

Πριν προχωρήσουμε στο επόμενο στάδιο της αναλογικοψηφιακής μετατροπής (στην κωδικοποίηση), αξίζει να παρατηρήσουμε πως η κβάντιση (η στρουγγυλοποίηση) των δειγμάτων του αναλογικού σήματος οδηγεί αναπόφευκτα στην εισαγωγή ενός σφάλματος κβάντισης (quantization error) το οποίο αναφέρεται και ως θόρυβος κβάντισης (quantization noise). Πρόκειται για την απόκλιση μεταξύ της στάθμης προς την οποία γίνεται η κβάντιση και της πραγματικής τιμής του δείγματος, όπως υποδεικνύεται από τις σκιασμένες περιοχές του Σχήματος 2.4-iv. Με κατάλληλη επιλογή του αριθμού των σταθμών κβάντισης ο θόρυβος κβάντισης μπορεί να περιοριστεί, όχι όμως και να εξαλειφθεί πλήρως.

Κατά την τελευταία φάση της μετατροπής του αναλογικού σήματος σε ψηφιακό γίνεται η κωδικοποίηση (encoding) των σταθμών κβάντισης που αντιστοιχούν στα δείγματα του σήματος σε δυαδική μορφή, κατά τον τρόπο που υποδεικνύει το Σχήμα 2.5. Αν $n=2^k$ ο αριθμός των σταθμών κβάντισης, τότε ο αριθμός των ψηφίων που απαιτούνται για την κωδικοποίηση των σταθμών είναι k . Στην περίπτωση των τηλεπικοινωνιακών συστημάτων, όπου τα κανάλια μετάδοσης είναι συνήθως σειριακά, τα k αυτά ψηφία εξέρχονται σε σειριακή μορφή από την έξοδο του διαμορφωτή PCM. Αν η συχνότητα των δειγμάτων (η συχνότητα δειγματοληψίας) είναι f_s , και αφού σε κάθε δείγμα αντιστοιχούν k δυαδικά ψηφία, ο ρυθμός των ψηφίων αυτών θα είναι προφανώς ίσος με $k f_s$ ή $\log_2 n \cdot f_s$. Μπορούμε λοιπόν να συμπεράνουμε πως αύξηση του ρυθμού δειγματοληψίας ή του αριθμού των σταθμών κβάντισης (π.χ. για τη μείωση του θορύβου κβάντισης, σύμφωνα με τα προηγούμενα) οδηγεί σε αύξηση του ρυθμού των δυαδικών ψηφίων στην έξοδο του διαμορφωτή, γεγονός το οποίο είναι γενικά ανεπιθύμητο.

Η αντίστροφη διαδικασία, δηλαδή η διαδικασία μετατροπής του ψηφιακού σήματος σε αναλογικό, γίνεται από τον αντίστοιχο αποδιαμορφωτή (demodulator).



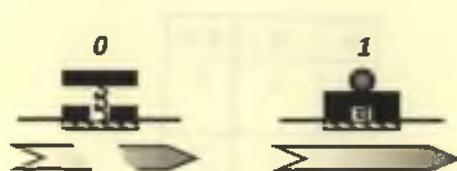
Σχήμα 2.5: Κωδικοποίηση κβαντισμένου σήματος σε δίτημη ψηφιακή μορφή στην παλμοκωδική διαμόρφωση (PCM)

Στην περίπτωση του αποδιαμορφωτή PCM τα δυαδικά ψηφία ανακωδικοποιούνται στα δεκαδικά τους ισοδύναμα, και αναπαράγουν το κβαντισμένο αναλογικό σήμα. Στη συνέχεια, ένα χαμηλοπερατό φίλτρο εξόδου απορρίπτει τα είδωλα του φάσματος σύμφωνα με όσα ήδη εξηγήσαμε, εξομαλύνοντας το κβαντισμένο σήμα και επαναφέροντάς το στην αρχική αναλογική μορφή του.

2.3 Αρχές λειτουργίας των ψηφιακών κυκλωμάτων – Άλγεβρα διακόπτων

Η κατανόηση των κανόνων σχεδίασης των λογικών πυλών, από τις οποίες δομούνται τα πιο σύνθετα ηλεκτρονικά κυκλώματα μπορεί να γίνει μελετώντας την άλγεβρα των διακοπών. Άλλωστε, η υλοποίηση των λογικών πυλών γίνεται και στην πράξη με ηλεκτρονικά ελεγχόμενους διακόπτες, όπως θα δούμε αναλυτικά στη συνέχεια. Πριν, όμως, ας δούμε μερικά χρήσιμα στοιχεία από την άλγεβρα των διακοπών, η οποία συγγενεύει στενά με την άλγεβρα Boole.

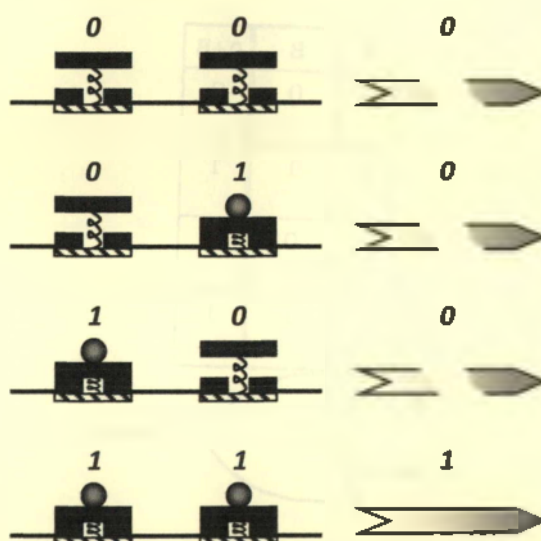
Η άλγεβρα των διακοπών χρησιμοποιεί τις δύο καταστάσεις ενός ηλεκτρικού διακόπτη, όπως φαίνεται στο Σχήμα 2.6.



Σχήμα 2.6: Λογικές καταστάσεις ενός διακόπτη

Όταν ένας διακόπτης είναι ανοικτός, θα θεωρούμε ότι βρίσκεται στη λογική κατάσταση '0', ενώ όταν είναι κλειστός ότι βρίσκεται στη λογική κατάσταση '1'. Επιπλέον, θα λέμε ότι ένα σύστημα διακοπών βρίσκεται συνολικά στη λογική κατάσταση '0' όταν απαγορεύει τη διέλευση ηλεκτρικού ρεύματος (όταν βρίσκεται δηλαδή σε κατάσταση αποκοπής), ενώ όταν επιτρέπει τη διέλευση του ρεύματος (όταν βρίσκεται σε κατάσταση αγωγής) θα λέμε ότι το σύστημα των διακοπών έχει τη λογική κατάσταση '1'.

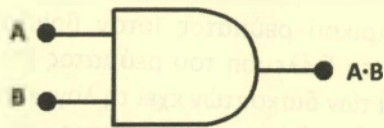
Ας θεωρήσουμε δύο διακόπτες συνδεδεμένους σε σειρά. Είναι εύκολο να διαπιστώσουμε πως το σύστημα των δύο διακοπών μπορεί να υλοποιήσει τη λογική πράξη AND, όπως υποδεικνύει το Σχήμα 2.7. Είναι γνωστό ότι η λογική πράξη AND (η οποία αντιστοιχεί στη σύζευξη της μαθηματικής λογικής [Λ], ή στην τομή [∩] της θεωρίας των συνόλων) υπακούει στον πίνακα αλήθειας του Πίνακα 2.2, το δε κυκλωματικό σύμβολο της λογικής πύλης που την υλοποιεί φαίνεται στο Σχήμα 2.8, ενώ στην άλγεβρα Boole συμβολίζεται με «·».



Σχήμα 2.7: Υλοποίηση της λογικής πράξης "AND" με διακόπτες

Πίνακας 2.2: Πίνακας αλήθειας για τη λογική πράξη AND

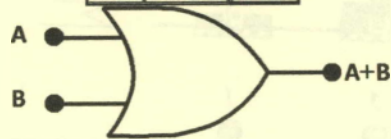
A	B	A·B
0	0	0
0	1	0
1	0	0
1	1	1



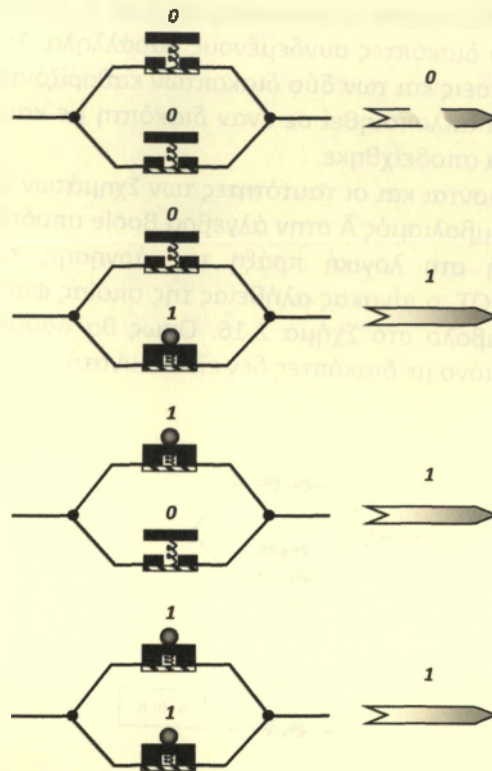
Σχήμα 2.8: Κυκλωματικό σύμβολο πύλης "AND"

Πίνακας 2.3: Πίνακας αλήθειας πύλης για τη λογική πράξη OR

A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	1



Σχήμα 2.9: Κυκλωματικό σύμβολο πύλης "OR"

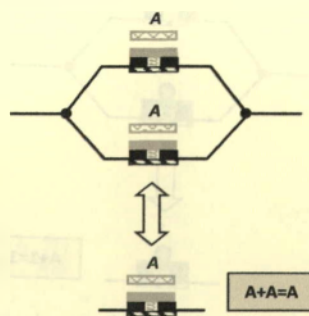


Σχήμα 2.10: Υλοποίηση της λογικής πράξης "OR" με διακόπτες

Μια άλλη χρήσιμη λογική πράξη είναι η πράξη OR (η οποία αντιστοιχεί στη διάζευξη της μαθηματικής λογικής \vee , ή στην ένωση \cup της θεωρίας των συνόλων). Η πράξη OR υπακούει στον πίνακα αλήθειας του Πίνακα 2.3, το δε κυκλωματικό σύμβολο της λογικής πύλης που την υλοποιεί φαίνεται στο Σχήμα 2.9, ενώ στην άλγεβρα Boole συμβολίζεται με «+».

Η υλοποίηση της λογικής πράξης OR μπορεί να πραγματοποιηθεί με τη βοήθεια δύο παράλληλα συνδεμένων διακοπών, όπως εύκολα μπορούμε να διαπιστώσουμε από το Σχήμα 2.10.

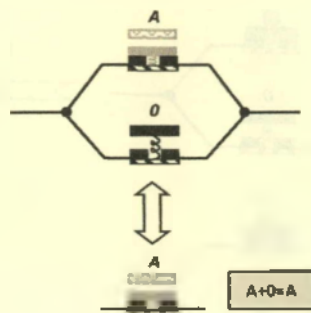
Όλες οι προτάσεις, οι ταυτοότητες, και τα θεωρήματα της άλγεβρας Boole μπορούν να αποδειχθούν και με την άλγεβρα των διακοπών. Χαρακτηριστικά παραδείγματα φαίνονται στα Σχήματα 2.11-2.15.



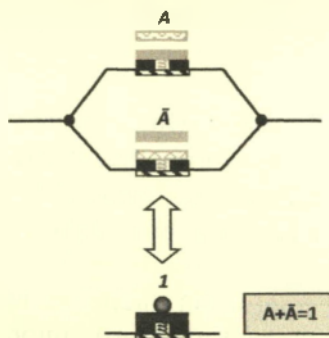
Σχήμα 2.11: Απόδειξη ταυτοτήτων της άλγεβρας Boole με την άλγεβρα διακοπών (1/5)

Στο Σχήμα 2.11 αποδεικνύεται η ταυτότητα $A+A=A$. Η υλοποίηση της πράξης OR γίνεται, όπως είδαμε, με δύο διακόπτες συνδεδεμένους παράλληλα. Στην περίπτωση της πιο πάνω ταυτότητας οι καταστάσεις και των δύο διακοπών καθορίζονται από την τιμή του A, οπότε το σύστημα μπορεί να απλοποιηθεί σε έναν διακόπτη με κατάσταση καθοριζόμενη από το A. Οπότε, η ταυτότητα αποδείχθηκε.

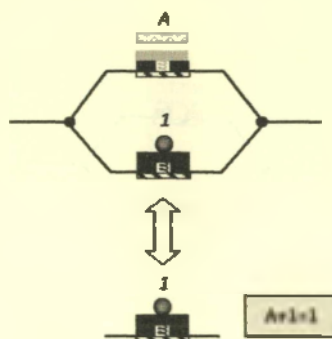
Παρόμοια αποδεικνύονται και οι ταυτότητες των Σχημάτων 2.12 – 2.15. Θα πρέπει εδώ να θυμηθούμε πως ο συμβολισμός \bar{A} στην άλγεβρα Boole υποδηλώνει το συμπλήρωμα του A, αντιστοιχεί δηλαδή στη λογική πράξη της άρνησης, η οποία κυκλωματικά υλοποιείται από μια πύλη NOT, ο πίνακας αλήθειας της οποίας φαίνεται στον Πίνακα 2.4, το δε κυκλωματικό της σύμβολο στο Σχήμα 2.16. Όπως θα δούμε και στη συνέχεια, η υλοποίηση μιας πύλης NOT μόνο με διακόπτες δεν είναι δυνατή.



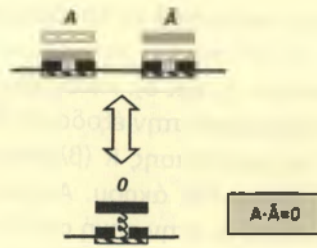
Σχήμα 2.12: Απόδειξη ταυτοτήτων της άλγεβρας Boole με την άλγεβρα διακοπών (2/5)



Σχήμα 2.13: Απόδειξη ταυτοτήτων της άλγεβρας Boole με την άλγεβρα διακοπών (3/5)



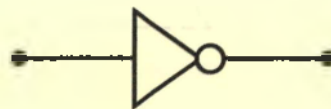
Σχήμα 2.14: Απόδειξη ταυτοτήτων της άλγεβρας Boole με την άλγεβρα διακοπών (4/5)



Σχήμα 2.15: Απόδειξη ταυτοτήτων της άλγεβρας Boole με την άλγεβρα διακοπών (5/5)

Πίνακας 2.4: Πίνακας αλήθειας πύλης για τη λογική πράξη NOT

A	\bar{A}
0	1
1	0



Σχήμα 2.16: Κυκλωματικό σύμβολο πύλης "NOT"

2.4 Κυκλωματική υλοποίηση λογικών πυλών

Η κυκλωματική υλοποίηση των λογικών πυλών μπορεί να γίνει σύμφωνα με τις αρχές της άλγεβρας διακοπών που ήδη παρουσιάσαμε. Τη λειτουργία του διακόπτη μπορούν να αναλάβουν διάφορες ηλεκτρονικές διατάξεις (π.χ. δίοδος [υπό την αίρεση των παρατηρήσεων που θα γίνουν στη συνέχεια], διπολικό τρανζίστορ, τρανζίστορ MOS), με τις οποίες δομούνται οικογένειες λογικών πυλών η ονομασία των οποίων καθορίζεται κυρίως από τη διάταξη που έχει το ρόλο του διακόπτη.

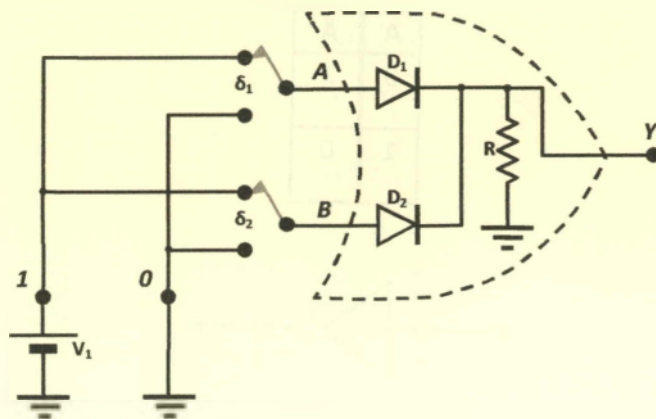
2.4.1 Η οικογένεια DDL

Στην παράγραφο αυτή θα εξετάσουμε την κυκλωματική υλοποίηση λογικών πυλών της οικογένειας DDL (Diode-Diode Logic), στις οποίες χρησιμοποιούνται διόδους.

Μια δίοδος άγει όταν η πολώνεται κατά την ορθή φορά και, επιπλέον, η τάση στα άκρα της υπερβαίνει την τάση κατωφλίου της. Αντίθετα, η δίοδος βρίσκεται στην αποκοπή όταν η τάση στα άκρα της είναι μικρότερη της τάσης κατωφλίου ή όταν η δίοδος πολώνεται ανάστροφα. Αν και η κατάσταση της διόδου (αγωγή ή αποκοπή) καθορίζεται από την τάση στα άκρα της ίδιας της διόδου και όχι από μια «εξωτερική» τάση ελέγχου, μπορούμε να πούμε (καταχρηστικά) ότι η δίοδος λειτουργεί ως διακόπτης.

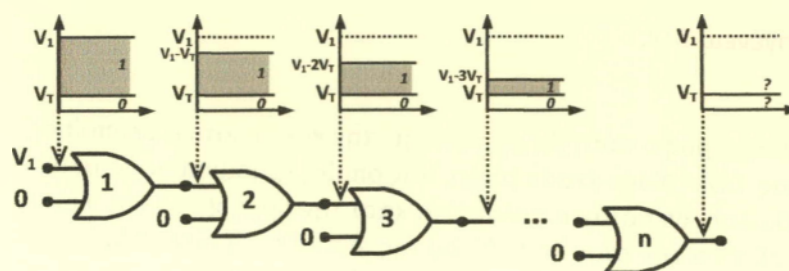
Στο Σχήμα 2.17 φαίνεται η κυκλωματική υλοποίηση μιας πύλης OR με διόδους. Ακολουθώντας τις αρχές της άλγεβρας διακοπών, η σύνδεση των διόδων (-διακοπών)

είναι παράλληλη. Ας μελετήσουμε πιο αναλυτικά τη λειτουργία του κυκλώματος αυτού. Ας υποθέσουμε ότι οι εισοδοί A και B βρίσκονται στη λογική κατάσταση '0', γειώνονται δηλαδή μέσω των επιλογικών διακοπών δ_1 και δ_2 . Αν συμβαίνει αυτό, οι διόδους D_1 και D_2 θα βρίσκονται στην αποκοπή και το δυναμικό στην έξοδο (Y) θα είναι μηδενικό, μιας και το μηδενικό δυναμικό στο ένα άκρο της αντίστασης R (βλέπουμε το σύμβολο γείωσης) θα μεταφέρεται στην έξοδο μέσω του άλλου της άκρου. Αν μία εκ των εισόδων (έστω η A) συνδέεται μέσω του επιλογικού διακόπτη δ_1 στην πηγή σταθερής τάσης V_1 του κυκλώματος (βρίσκεται δηλαδή στη λογική κατάσταση '1'), τότε η διάδος D_1 θα άγει μεταφέροντας την τάση V_1 (υποβιβασμένη, βέβαια, κατά την τάση κατωφλίου της διόδου) στην έξοδο Y. Το ίδιο θα συμβαίνει όταν η είσοδος B είναι στην κατάσταση της λογικής μονάδας, ή όταν και οι δύο εισοδοί (A και B) συνδέονται στην τάση V_1 . Επομένως, το κύκλωμα συμπεριφέρεται ως πύλη OR.



Σχήμα 2.17: Κυκλωματική υλοποίηση πύλης "OR" με διόδους

Το μειονέκτημα του κυκλώματος αυτού, όπως παρόμοια συμβαίνει και για όλες τις λογικές πύλες της οικογένειας DDL) έγκειται ακριβώς στον υποβιβασμό της λογικής μονάδας κατά την τάση κατωφλίου της αντίστοιχης διόδου. (Να σημειωθεί ότι σε μια πύλη DDL οι διόδους που χρησιμοποιούνται είναι του ίδιου τύπου, άρα έχουν τάση κατωφλίου της ίδιας τιμής). Το πρόβλημα αυτό επιδεινώνεται όταν λογικές πύλες της συγκεκριμένης οικογένειας συνδέονται σε σειρά, όπως υποδεικνύει το Σχήμα 2.18.

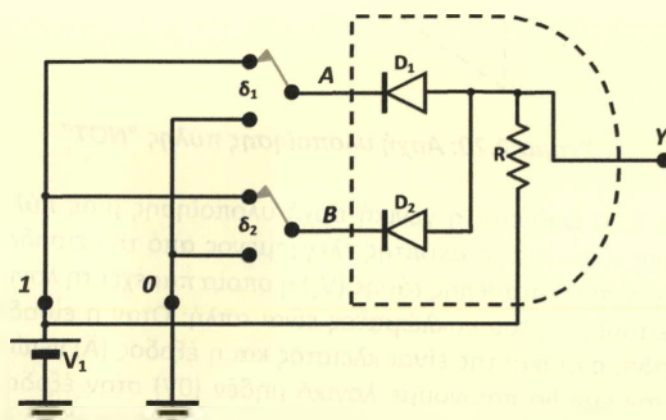


Σχήμα 2.18: Υποβιβασμός της λογικής στάθμης '1' στην οικογένεια DDL

Πράγματι, στην έξοδο της τελευταίας πύλης (#n) μιας μακράς σειράς πυλών της οικογένειας DDL (OR στο παράδειγμά μας) η λογική στάθμη της μονάδας μπορεί να υποβιβαστεί σε τέτοιο βαθμό ώστε η τιμή της εξόδου να γίνει απροσδιόριστη. Για το λόγο αυτό η χρήση πυλών της οικογένειας DDL έχει εγκαταλειφθεί, η δε παρουσίασή τους εδώ γίνεται για λόγους καθαρά εκπαιδευτικούς.

Η υλοποίηση μιας πύλης AND της οικογένειας DDL αποκλίνει των αρχών της άλγεβρας διακοπών, μιας και η ισοδυναμία μιας διόδου με έναν διακόπτη έχει τις ιδιαιτερότητες που ήδη εξηγήσαμε. Αξίζει, λοιπόν, να δούμε τη σχετική υλοποίηση πριν εγκαταλείψουμε οριστικά την οικογένεια αυτή.

Αν και θα αναμέναμε την σε σειρά σύνδεση των διόδων σε μια πύλη AND, η κυκλωματική υλοποίηση της πύλης αυτής στην οικογένεια DDL γίνεται με παράλληλα συνδεδεμένες διόδους, κατά τον τρόπο που υποδεικνύει το Σχήμα 2.19.



Σχήμα 2.19: Κυκλωματική υλοποίηση πύλης “AND” με διόδους

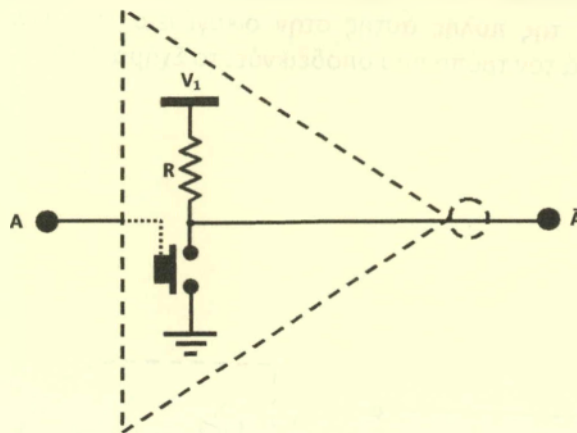
Ας επιβεβαιώσουμε πως το κύκλωμα του Σχήματος 2.19 συμπεριφέρεται ως πύλη AND δύο εισόδων.

Όταν και οι δύο εισόδοι (A και B) του κυκλώματος βρίσκονται σε κατάσταση λογικής μονάδας (οι διακόπτες δ_1 και δ_2 επιλέγουν την τάση V_1) οι διόδους D_1 και D_2 βρίσκονται στην αποκοπή και η τάση V_1 μεταφέρεται στην έξοδο Y του κυκλώματος μέσω της αντίστασης R. Όταν τουλάχιστον μία από τις εισόδους βρίσκεται στη λογική κατάσταση ‘0’, τότε τουλάχιστον μία εκ των διόδων βρίσκεται σε κατάσταση αγωγής μιας και πλώνεται ορθά. Στην περίπτωση αυτή η τάση εξόδου έχει τιμή ίση με την πτώση τάσης κατά μήκος της διόδου αυτής, βρίσκεται δηλαδή στην κατάσταση του λογικού ‘0’ η οποία όμως είναι αναβιβασμένη κατά την τάση κατωφλίου της προαναφερθείσας διόδου. Επομένως, σε μια πύλη AND της οικογένειας DDL η λογική στάθμη που επηρεάζεται από τις τάσεις κατωφλίου των διόδων είναι η στάθμη του μηδενός, σε αντίθεση με μια πύλη OR όπου η στάθμη που αμβλύνεται είναι εκείνη της μονάδας. Βέβαια, το πρόβλημα κατά τη σύνδεση μεγάλου αριθμού πυλών σε σειρά παραμένει αντίστοιχο.

2.4.2 Η οικογένεια RTL

Μια άλλη οικογένεια λογικών πυλών είναι η RTL (Resistor-Transistor Logic). Όπως υποδηλώνει η ονομασία, οι λογικές πύλες της οικογένειας αυτής δομούνται με τη χρήση αντιστατών και διπολικών τρανζίστορ.

Ένα από τα προβλήματα της οικογένειας DDL τα οποία αντιμετωπίζονται με την οικογένεια RTL είναι η υλοποίηση των πυλών NOT (αναστροφέων – Inverters). Αρχικά θα παρουσιάσουμε τη γενικότερη αρχή την οποία ακολουθούμε για τη σχεδίαση πυλών NOT, την οποία θα εξειδικεύσουμε στη συνέχεια για την περίπτωση της οικογένειας RTL.

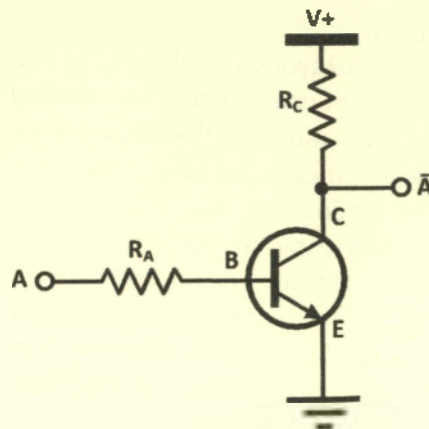


Σχήμα 2.20: Αρχή υλοποίησης πύλης "NOT"

Στο Σχήμα 2.20 φαίνεται η γενική αρχή υλοποίησης μιας πύλης NOT. Τα βασικά δομικά στοιχεία της είναι ένας διακόπτης ελεγχόμενος από την είσοδο (A) της πύλης, μια αντίσταση (R) και μια πηγή σταθερής τάσης (V_1) η οποία παρέχει τη λογική στάθμη '1'.

Η αρχή λειτουργίας του κυκλώματος είναι απλή: Όταν η είσοδος A τροφοδοτείται με τη λογική μονάδα, ο διακόπτης είναι κλειστός και η έξοδος (\bar{A}) γειώνεται. Επομένως, με λογική μονάδα στην είσοδο παίρνουμε λογικό μηδέν (0V) στην έξοδο. Όταν η είσοδος A τροφοδοτείται με το λογικό μηδέν (γειώνεται), τότε ο διακόπτης είναι ανοιχτός και στην έξοδο (\bar{A}) μεταφέρεται η τάση V_1 , η οποία αντιστοιχεί στη λογική μονάδα. Επομένως, με λογικό μηδέν στην είσοδο παίρνουμε λογική μονάδα (V_1) στην έξοδο. Άρα, το κύκλωμα συμπεριφέρεται ως αναστροφέας.

Εφαρμόζοντας ακριβώς την αρχή αυτή μπορούμε να υλοποιήσουμε μια πύλη NOT της οικογένειας RTL κατά τον τρόπο που υποδεικνύει το Σχήμα 2.21.



Σχήμα 2.21: Κυκλωματική υλοποίηση πύλης "NOT" της οικογένειας RT

Το ρόλο του διακόπτη αναλαμβάνει προφανώς το τρανζίστορ. Πιο συγκεκριμένα, όταν η τάση στην είσοδο (A) είναι μηδενική το τρανζίστορ βρίσκεται στην αποκοπή και στην έξοδο (A̅) μεταφέρεται η τάση V+ μέσω της αντίστασης R_C. Όταν η τάση στην είσοδο (A) είναι ίση με V+ τότε το τρανζίστορ μεταπίπτει στον κόρο (λειτουργώντας σαν κλειστός διακόπτης) και στην έξοδο (A̅) μεταφέρεται το μηδενικό δυναμικό. Η συνδεσμολογία που χρησιμοποιείται είναι κοινού εκπομπού, ενώ οι τιμές των αντιστάσεων R_A και R_C επιλέγονται με βάση τους ακόλουθους κανόνες: Για μεν την αντίσταση R_C στον συλλέκτη, αυτή επιλέγεται αρκούντως μεγάλη για τον κορεσμό του τρανζίστορ, αλλά και αρκούντως μικρή ώστε η αντίσταση εξόδου της πύλης να διατηρείται όσο το δυνατό πιο μικρή. Όσον αφορά την αντίσταση R_A στη βάση του τρανζίστορ η επιλεγόμενη τιμή αποτελεί συμβιβασμό ώστε αφενός να είναι αρκετά μικρή για να επιτυγχάνεται η λειτουργία του τρανζίστορ στην περιοχή κόρου, αφετέρου να είναι αρκετά μεγάλη ώστε η αντίσταση εισόδου της πύλης να παραμένει αρκετά υψηλή.

Πράγματι, όταν το τρανζίστορ βρίσκεται στην αποκοπή (βλέπουμε το σχήμα 2.22) η τάση στην έξοδο του κυκλώματος θα δίνεται από τη σχέση:

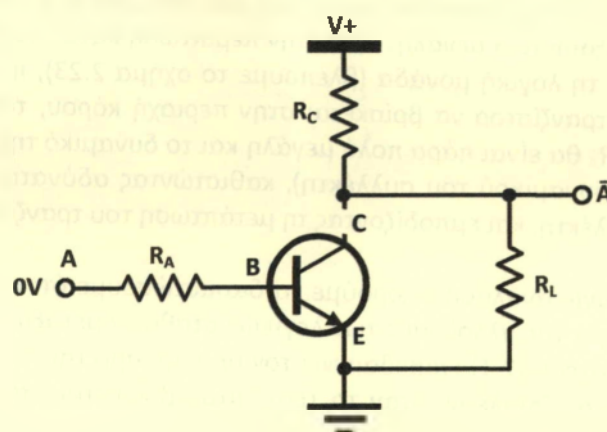
$$V_{\bar{A}} = \frac{R_L}{R_L + R_C} V_{+} \quad (2.1)$$

όπου R_L η αντίσταση φόρτου της πύλης.

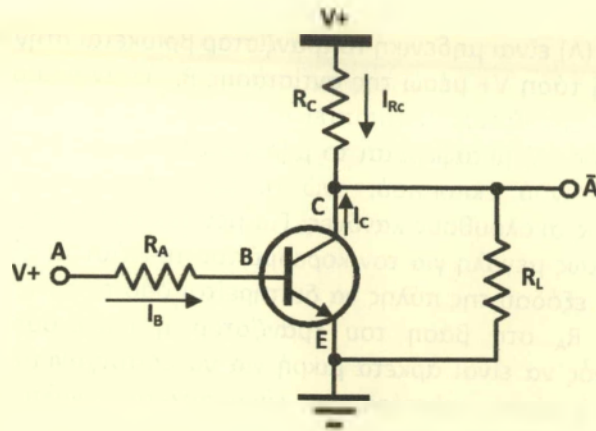
Στην περίπτωση αυτή επιθυμούμε να ισχύει:

$$V_{\bar{A}} \square V_{+} \quad (2.2)$$

η οποία ικανοποιείται για πολύ μικρές τιμές της αντίστασης R_C.



Σχήμα 2.22: Πύλη "NOT" της οικογένειας RTL με το τρανζίστορ στην αποκοπή

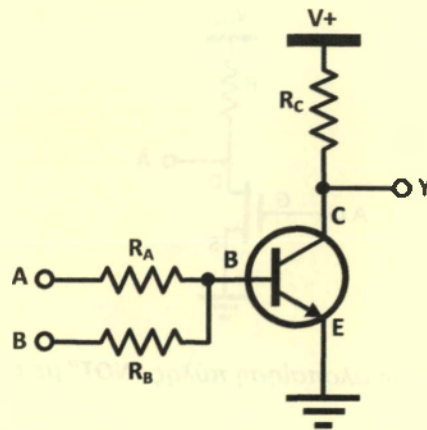


Σχήμα 2.23: Πύλη "NOT" της οικογένειας RTL με το τρανζίστορ στον κόρο

Ωστόσο, αν η αντίσταση R_C είναι υπερβολικά μικρή τότε, στην περίπτωση κατά την οποία έχουμε στην είσοδο της πύλης NOT τη λογική μονάδα (βλέπουμε το σχήμα 2.23), η πτώση τάσης πάνω στην R_C θα είναι πολύ μικρή ώστε η επαφή βάσης-συλλέκτη του τρανζίστορ να μην είναι δυνατό να πολωθεί ορθά και το τρανζίστορ να αδυνατεί να περιέλθει στον κόρο.

Όσον αφορά την αντίσταση R_A στη βάση του τρανζίστορ, αυτή είναι επιθυμητό να είναι πολύ μεγάλη, μιας και καθορίζει την αντίσταση εισόδου της πύλης και άρα και την αντίσταση φόρτου αν υποθέσουμε ως φόρτο μια παρόμοια λογική πύλη (γεγονός που συμβαίνει συνήθως και στην πράξη). Αλλά από τη σχέση (2.1) είναι φανερό πως η αντίσταση φόρτου θα πρέπει να είναι όσο το δυνατό πιο μεγάλη, άρα αντίστοιχα μεγάλη θα πρέπει να είναι και η αντίσταση εισόδου της πύλης και, άρα, και η R_A . Παρόλα αυτά, αν η αντίσταση αυτή είναι εξαιρετικά μεγάλη, τότε στην περίπτωση κατά την οποία έχουμε στην είσοδο της πύλης NOT τη λογική μονάδα (βλέπουμε το σχήμα 2.23), περίπτωση κατά την οποία επιθυμούμε το τρανζίστορ να βρίσκεται στην περιοχή κόρου, τότε η πτώση τάσης πάνω στην αντίσταση R_A θα είναι πάρα πολύ μεγάλη και το δυναμικό της βάσης πάρα πολύ μικρό (μικρότερο του δυναμικού του συλλέκτη), καθιστώντας αδύνατη την ορθή πόλωση της επαφής βάσης-συλλέκτη, και εμποδίζοντας τη μετάπτωση του τρανζίστορ στον κόρο.

Από την πιο πάνω ανάλυση μπορούμε να διαπιστώσουμε ότι και η οικογένεια RTL πάσχει από το πρόβλημα της αλλοίωσης των λογικών σταθμών μεταξύ της εισόδου και της εξόδου μιας πύλης. Η σχέση (2.1) επιβεβαιώνει τον υποβιβασμό της λογικής μονάδας στην έξοδο ενός αναστροφέα. Επιπλέον, όταν το τρανζίστορ βρίσκεται στην περιοχή κόρου η τάση συλλέκτη-εκπομπού είναι ίση με V_{CEsat} , η οποία αν και μικρή δεν είναι μηδενική. Συμπεραίνουμε, λοιπόν, ότι και το λογικό μηδέν αλλοιώνεται, αναβιβαζόμενο στην τιμή V_{CEsat} .



Σχήμα 2.24: Κυκλωματική υλοποίηση πύλης “NOR” της οικογένειας RTL

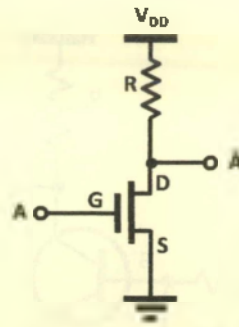
Με την σύνδεση μιας ακόμα αντίστασης (R_B) στη βάση του τρανζίστορ μιας πύλης NOT μπορούμε να πάρουμε μια πύλη NOR, η κυκλωματική υλοποίηση της οποίας φαίνεται στο Σχήμα 2.24. Η λειτουργία της πύλης αυτής έχει ως εξής: Όταν και οι δύο εισοδοί του κυκλώματος (A και B) βρίσκονται στο λογικό μηδέν (είναι, δηλαδή, γειωμένες) το δυναμικό της βάσης (V_B) είναι μηδενικό, το τρανζίστορ βρίσκεται στην αποκοπή, και η έξοδος (Y) παίρνει τιμή αντίστοιχη της λογικής μονάδας ($V+$), σύμφωνα με όσα αναφέραμε για την πύλη του αναστροφέα. Όταν και οι δύο εισοδοί του κυκλώματος (A και B) βρίσκονται στη λογική μονάδα (δηλαδή σε δυναμικό $V+$) το δυναμικό της βάσης (V_B) είναι ίσο με $V+$, το τρανζίστορ μεταπίπτει στον κόρο, και η έξοδος αναγκάζεται να λάβει τιμή αντίστοιχη του λογικού μηδενός. Στην περίπτωση που μία εκ των εισόδων (έστω η A) είναι γειωμένη και η άλλη (B) συνδέεται στο δυναμικό $V+$, τότε το δυναμικό V_B της βάσης καθορίζεται από τον διαιρέτη τάσης που σχηματίζουν οι αντιστάσεις R_A και R_B , οι οποίες συνήθως επιλέγονται ίσες. Συγκεκριμένα, ισχύει:

$$V_B = \frac{R_B}{R_A + R_B} V_+ \stackrel{(R_A=R_B=R)}{=} \frac{V_+}{2} \quad (2.3)$$

Το τρανζίστορ μπορεί να μεταπέσει και στην περίπτωση αυτή στον κόρο, με κατάλληλη επιλογή των τιμών των αντιστάσεων του κυκλώματος, σύμφωνα με όσα προαναφέραμε και για τη σχεδίαση της πύλης NOT. Επομένως, η έξοδος Y θα λάβει τιμή αντίστοιχη του λογικού μηδενός.

2.4.3 Οι οικογένειες nMOS και CMOS

Όπως και το διπολικό τρανζίστορ, έτσι και το τρανζίστορ MOS μπορεί να λειτουργήσει σαν διακόπτης ελεγχόμενος από τάση. Μπορούμε, επομένως, να υλοποιήσουμε λογικές πύλες και ψηφιακά κυκλώματα χρησιμοποιώντας τρανζίστορ MOS.



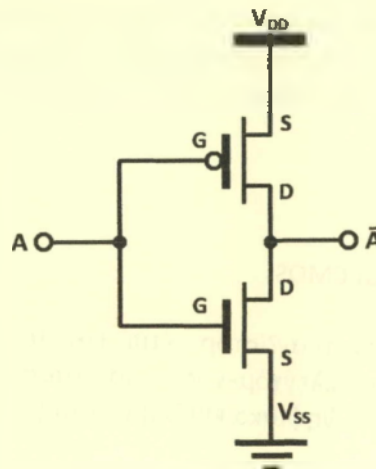
Σχήμα 2.25: Κυκλωματική υλοποίηση πύλης "NOT" με τρανζίστορ nMOS

Στο Σχήμα 3.25 φαίνεται η υλοποίηση μιας πύλης NOT (αναστροφή) με τη βοήθεια ενός τρανζίστορ MOS τύπου n (nMOS), αντίστοιχη της υλοποίησης RTL που ήδη παρουσιάσαμε και με παρόμοια αρχή λειτουργίας: Όταν η είσοδος (A) του κυκλώματος βρίσκεται στην κατάσταση του λογικού μηδενός, όταν δηλαδή το δυναμικό της εισόδου είναι μηδενικό, τότε η τάση μεταξύ πύλης (G) και εκροής (S) του τρανζίστορ είναι μηδενική και το nMOS βρίσκεται στην αποκοπή. Τότε η τάση V_{DD} μεταφέρεται ακέραια στην έξοδο (\bar{A}) του κυκλώματος μέσω της αντίστασης φόρτου R. Όταν η είσοδος του κυκλώματος βρίσκεται στην κατάσταση της λογικής μονάδας, όταν δηλαδή το δυναμικό της εισόδου είναι ίσο με V_{DD} , τότε η τάση μεταξύ πύλης (G) και εκροής (S) του τρανζίστορ είναι ίση με V_{DD} και το nMOS βρίσκεται στον κόρο. Τότε η τάση V_{DD} «απομονώνεται» από την έξοδο, στην οποία μεταφέρεται το μηδενικό δυναμικό της εκροής (S) του τρανζίστορ. Για την ακρίβεια, η τάση στην έξοδο όταν αυτή βρίσκεται στην κατάσταση του λογικού μηδενός δίνεται από τη σχέση:

$$V_{\bar{A}} = V_{DD} - I_{DSSat} R, \quad (2.4)$$

όπου I_{DSSat} το ρεύμα κόρου του MOSFET, το οποίο υποθέτουμε σταθερό. Επίσης, η αντίσταση της επόμενης βαθμίδας θεωρείται άπειρη.

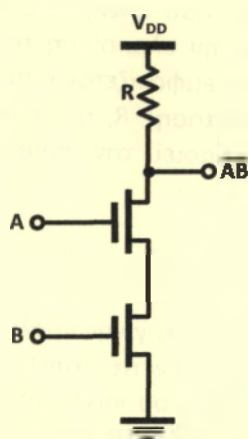
Η σχέση (2.4) αναδεικνύει το γεγονός πως η μηδενική λογική στάθμη δεν αντιστοιχεί σε απόλυτα μηδενική τιμή τάσης.



Σχήμα 2.26: Κυκλωματική υλοποίηση πύλης "NOT" με συμπληρωματικά τρανζίστορ MOS (CMOS)

Το πρόβλημα αυτό μπορεί να αντιμετωπισθεί με την αντικατάσταση της αντίστασης R με ένα συμπληρωματικό τρανζίστορ MOS (τύπου p - p MOS). Έχουμε, τότε, το κύκλωμα του Σχήματος 2.26, αναλυτική μελέτη του οποίου θα γίνει στις επόμενες παραγράφους. Ωστόσο, είναι σκόπιμο να αναφέρουμε στο σημείο αυτό μια απλουστευμένη περιγραφή της αρχής λειτουργίας του: Τα τρανζίστορ που χρησιμοποιούνται είναι συμπληρωματικά. Αυτό σημαίνει πως όταν το δυναμικό στην είσοδο (A) του κυκλώματος είναι μηδενικό, τότε το n MOS βρίσκεται στην αποκοπή ενώ το p MOS βρίσκεται στον κόρο. Το αντίθετο συμβαίνει όταν η είσοδος του κυκλώματος βρίσκεται σε δυναμικό V_{DD} . Στη σταθερή κατάσταση (όταν δηλαδή η τιμή της εξόδου έχει σταθεροποιηθεί) ένα εκ των δύο τρανζίστορ βρίσκεται στην αποκοπή και, άρα, το ρεύμα που τα διαρρέει είναι μηδενικό. Το γεγονός αυτό συνεπάγεται μηδενική «πτώση» της τάσης τροφοδοσίας που οδηγείται προς την έξοδο του αναστροφέα (V_{DD} ή V_{SS}) και άρα διατήρηση των λογικών σταθμών H και L στις τιμές V_{DD} και V_{SS} , αντίστοιχα. Η παρατήρηση που αφορά το μηδενικό ρεύμα στη σταθερή κατάσταση (ή, αλλιώς, κατά τη στατική λειτουργία του κυκλώματος) αναδεικνύει ένα από τα πλεονεκτήματα της υλοποίησης με συμπληρωματικά MOS (Complementary MOS – CMOS) και συγκεκριμένα τη μηδενική στατική κατανάλωση ισχύος. Σε αντίθεση με την υλοποίηση του Σχήματος 2.25 η οποία καταναλώνει ηλεκτρική ισχύ ακόμη και όταν η είσοδος δεν μεταβάλλεται, η υλοποίηση CMOS εμφανίζει πολύ μικρότερη κατανάλωση ισχύος και μόνο όταν το κύκλωμα βρίσκεται σε δυναμική λειτουργία (κατά τη διάρκεια της μετάβασης της εξόδου από μια λογική κατάσταση στην άλλη) καθιστώντας την ιδανική για κυκλώματα που απαιτούν μικρή κατανάλωση ισχύος (π.χ. κυκλώματα φορητών υπολογιστών ή κινητών τηλεφώνων).

Η υλοποίηση της πύλης NOT με n MOS και αντίσταση μπορεί να γενικευθεί και για άλλες λογικές πύλες και ψηφιακά κυκλώματα. Η οικογένεια αυτών των κυκλωμάτων ονομάζεται οικογένεια n MOS.



Σχήμα 2.27: Κυκλωματική υλοποίηση πύλης “NAND” της οικογένειας n MOS

Στο Σχήμα 2.27 παρουσιάζεται η κυκλωματική υλοποίηση μιας πύλης NAND δύο εισόδων της οικογένειας n MOS. Η πύλη αυτή, το κυκλωματικό σύμβολο της οποίας φαίνεται στο Σχήμα 2.28, παράγει το συμπλήρωμα της λογικής πράξης AND των εισόδων της (A και B), σύμφωνα με τον πίνακα αλήθειας που φαίνεται στον Πίνακα 2.5.

Πίνακας 2.5: Πίνακας αλήθειας πύλης NAND

A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

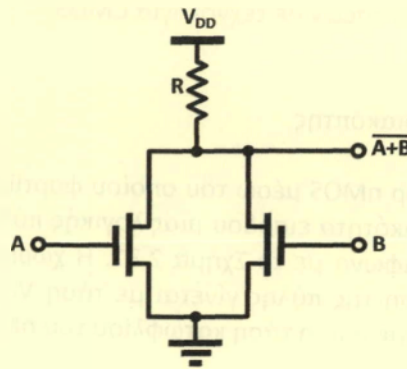


Σχήμα 2.28: Κυκλωματικό σύμβολο πύλης "NAND"

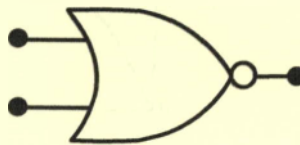
Η λειτουργία του κυκλώματος μπορεί να επιβεβαιωθεί ως εξής: Όταν τουλάχιστον μία από τις εισόδους (A και B) του κυκλώματος είναι στη μηδενική λογική κατάσταση (γραμμές 1-3 του πίνακα αλήθειας), τότε το αντίστοιχο MOSFET βρίσκεται στην αποκοπή και η τάση V_{DD} μεταφέρεται στην έξοδο μέσω της αντίστασης R. Όταν και οι δύο εισοδοί βρίσκονται στην κατάσταση της λογικής μονάδας (4η γραμμή του πίνακα αλήθειας) τότε και τα δύο MOSFET άγουν οδηγώντας την έξοδο πολύ κοντά στο μηδενικό δυναμικό, σε αναλογία με αυτά που αναφέραμε για την περίπτωση του αναστροφέα της ίδιας οικογένειας. Η σε σειρά σύνδεση των δύο τρανζίστορ (διακοπών) δικαιολογείται άμεσα από τα όσα αναφέραμε σχετικά με την υλοποίηση της πράξης AND στην άλγεβρα των διακοπών. Το γεγονός ότι η έξοδος εμφανίζεται αντεστραμμένη (NAND αντί για AND) προκύπτει από την ύπαρξη της αντίστασης R, η οποία σε συνδυασμό με τα υπόλοιπα στοιχεία του κυκλώματος πραγματοποιεί την πράξη της αναστροφής (του λογικού συμπληρώματος).

Με παρόμοιο τρόπο μπορεί να υλοποιηθεί μια πύλη NOR δύο εισόδων, όπως υποδεικνύει το Σχήμα 2.29. Η πύλη αυτή, το κυκλωματικό σύμβολο της οποίας φαίνεται στο Σχήμα 2.30, παράγει το συμπλήρωμα της λογικής πράξης OR επί των εισόδων της (A και B), σύμφωνα με τον πίνακα αλήθειας που φαίνεται στον Πίνακα 2.6.

Η επιβεβαίωση της λειτουργίας του κυκλώματος έχει ως εξής: Όταν τουλάχιστον μία από τις εισόδους (A και B) του κυκλώματος είναι στη λογική κατάσταση της μονάδας (γραμμές 2-4 του πίνακα αλήθειας), τότε το αντίστοιχο MOSFET άγει, οδηγώντας την έξοδο πολύ κοντά στο μηδενικό δυναμικό. Όταν και οι δύο εισοδοί βρίσκονται στην κατάσταση του λογικού μηδενός (1η γραμμή του πίνακα αλήθειας) τότε και τα δύο MOSFET βρίσκονται στην αποκοπή και η τάση V_{DD} μεταφέρεται στην έξοδο μέσω της αντίστασης R. Η παράλληλη σύνδεση των δύο τρανζίστορ δικαιολογείται με βάση όσα αναφέραμε σχετικά με την υλοποίηση της πράξης OR στην άλγεβρα των διακοπών, ενώ η έξοδος εμφανίζεται αντεστραμμένη (NOR αντί για OR) για τον ίδιο λόγο που αυτό συμβαίνει και στην πύλη NAND της ίδιας οικογένειας.



Σχήμα 2.29: Κυκλωματική υλοποίηση πύλης "NOR" της οικογένειας nMOS



Σχήμα 2.30: Κυκλωματικό σύμβολο πύλης "NOR"

Πίνακας 2.6: Πίνακας αλήθειας πύλης NOR

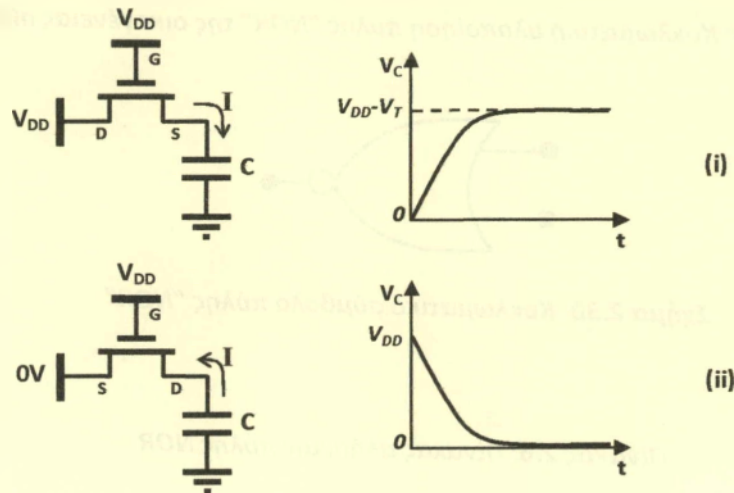
A	B	A+B
0	0	1
0	1	0
1	0	0
1	1	0

Για την υλοποίηση ψηφιακών κυκλωμάτων σε ολοκληρωμένη μορφή προτιμάται η χρήση της οικογένειας CMOS για τους εξής λόγους: Οι λογικές πύλες CMOS δεν απαιτούν τη χρήση αντιστάσεων, η υλοποίηση των οποίων σε ολοκληρωμένη μορφή απαιτεί μεγάλη επιφάνεια. Οι τιμές τάσης των λογικών σταθμών στην οικογένεια CMOS δεν αλλοιώνονται, σύμφωνα με όσα ήδη εξηγήσαμε. Επίσης, τα κυκλώματα της οικογένειας αυτής καταναλώνουν ισχύ μόνο στη δυναμική λειτουργία και όχι στη στατική, με αποτέλεσμα να παρουσιάζουν την μικρότερη κατανάλωση ισχύος σε σύγκριση με όλες τις υπόλοιπες λογικές οικογένειες. Τέλος, οι μικρές διαστάσεις των τρανζίστορ MOS και η δυνατότητα κατασκευής του σε πολύ μεγάλη πυκνότητα (εξαιτίας της ηλεκτρικής τους απομόνωσης) τα καθιστούν ιδανική επιλογή για την υλοποίηση ολοκληρωμένων ψηφιακών κυκλωμάτων εξαιρετικά μικρών διαστάσεων.

2.4.4 Υλοποίηση λογικών συναρτήσεων σε τεχνολογία CMOS

- Το τρανζίστορ nMOS ως διακόπτης

Θεωρούμε ένα τρανζίστορ nMOS μέσω του οποίου φορτίζεται μια χωρητικότητα C , η οποία προσομοιώνει τη χωρητικότητα εισόδου μιας λογικής πύλης που οδηγείται από το τρανζίστορ που εξετάζουμε, σύμφωνα με το Σχήμα 2.31. Η χωρητικότητα αυτή θεωρείται αρχικά αφόρτιστη, ενώ η πόλωση της πύλης γίνεται με τάση V_{DD} , ώστε το τρανζίστορ να άγει (Σχήμα 2.31-i). Ας υποθέσουμε πως η τάση κατωφλίου του nMOS είναι ίση με V_T .



Σχήμα 2.31: Λειτουργία του τρανζίστορ nMOS ως διακόπτη

Προκειμένου να άγει το τρανζίστορ θα πρέπει να ισχύει:

$$V_{GS} \geq V_T. \quad (2.5)$$

Η σχέση (3.5) μπορεί να γραφτεί ισοδύναμα:

$$V_G - V_S \geq V_T. \quad (2.6)$$

Επειδή η τάση που εφαρμόζεται στην πύλη του τρανζίστορ είναι ίση με V_{DD} , η σχέση (3.6) γράφεται:

$$V_{DD} - V_S \geq V_T. \quad (2.7)$$

ή

$$V_S \leq V_{DD} - V_T. \quad (2.8)$$

Από τη σχέση (3.8) μπορούμε να συμπεράνουμε πως η μέγιστη τιμή της τάσης στην πηγή του τρανζίστορ nMOS κατά τη φόρτιση της χωρητικότητας C είναι ίση με:

$$V_S|_{\max} = V_C|_{\max} = V_{DD} - V_T. \quad (2.9)$$

(όπου V_C η τάση στα άκρα της χωρητικότητας C), και προφανώς ταυτίζεται με τη μέγιστη τάση φόρτισης της χωρητικότητας αυτής.

Από τα παραπάνω γίνεται φανερό ότι ένα nMOS υποβιβάζει τη λογική μονάδα (V_{DD}) κατά την τάση κατωφλίου του και, επομένως, το nMOS αποτελεί κακό διακόπτη για τη διαβίβαση της λογικής μονάδας.

Ας θεωρήσουμε το ίδιο τρανζίστορ, από το οποίο θα απαιτήσουμε την εκφόρτιση της χωρητικότητας C η οποία υποτίθεται φορτισμένη αρχικά σε τάση V_{DD} (Σχήμα 2.31-ii). Παρατηρούμε πως πάντοτε θα ισχύει:

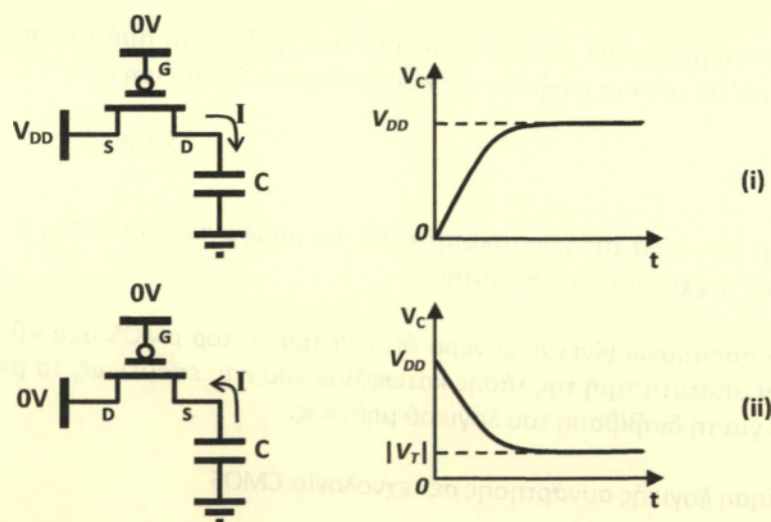
$$V_{GS} = V_{DD} > V_T \quad (2.10)$$

[Αξίζει να προσέξουμε ότι η αλλαγή της πόλωσης της πύλης οδηγεί στην εναλλαγή του ρόλου των ακροδεκτών πηγής (S) και εκροής (D), σε σχέση με την προηγούμενη περίπτωση. Ας θυμηθούμε, άλλωστε, πως το τρανζίστορ MOS είναι διάταξη συμμετρική]. Αφού, λοιπόν, είναι $V_{GS} > V_T$, το τρανζίστορ θα άγει διαρκώς μέχρι την πλήρη εκφόρτιση της χωρητικότητας, έως ότου δηλαδή η τάση V_C στα άκρα της μηδενιστεί.

Από τα παραπάνω γίνεται φανερό ότι ένα nMOS αποτελεί ιδανικό διακόπτη για την διαβίβαση του λογικού μηδενός (V_{SS}).

- Το τρανζίστορ pMOS ως διακόπτης

Θεωρούμε ένα τρανζίστορ pMOS μέσω του οποίου φορτίζεται μια χωρητικότητα C , η οποία προσομοιώνει τη χωρητικότητα εισόδου μιας λογικής πύλης που οδηγείται από το τρανζίστορ που εξετάζουμε, σύμφωνα με το Σχήμα 2.32. Η χωρητικότητα αυτή θεωρείται αρχικά αφόρτιστη, ενώ η πόλωση της πύλης του τρανζίστορ γίνεται με τάση $V_{DD}=0V$ ώστε αυτό να άγει (Σχήμα 2.32-i). Ας υποθέσουμε πως η τάση κατωφλίου του pMOS είναι ίση με V_T . (Θυμίζουμε πως η τάση κατωφλίου ενός τρανζίστορ pMOS είναι αρνητική).



Σχήμα 2.32: Λειτουργία του τρανζίστορ pMOS ως διακόπτη

Η τάση V_{GS} μεταξύ πύλης και πηγής είναι, για την περίπτωση που εξετάζουμε, σταθερή και ίση με $-V_{DD}$. Άρα, θα ισχύει:

$$V_{GS} = -V_{DD} < V_T. \quad (2.11)$$

και το τρανζίστορ pMOS θα άγει διαρκώς, ανεξάρτητα από την τιμή του δυναμικού της εκροής, μέχρι την πλήρη φόρτιση του πυκνωτή σε τάση $V_C = V_{DD}$.

Από τα παραπάνω γίνεται φανερό ότι ένα pMOS αποτελεί ιδανικό διακόπτη για την διαβίβαση της λογικής μονάδας (V_{DD}).

Ας θεωρήσουμε το ίδιο τρανζίστορ, από το οποίο θα απαιτήσουμε την εκφόρτιση της χωρητικότητας C η οποία υποτίθεται φορτισμένη αρχικά σε τάση V_{DD} (Σχήμα 2.32-ii).

Προκειμένου να άγει το τρανζίστορ θα πρέπει να ισχύει:

$$V_{GS} \leq V_T. \quad (2.12)$$

Η σχέση (3.12) μπορεί να γραφτεί ισοδύναμα:

$$V_G - V_S \leq V_T. \quad (2.13)$$

Επειδή η τάση που εφαρμόζεται στην πύλη του τρανζίστορ είναι ίση με 0V, η σχέση (2.13) γράφεται:

$$0 - V_S \leq V_T. \quad (2.14)$$

ή

$$V_S \geq -V_T = |V_T|. \quad (2.15)$$

Από τη σχέση (2.15) μπορούμε να συμπεράνουμε πως η ελάχιστη τιμή της τάσης στην πηγή του τρανζίστορ pMOS κατά τη φόρτιση της χωρητικότητας C είναι ίση με:

$$V_S|_{\min} = V_C|_{\min} = |V_T|. \quad (2.16)$$

(όπου V_C η τάση στα άκρα της χωρητικότητας C), και προφανώς ταυτίζεται με την ελάχιστη τάση εκφόρτισης της χωρητικότητας αυτής.

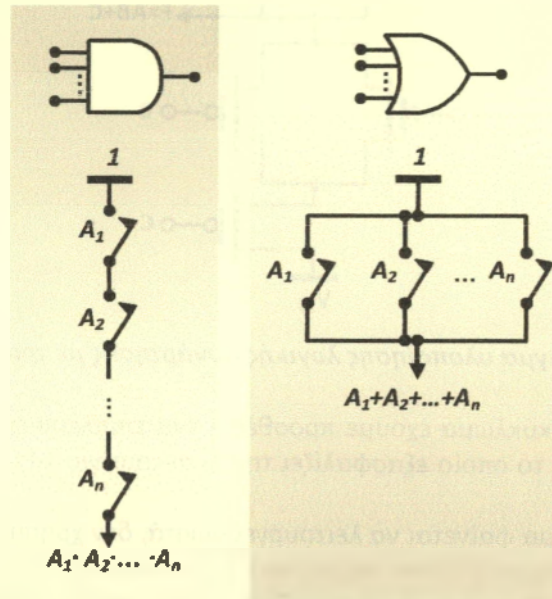
Από τα παραπάνω γίνεται φανερό ότι ένα τρανζίστορ pMOS αναβιβάζει το λογικό μηδέν κατά την απόλυτη τιμή της τάσης κατωφλίου του και, επομένως, το pMOS αποτελεί κακό διακόπτη για τη διαβίβαση του λογικού μηδενός.

- Υλοποίηση λογικής συνάρτησης σε τεχνολογία CMOS

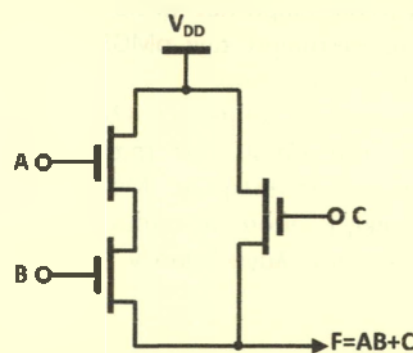
Πριν προχωρήσουμε στην κυκλωματική υλοποίηση μιας λογικής συνάρτησης σε τεχνολογία CMOS, ας θυμηθούμε από την άλγεβρα των διακοπών πως μια πύλη AND n εισόδων υλοποιείται με τη σύνδεση σε σειρά n λογικών διακοπών, ενώ μια πύλη OR με την παράλληλη σύνδεση διακοπών, όπως φαίνεται στο Σχήμα 2.33.

Εκμεταλλευόμενοι την ιδιότητα που έχει το τρανζίστορ MOS να μπορεί να συμπεριφέρεται σαν διακόπτης, ας προσπαθήσουμε να υλοποιήσουμε μια λογική συνάρτηση, για παράδειγμα την $F=AB+C$.

Σε πρώτη προσέγγιση θα θεωρήσουμε τα τρανζίστορ ως ιδανικούς διακόπτες (Ένας διακόπτης ονομάζεται ιδανικός αν, όντας στην κατάσταση ON, εμφανίζει μηδενική διαφορά δυναμικού μεταξύ των ακροδεκτών του. Μεταβιβάζει, δηλαδή, αναλλοίωτο το δυναμικό από τον έναν ακροδέκτη στον άλλο). Είναι φανερό πως, με τη βοήθεια της άλγεβρας διακοπών, μπορούμε να υλοποιήσουμε τη συνάρτηση F χρησιμοποιώντας τρανζίστορ nMOS κατά τον τρόπο που υποδεικνύει το Σχήμα 2.34.



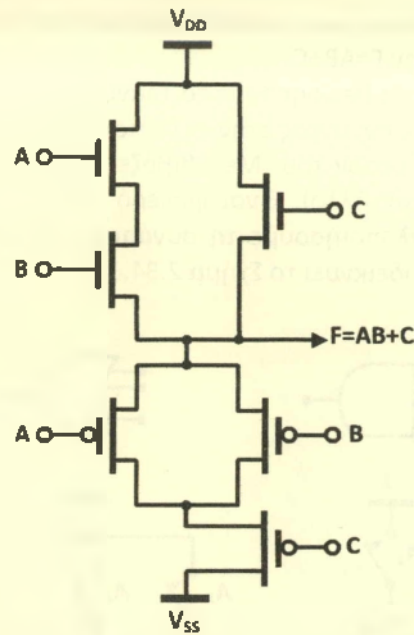
Σχήμα 2.33: Υλοποίηση πυλών AND και OR με διακόπτες



Σχήμα 2.34: Παράδειγμα υλοποίησης λογικής συνάρτησης με τρανζίστορ MOS (1/4)

Το κύκλωμα αυτό παρουσιάζει ένα σημαντικό μειονέκτημα: Όταν $A=B=C=0$, τότε η έξοδος γίνεται απροσδιόριστη. Το τελευταίο μπορεί να γίνει αντιληπτό αν θεωρήσουμε ότι στην έξοδο συνδέουμε μια χωρητικότητα. Αν η χωρητικότητα αυτή έχει φορτισθεί κατά τη διάρκεια μιας προηγούμενης φάσης λειτουργίας του κυκλώματος (π.χ. όταν $A=B=C=1$), με τη νέα κατάσταση $A=B=C=0$ θα διατηρήσει το φορτίο της αφού δεν υπάρχει διέξοδος εκφόρτισης (όλοι οι διακόπτες θα είναι ανοικτοί). Αυτό συνεπάγεται λογικό σφάλμα στη λειτουργία του κυκλώματος, γιατί θα είναι $F=1$ όταν $A=B=C=0$.

Το προηγούμενο πρόβλημα μπορεί να διορθωθεί με την τροποποίηση του κυκλώματος κατά τον τρόπο που υποδεικνύει το Σχήμα 2.35.

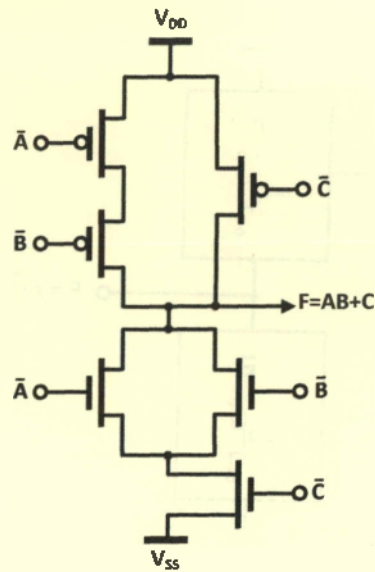


Σχήμα 2.35: Παράδειγμα υλοποίησης λογικής συνάρτησης με τρανζίστορ MOS (2/4)

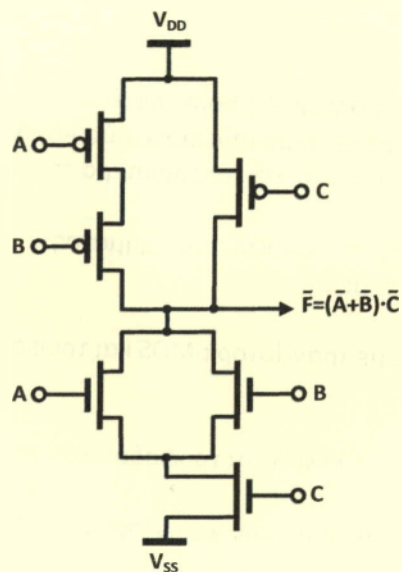
Στο βελτιωμένο κύκλωμα έχουμε προσθέσει ένα επιπλέον τμήμα (που υλοποιεί το συμπλήρωμα \bar{F} της F) το οποίο εξασφαλίζει την αναγκαία για την εκφόρτιση της εξόδου διεξοδο.

Αν και το κύκλωμα φαίνεται να λειτουργεί σωστά, δεν χρησιμοποιείται στην πράξη. Ας δούμε γιατί συμβαίνει αυτό: Είναι καιρός να εγκαταλείψουμε τη θεώρηση των ιδανικών διακοπών και να θυμηθούμε πως τα τρανζίστορ MOS αποτελούν ιδανικούς διακόπτες μόνο σε ορισμένες περιπτώσεις. Όπως είδαμε στις προηγούμενες παραγράφους, τα nMOS μεταβιβάζουν άριστα μόνο τη λογική μονάδα, ενώ τα pMOS μόνο το λογικό μηδέν. Στο προηγούμενο, όμως, κύκλωμα το δικτύωμα των nMOS είναι υπεύθυνο για τη μεταφορά της τάσης V_{DD} στην έξοδο ενώ το δικτύωμα των pMOS για τη μεταφορά της τάσης V_{SS} , αλλοιώνοντας τις λογικές στάθμες στην έξοδο.

Το πρόβλημα αυτό αντιμετωπίζεται με το κύκλωμα του Σχήματος 2.36. Το κύκλωμα αυτό προκύπτει με εναλλαγή του τύπου των τρανζίστορ και οδήγησή τους από τα συμπληρώματα των αντίστοιχων μεταβλητών. Με τον τρόπο αυτό, τα μεν pMOS μεταφέρουν στην έξοδο τη λογική μονάδα της οποίας αποτελούν ιδανικούς διαβιβαστές, ενώ, παρόμοια, τα nMOS χειρίζονται το λογικό μηδέν.

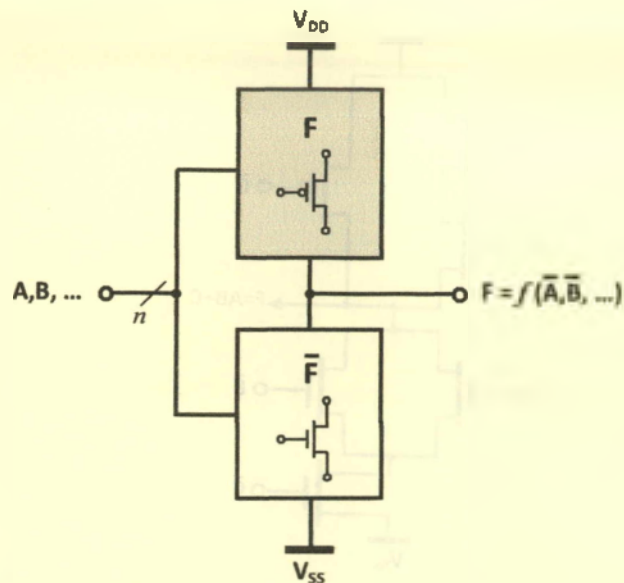


Σχήμα 2.36: Παράδειγμα υλοποίησης λογικής συνάρτησης με τρανζίστορ MOS (3/4)



Σχήμα 2.37: Παράδειγμα υλοποίησης λογικής συνάρτησης με τρανζίστορ MOS (4/4)

Μια ισοδύναμη αντιμετώπιση, που απαιτεί λιγότερες εξαγωγές συμπληρωμάτων, είναι αυτή του Σχήματος 2.37. Μπορούμε να παρατηρήσουμε πως συναρτήσεις που περιέχουν μόνο συμπληρώματα μεταβλητών είναι άμεσα υλοποιήσιμες από ένα κύκλωμα CMOS ενώ συναρτήσεις που περιέχουν και μη συμπληρωματικές μεταβλητές απαιτούν προηγούμενη εξαγωγή των συμπληρωμάτων με τη χρήση αναστροφέων.



Σχήμα 2.38: Μέθοδος υλοποίησης λογικής συνάρτησης σε τεχνολογία CMOS

Στην γενική περίπτωση, η υλοποίηση μιας λογικής συνάρτησης σε τεχνολογία CMOS ακολουθεί τα εξής βήματα:

- Με μετασχηματισμούς της άλγεβρας Boole φέρνουμε τη συνάρτηση σε κατάλληλη μορφή, τέτοια που να περιέχει μόνο συμπληρωματικούς παράγοντες, γιατί με τον τρόπο αυτό απαιτούνται λιγότεροι αναστροφείς και άρα λιγότερα τρανζίστορ.
- Σχεδιάζουμε το κύκλωμα στη μορφή του Σχήματος 2.38 με βάση αυτά που ήδη αναφέραμε. Αξίζει να επαναλάβουμε ότι:

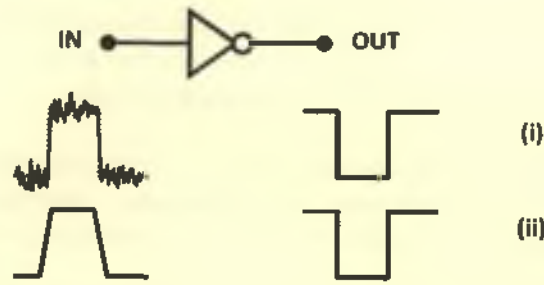
Το τμήμα F υλοποιείται με τρανζίστορ pMOS και τροφοδοτείται από την τάση V_{DD} .

Το τμήμα \bar{F} υλοποιείται με nMOS και τροφοδοτείται από την τάση V_{SS} .

Τα τρανζίστορ οδηγούνται από τους «πρωτογενείς» παράγοντες και όχι από τους συμπληρωματικούς τους.

2.5 Ανάλυση κυκλωμάτων αναστροφής

Οι κυριότερες απαιτήσεις που αφορούν ένα κύκλωμα αναστροφέα (δηλαδή μιας πύλης NOT) επιβάλλουν την απόρριψη του θορύβου στην είσοδό του και την άμβλυση των χρονικών καθυστερήσεων μεταξύ εισόδου και εξόδου. Στο Σχήμα 2.39 φαίνεται η συμπεριφορά ενός αναστροφέα ο οποίος ικανοποιεί τις πιο πάνω απαιτήσεις.

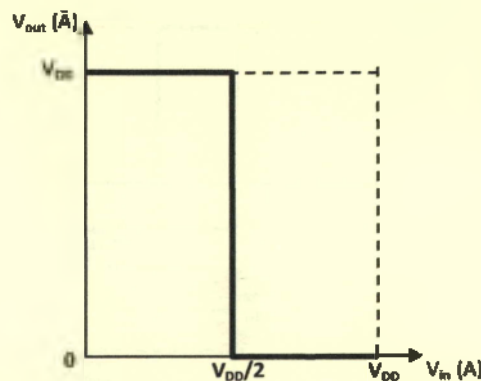


Σχήμα 2.39: Ιδανική συμπεριφορά αναστροφέα

Όπως μπορούμε να παρατηρήσουμε από το Σχήμα 2.39-i, ο θόρυβος στην κυματομορφή εισόδου (IN) δεν εμφανίζεται στην κυματομορφή εξόδου (OUT) και, επιπλέον, δεν οδηγεί στην εμφάνιση ψηφιακών σφαλμάτων.

Το Σχήμα 2.39-ii απεικονίζει μια μη ιδανική ψηφιακή κυματομορφή, η οποία εφαρμόζεται στην είσοδο ενός αναστροφέα. Η «μη ιδανικότητα» της κυματομορφής αυτής έγκειται στο γεγονός ότι η μετάβαση από τη μία λογική στάθμη στην άλλη δεν είναι ακαριαία, αλλά μεσολαβεί ένα χρονικό διάστημα (ανόδου ή καθόδου, όπως θα δούμε αναλυτικότερα σε επόμενη παράγραφο). Στην περίπτωση ιδανικού αναστροφέα, οι καθυστερήσεις μετάβασης της κυματομορφής εισόδου δεν επηρεάζουν την αντίστοιχη κυματομορφή στην έξοδο του κυκλώματος, η οποία παραμένει ιδανική (με μηδενικούς, δηλαδή, χρόνους μετάβασης) κατά τον τρόπο που υποδεικνύει το Σχήμα 2.39-ii.

Οι πιο πάνω απαιτήσεις επιτυγχάνονται αν η χαρακτηριστική καμπύλη μεταφοράς του κυκλώματος αναστροφής προσεγγίζει τη μορφή εκείνης ενός ιδανικού αναστροφέα, όπως φαίνεται στο Σχήμα 2.40, για τους λόγους που θα εξηγήσουμε στη συνέχεια.



Σχήμα 2.40: Χαρακτηριστική μεταφοράς ιδανικού αναστροφέα

Προηγουμένως, να παρατηρήσουμε πως η χαρακτηριστική μεταφοράς του ιδανικού αναστροφέα περιγράφεται, με μαθηματικούς όρους, ως εξής:

$$\left. \begin{aligned} V_{OUT} &= V_{DD}, & V_{IN} &\leq \frac{V_{DD}}{2} \\ V_{OUT} &= 0, & V_{IN} &> \frac{V_{DD}}{2} \end{aligned} \right\} \quad (2.17)$$

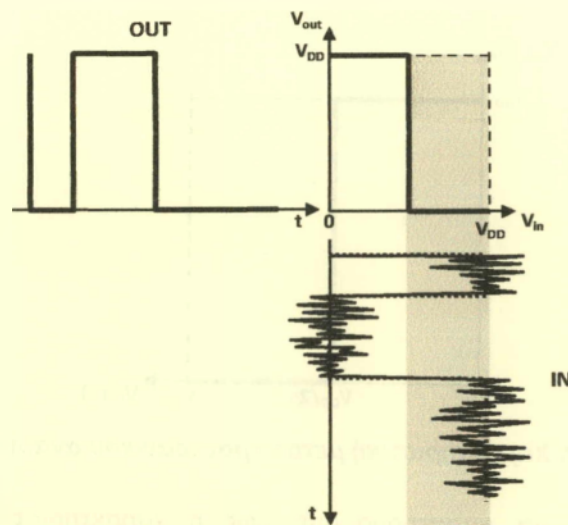
Η τιμή της τάσης εισόδου (V_{IN}) στην οποία η έξοδος μεταπίπτει από τη μία λογική στάθμη στην άλλη επιλέγεται ίση με $V_{DD}/2$ ώστε να εξασφαλισθεί η ανοσία της εξόδου στον

θόρυβο, ενώ η κλίση της χαρακτηριστικής μεταφοράς στο σημείο που αντιστοιχεί στην πιο πάνω τιμή είναι άπειρη (η χαρακτηριστική είναι κατακόρυφη) ώστε να εξασφαλίζονται οι επιθυμητοί μηδενικοί χρόνοι μετάβασης της κυματομορφής εξόδου.

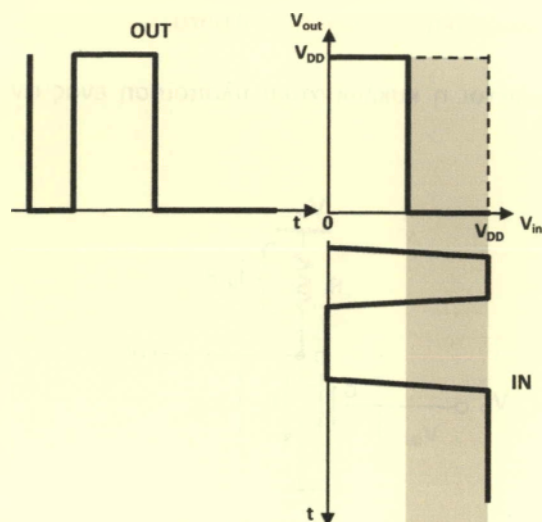
Πράγματι, όπως φαίνεται στο Σχήμα 2.41, τιμές τάσης θορύβου μικρότερες κατ' απόλυτη τιμή από $V_{DD}/2$ είναι αδύνατο να επηρεάσουν την έξοδο του ιδανικού αναστροφέα. Είναι προφανές ότι με κατάλληλη επιλογή της τάσης V_{DD} ο θόρυβος μπορεί να εξαλειφθεί απόλυτα.

Επιπλέον, από το Σχήμα 2.42 μπορούμε να επιβεβαιώσουμε πως, στην περίπτωση ιδανικού αναστροφέα, οι χρονικές καθυστερήσεις μετάβασης στο σήμα εισόδου δεν επηρεάζουν αντίστοιχα το σήμα εξόδου.

Με βάση τα προηγούμενα, μπορούμε να καταλήξουμε στο συμπέρασμα πως η σύγκριση της χαρακτηριστικής μεταφοράς ενός πραγματικού αναστροφέα με εκείνη του ιδανικού αναστροφέα που ήδη παρουσιάσαμε μπορεί να οδηγήσει σε χρήσιμα συμπεράσματα ως προς τη λειτουργία και τις επιδόσεις του κυκλώματος. Το ίδιο ισχύει και για όλα τα κυκλώματα λογικών πυλών, με τη διαφορά πως – στη γενική περίπτωση – μια έξοδος θα επηρεάζεται από ένα πλήθος εισόδων, οπότε θα πρέπει κάποιος να μελετήσει τις επιμέρους χαρακτηριστικές (την εξάρτηση, δηλαδή, της συγκεκριμένης εξόδου ως προς κάποια συγκεκριμένη είσοδο, διατηρώντας σταθερές τις λογικές στάθμες στις υπόλοιπες εισόδους), πράγμα πολύπλοκο για πύλες ή κυκλώματα με μεγάλο αριθμό εισόδων.



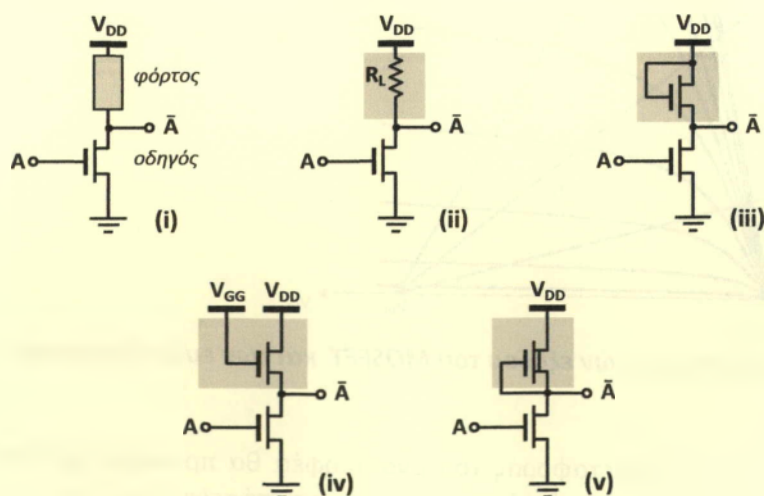
Σχήμα 2.41: Έξοδος ιδανικού αναστροφέα με ενθόρυβη είσοδο



Σχήμα 2.42: Έξοδος ιδανικού αναστροφέα με μη ιδανική κυματομορφή εισόδου

Στη συνέχεια θα προχωρήσουμε στην DC ανάλυση διάφορων κυκλωματικών υλοποιήσεων αναστροφέων με τη χρήση MOSFET, προκειμένου να εξαχθούν οι χαρακτηριστικές μεταφοράς κάθε υλοποίησης και να γίνει αξιολόγηση και συγκριτική παρουσίασή τους.

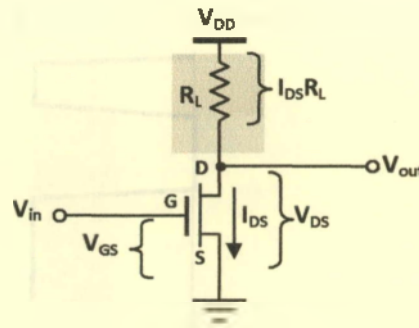
Γενικά, μπορούμε να πούμε πως ένας αναστροφέας αποτελείται από μία οδηγό διάταξη και μία διάταξη φόρτου, σύμφωνα με το Σχήμα 2.43-ι. Στο ίδιο σχήμα (Σχήμα 2.43) φαίνονται διάφοροι εναλλακτικοί τρόποι υλοποίησης ενός αναστροφέα, ανάλογα με τον τύπο της διάταξης φόρτου που χρησιμοποιείται. Ένας ακόμη εναλλακτικός τρόπος υλοποίησης χρησιμοποιεί συμπληρωματικά τρανζίστορ MOS (CMOS), τον οποίο έχουμε ήδη παρουσιάσει με συντομία και τον οποίο θα μελετήσουμε ξεχωριστά. Η συνδεσμολογία του Σχήματος 2.43-ii χρησιμοποιεί ως φόρτο μια ωμική αντίσταση. Η συνδεσμολογία του Σχήματος 2.43-iii χρησιμοποιεί ως φόρτο τρανζίστορ MOS με την πύλη συνδεδεμένη στην εκροή, ενώ στο Σχήμα 2.43-iv φαίνεται μια παραλλαγή της προηγούμενης στην οποία η πύλη του τρανζίστορ φόρτου συνδέεται σε δυναμικό μεγαλύτερο από εκείνο στην εκροή του. Τέλος, στο Σχήμα 2.43-v το ρόλο του φόρτου αναλαμβάνει ένα τρανζίστορ απογύμνωσης καναλιού με την πύλη συνδεδεμένη στην πηγή.



Σχήμα 2.43: Κυκλωματικές υλοποιήσεις αναστροφέα με τρανζίστορ MOS

2.5.1 Αναστροφέας MOS με ωμική αντίσταση ως φόρτο

Στο Σχήμα 2.44 φαίνεται η κυκλωματική υλοποίηση ενός αναστροφέα με ωμική αντίσταση ως φόρτο.



Σχήμα 2.44: Κύκλωμα αναστροφέα MOS με ωμική αντίσταση ως φόρτο

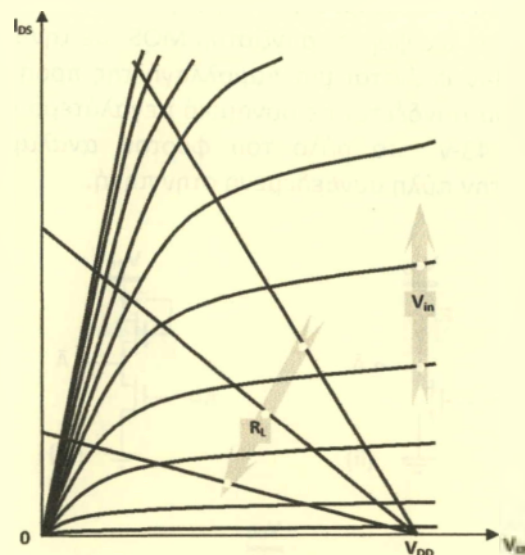
Προκειμένου να χαράξουμε τη χαρακτηριστική μεταφοράς του κυκλώματος θα λάβουμε υπόψη μας τα εξής (βλπ. και Σχήμα 2.44):

Η τάση εισόδου V_{in} είναι ίση με την τάση πύλης-πηγής του MOSFET:

$$V_{in} = V_{GS} \quad (2.18)$$

Η τάση εξόδου V_{out} είναι ίση με την τάση εκροής-πηγής του MOSFET:

$$V_{out} = V_{DS} \quad (2.19)$$



Σχήμα 2.45: Υπέρθυση χαρακτηριστικών εξόδου του MOSFET και των ευθειών φόρτου

Η ζητούμενη χαρακτηριστική μεταφοράς του αναστροφέα θα προκύψει από την υπέρθεση των ευθειών φόρτου, για διάφορες τιμές αντιστάσεων R_L και των χαρακτηριστικών εξόδου της οδηγού βαθμίδας (MOSFET), όπως υποδεικνύει το Σχήμα 2.45.

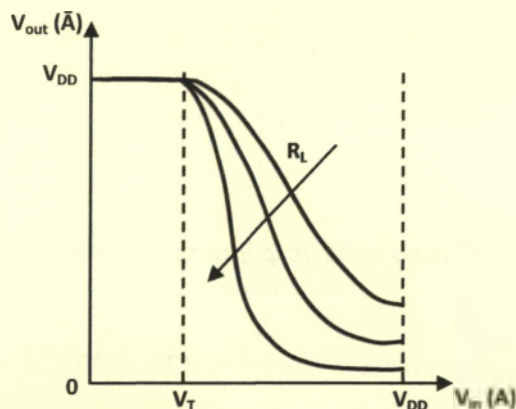
Η χάραξη των ευθειών φόρτου γίνεται με τη βοήθεια της σχέσης:

$$V_{DD} = I_{DS}R_L + V_{DS} \quad (2.20)$$

η οποία προκύπτει με εφαρμογή του 2ου κανόνα του Kirchhoff στο κύκλωμα του Σχήματος 2.44.

Καθώς η τάση εισόδου (V_{in}) μεταβάλλεται από τη λογική στάθμη L (0) στη λογική στάθμη H (1), η έξοδος V_{DS} είναι υποχρεωμένη να μεταβληθεί από το μέγιστο (V_{DD}) στο ελάχιστο (0 V) κατά μήκος της συγκεκριμένης ευθείας φόρτου η οποία αντιστοιχεί στην τιμή της αντίστασης φόρτου R_L και περιγράφεται από τη σχέση (2.20).

Αν χαραχθεί η τάση εξόδου σαν συνάρτηση της τάσης εισόδου, θα πάρουμε τις χαρακτηριστικές μεταφοράς του Σχήματος 2.46.



Σχήμα 2.46: Χαρακτηριστικές μεταφοράς αναστροφείας MOS με ωμική αντίσταση φόρτου για διάφορες τιμές της αντίστασης φόρτου

Όταν στην είσοδο του αναστροφεία εφαρμόζεται τάση μικρότερη της τάσης κατωφλίου (V_T) του τρανζίστορ, τότε η οδηγός διάταξη βρίσκεται στην αποκοπή και στην έξοδο μεταφέρεται η τάση τροφοδοσίας (V_{DD}). Όταν η τάση εισόδου αυξάνει προς τη στάθμη της λογικής μονάδας, τότε η έξοδος κινείται προς τη στάθμη του λογικού μηδενός. Η στάθμη αυτή (στην έξοδο του κυκλώματος) θα είναι τόσο μικρότερη όσο μεγαλύτερη είναι η αντίσταση φόρτου, αφού η τάση εξόδου είναι το αποτέλεσμα διαίρεσης τάσης μεταξύ της αντίστασης φόρτου και της (δυναμικής) αντίστασης της οδηγού διάταξης.

Για να υπολογίσουμε την ακριβή τιμή της τάσης που αντιστοιχεί στη μηδενική λογική στάθμη στην έξοδο του αναστροφεία για δεδομένη τιμή της αντίστασης φόρτου (R_L), θα λύσουμε τη σχέση (3.20) ως προς την τάση V_{DS} (η οποία ταυτίζεται με την τάση εξόδου):

$$V_{out} (= V_{DS}) = V_{DD} - I_{DS}R_L \quad (2.21)$$

και σε αυτήν θα αντικαταστήσουμε τη σχέση που δίνει το ρεύμα που διαρρέει το τρανζίστορ (στην περιοχή τριόδου):

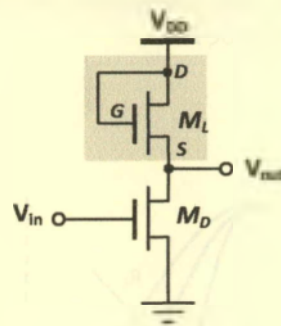
$$I_{DS} = \beta_n \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.22)$$

Προκύπτει, τότε, η ακόλουθη σχέση για την τιμή τάσης (V_L) που αντιστοιχεί στη μηδενική λογική στάθμη στην έξοδο του αναστροφεία:

$$V_L = V_{DD} - \beta_n \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] R_L \quad (2.23)$$

2.5.2 Αναστροφέας MOS με φόρτο τρανζίστορ MOS επαγωγής καναλιού στον κόρο

Στο Σχήμα 2.47 φαίνεται η κυκλωματική υλοποίηση ενός αναστροφέα με τρανζίστορ MOS επαγωγής καναλιού στον κόρο ως φόρτο.



Σχήμα 2.47: Κύκλωμα αναστροφέα MOS με φόρτο τρανζίστορ MOS επαγωγής καναλιού στον κόρο

Το τρανζίστορ φόρτου M_L έχει βραχυκυκλωμένη την πύλη (G) με την εκροή (D) και επομένως θα ισχύει:

$$V_{GD} = 0, \quad (2.24)$$

με βάση την οποία μπορούμε να διαπιστώσουμε πως αυτό λειτουργεί στην περιοχή κόρου.

Πράγματι, για να βρίσκεται το τρανζίστορ φόρτου στην περιοχή κόρου θα πρέπει να ισχύει:

$$V_{DS} > V_{GS} - V_T. \quad (2.25)$$

Η σχέση (2.25) γράφεται, με τη βοήθεια της σχέσης (2.24), ισοδύναμα:

$$V_{DS} > (V_{GD} + V_{DS}) - V_T \Rightarrow 0 > -V_T, \quad (2.26)$$

η οποία είναι αληθής ανισότητα.

Ο λόγος της παραμέτρου β_D , που καθορίζει το ρεύμα της οδηγού διάταξης, προς την αντίστοιχη παράμετρο β_L της διάταξης φόρτου συμβολίζεται με β_R :

$$\beta_R = \frac{\beta_D}{\beta_L}. \quad (2.27)$$

Αν θυμηθούμε πως η παράμετρος β ενός τρανζίστορ MOS ορίζεται από τη σχέση:

$$\beta_n = \frac{\mu_n \epsilon W}{t_{ox} L}, \quad (2.28)$$

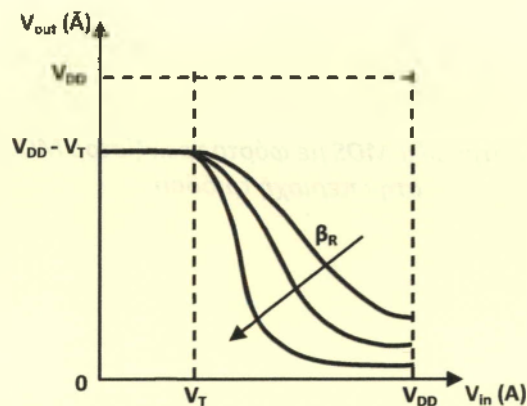
όπου ο δείκτης n αναφέρεται σε τρανζίστορ τύπου n ,

και υποθέσουμε πως οι παράμετροι μ_n , ϵ και t_{ox} είναι κοινές τόσο για την οδηγό διάταξη όσο και για τη διάταξη φόρτου, όπως συμβαίνει στην περίπτωση των ολοκληρωμένων κυκλωμάτων, η σχέση (2.27) μπορεί να γραφεί:

$$\beta_R = \frac{\left(\frac{W}{L}\right)_D}{\left(\frac{W}{L}\right)_L} \quad (2.29)$$

Για την περίπτωση του αναστροφέα που εξετάζουμε ο λόγος β_R επιλέγεται, συνήθως, στην περιοχή τιμών μεταξύ 10 και 20.

Χρησιμοποιώντας μεθοδολογία παρόμοια με εκείνη που ακολουθήσαμε για τον αναστροφέα με ωμική αντίσταση ως φόρτο, μπορούμε να χαράξουμε τις χαρακτηριστικές μεταφοράς του κυκλώματος για διάφορες τιμές του λόγου β_R (Σχήμα 2.48). Θα πρέπει να σημειωθεί πως οι χαρακτηριστικές αυτές προκύπτουν από την υπέρθεση των χαρακτηριστικών εξόδου του τρανζίστορ M_D με τις γραμμές φόρτου του τρανζίστορ M_L . Οι τελευταίες, δεν είναι προφανώς ευθείες γραμμές.



Σχήμα 2.48: Χαρακτηριστικές μεταφοράς αναστροφέα με φόρτο τρανζίστορ MOS στον κόρο για διάφορες τιμές του λόγου β_R .

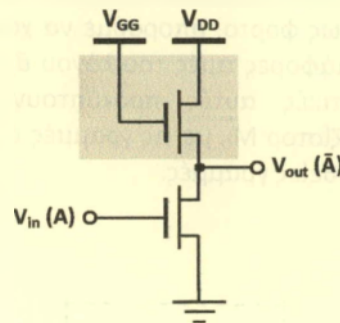
Από τις χαρακτηριστικές μεταφοράς του Σχήματος 2.48 μπορούμε να παρατηρήσουμε ότι η τάση που αντιστοιχεί στη λογική στάθμη της μονάδας στην έξοδο του κυκλώματος δεν φτάνει την τιμή της V_{DD} αλλά υπολείπεται κατά την τάση κατωφλίου V_T . (Τα τρανζίστορ υποτίθεται πως έχουν κατασκευαστεί στην ίδια τεχνολογία, οπότε θα χρησιμοποιούμε κοινό συμβολισμό για τις τάσεις κατωφλίου τους).

Μια άλλη σημαντική παρατήρηση που μπορούμε να κάνουμε είναι πως με την αύξηση του λόγου β_R η τάση εξόδου που αντιστοιχεί στη μηδενική λογική στάθμη (H) μειώνεται.

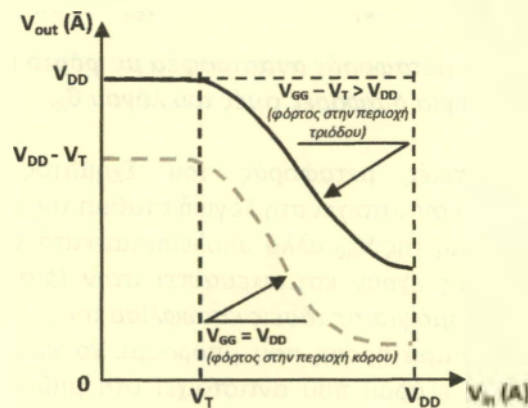
2.5.3 Αναστροφέας MOS με φόρτο τρανζίστορ MOS επαγωγής καναλιού στην περιοχή τριόδου

Ας θεωρήσουμε το κύκλωμα του Σχήματος 2.49. Αν η τάση πύλης της διάταξης φόρτου συνδεθεί σε τάση θετικότερη της τάσης V_{DD} , τότε αυτή υποχρεώνεται να λειτουργεί πάντοτε στην περιοχή πριν από τον κόρο, δηλαδή στην περιοχή τριόδου.

Στο Σχήμα 2.50 φαίνεται η χαρακτηριστική μεταφοράς του συγκεκριμένου κυκλώματος. Στο ίδιο σχήμα έχει σχεδιαστεί (με διακεκομμένη γραμμή) και η αντίστοιχη χαρακτηριστική στην περίπτωση που το τρανζίστορ φόρτου λειτουργεί στον κόρο, για λόγους σύγκρισης. Μπορούμε να παρατηρήσουμε πως, σε αντίθεση με την λειτουργία του φόρτου στον κόρο, η λογική στάθμη της μονάδας στην έξοδο του αναστροφέα συμπίπτει με την τάση τροφοδοσίας V_{DD} . Επειδή η διάταξη φόρτου έχει μικρότερη αντίσταση, η τάση εξόδου που αντιστοιχεί στη μηδενική λογική στάθμη θα είναι μεγαλύτερη από ό,τι στην περίπτωση του φόρτου στον κόρο. Επομένως, απαιτείται μεγαλύτερη τιμή του λόγου β_R για να πετύχουμε την ίδια στάθμη εξόδου.



Σχήμα 2.49: Κύκλωμα αναστροφέα MOS με φόρτο τρανζίστορ MOS επαγωγής καναλιού στην περιοχή τριόδου

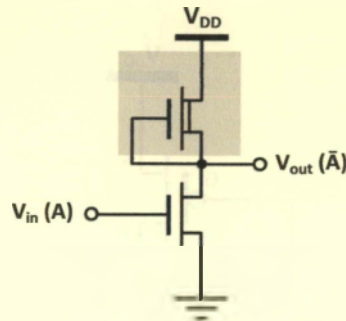


Σχήμα 2.50: Χαρακτηριστική μεταφοράς αναστροφέα με φόρτο τρανζίστορ MOS στην περιοχή τριόδου

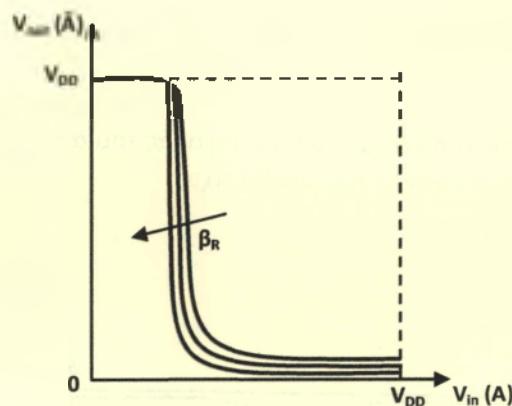
2.5.4 Αναστροφέας MOS με φόρτο τρανζίστορ MOS απογύμνωσης καναλιού

Στο Σχήμα 2.51 φαίνεται η κυκλωματική υλοποίηση ενός αναστροφέα με τρανζίστορ MOS απογύμνωσης καναλιού ως φόρτο.

Οι χαρακτηριστικές μεταφορές ενός τέτοιου αναστροφέα φαίνονται στο Σχήμα 2.52, για διάφορες τιμές του λόγου β_R .



Σχήμα 2.51: Κύκλωμα αναστροφέα MOS με φόρτο τρανζίστορ MOS απογύμνωσης καναλιού



Σχήμα 2.52: Χαρακτηριστικές μεταφορές αναστροφέα με φόρτο τρανζίστορ MOS απογύμνωσης καναλιού για διάφορες τιμές του λόγου β_R

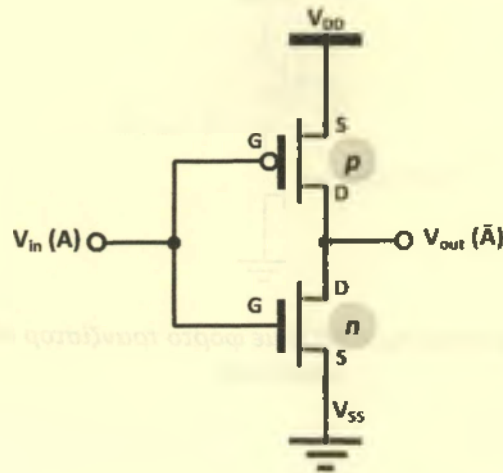
Σημειώνεται ότι η τάση εξόδου μπορεί να πάρει όλες τις τιμές μέχρι την V_{DD} επειδή η διάταξη φόρτου άγει πάντοτε, ακόμη και με την πύλη συνδεδεμένη στην πηγή. (Ας θυμηθούμε, στο σημείο αυτό, πως σε ένα MOSFET απογύμνωσης καναλιού ο αγώγιμος διάυλος μεταξύ πηγής και εκροής προϋπάρχει, εκ κατασκευής).

Καθώς η είσοδος αυξάνει από 0 Volts προς την τάση κατωφλίου V_T , η οδηγός διάταξη βρίσκεται στην αποκοπή και η έξοδος παραμένει αμετάβλητη. Όταν η είσοδος ξεπεράσει την τάση κατωφλίου, ο αναστροφέας εισέρχεται σε γραμμική περιοχή μεγάλης απολαβής, όπου η οδηγός βαθμίδα βρίσκεται στον κόρο. Τελικά, η απολαβή μειώνεται γρήγορα καθώς η είσοδος αυξάνει και η οδηγός βαθμίδα εισέρχεται στην περιοχή τριόδου. Σ' αυτό το σημείο η οδηγός βαθμίδα άγει ισχυρά και ολόκληρη η τάση τροφοδοσίας πέφτει

πάνω στη διάταξη φόρτου. Το ρεύμα σε αυτήν την περίπτωση είναι μέγιστο, και καθορίζεται μόνο από τις διαστάσεις της διάταξης φόρτου.

2.5.5 Αναστροφέας CMOS

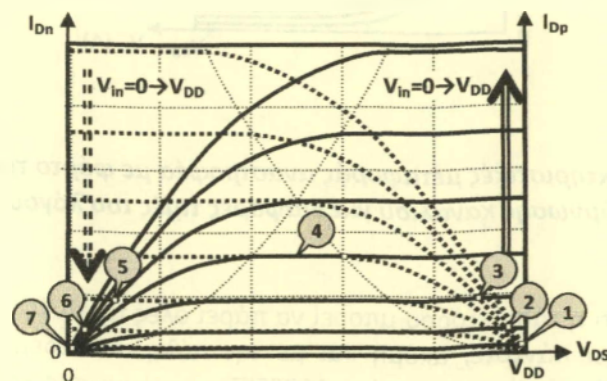
Ας θεωρήσουμε το κύκλωμα του αναστροφέα CMOS του Σχήματος 2.53.



Σχήμα 2.53: Κύκλωμα αναστροφέα CMOS

Για το κύκλωμα αυτό μπορούμε να γράψουμε τις ακόλουθες σχέσεις, με τη βοήθεια των οποίων θα χαράξουμε τη χαρακτηριστική μεταφοράς του αναστροφέα (οι δείκτες n και p υποδηλώνουν το τρανζίστορ τύπου n ή p , αντίστοιχα):

$$V_{GSn} = V_{in} \quad (2.30)$$



Σχήμα 2.54: Υπέρβαση χαρακτηριστικών εξόδου των τρανζίστορ αναστροφέα CMOS

$$V_{DSn} = V_{out} \quad (2.31)$$

$$V_{GSp} = V_{in} - V_{DD} \quad (2.32)$$

$$V_{DSp} = V_{out} - V_{DD} \quad (2.33)$$

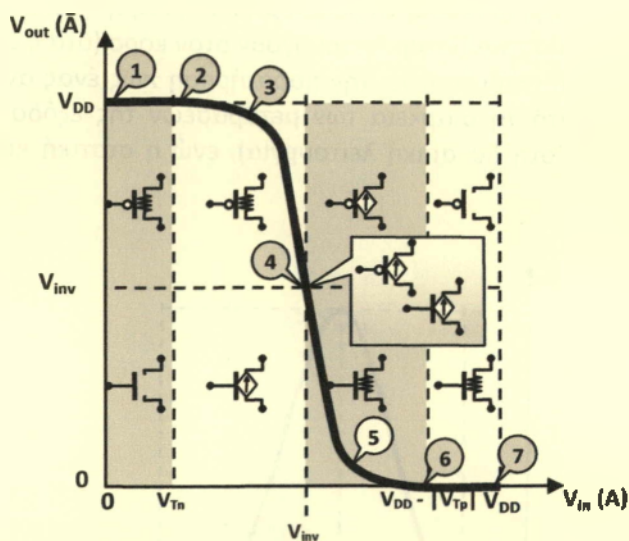
Η ζητούμενη χαρακτηριστική μεταφοράς μπορεί να προκύψει από την υπέρθεση των χαρακτηριστικών εξόδου των δύο τρανζίστορ που απαρτίζουν τον αναστροφέα (Σχήμα 2.54), λαμβάνοντας υπόψη εκτός από τις σχέσεις (2.30) – (2.33) και το γεγονός ότι το ρεύμα που διαρρέει τα MOSFET είναι κοινό. Μπορούμε, επομένως, να χαράξουμε τη χαρακτηριστική μεταφοράς του αναστροφέα χρησιμοποιώντας τα αριθμημένα σημεία τομής των χαρακτηριστικών εξόδου των MOSFET στο Σχήμα 2.54.

Από την πιο πάνω διαδικασία προκύπτει η χαρακτηριστική μεταφοράς του Σχήματος 2.55, στο οποίο απεικονίζονται (με αριθμητική αντιστοιχία) τα σημεία τομής του Σχήματος 2.54. Επίσης, σημειώνονται οι περιοχές στις οποίες λειτουργούν τα δύο τρανζίστορ για τους διάφορους τομείς της χαρακτηριστικής μεταφοράς.

Πιο συγκεκριμένα, μπορούμε να διακρίνουμε πέντε τομείς (περιοχές) λειτουργίας στην χαρακτηριστική μεταφοράς του Σχήματος 3.55, με βάση την τιμή της τάσης εισόδου (V_{in}):

- $0 < V_{in} < V_{Tn}$ (σημείο #1)

Στον τομέα αυτό το τρανζίστορ τύπου p λειτουργεί στην περιοχή τριόδου, ενώ το τρανζίστορ τύπου n βρίσκεται στην αποκοπή. Η τάση εξόδου (V_{out}) του αναστροφέα είναι ίση με την τάση τροφοδοσίας V_{DD} .



περιοχή			Υπόμνημα
κόρου	τριόδου	αποκοπής	
			pMOS
			nMOS

Σχήμα 2.55: Χαρακτηριστική μεταφοράς αναστροφέα CMOS

- $V_{TP} \leq V_{in} < V_{inv}$ (σημεία #2 και #3)

Στον τομέα αυτό το τρανζίστορ τύπου p λειτουργεί στην περιοχή τριόδου, ενώ το τρανζίστορ τύπου n βρίσκεται στον κόρο. Να σημειωθεί ότι η τάση V_{inv} αντιστοιχεί στην τιμή της τάσης εισόδου για την οποία η τάση εισόδου ταυτίζεται με την τάση εξόδου του αναστροφέα.

- $V_{in} = V_{inv}$ (σημείο #4)

Στον τομέα αυτό και τα δύο τρανζίστορ βρίσκονται στην κατάσταση κόρου.

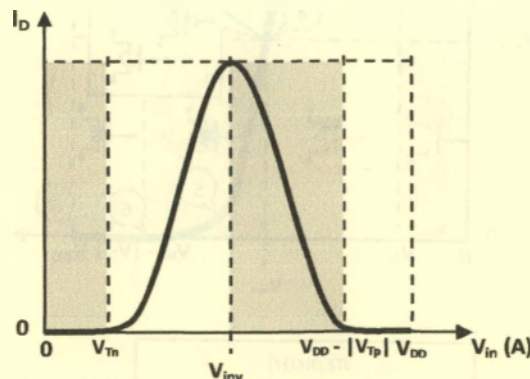
- $V_{inv} < V_{in} \leq V_{DD} - |V_{TP}|$ (σημεία #5 και #6)

Στον τομέα αυτό το τρανζίστορ τύπου n λειτουργεί στην περιοχή τριόδου, ενώ το τρανζίστορ τύπου p βρίσκεται στον κόρο.

- $V_{DD} - |V_{TP}| < V_{in} \leq V_{DD}$ (σημείο #7)

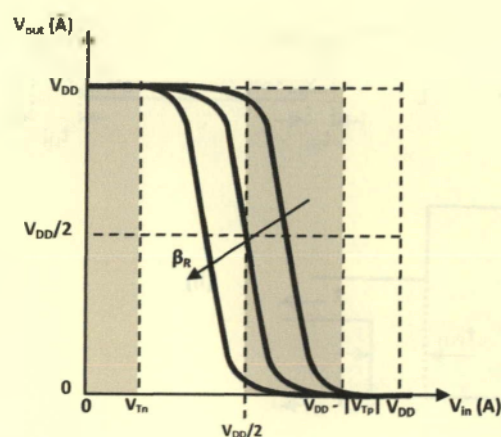
Στον τομέα αυτό το τρανζίστορ τύπου n λειτουργεί στην περιοχή τριόδου, ενώ το τρανζίστορ τύπου p βρίσκεται στην αποκοπή. Η τάση εξόδου (V_{out}) του αναστροφέα είναι μηδενική.

Η γραφική παράσταση του ρεύματος που διαρρέει το κύκλωμα σε συνάρτηση με την τιμή της τάσης εισόδου φαίνεται στο Σχήμα 2.56, όπου η σκίαση επισημαίνει τους τομείς λειτουργίας στους οποίους ήδη αναφερθήκαμε. Είναι φανερό ότι όταν ένα εκ των δύο τρανζίστορ βρίσκεται στην αποκοπή το ρεύμα μηδενίζεται, η δε μέγιστη τιμή ρεύματος παρατηρείται όταν και τα δύο τρανζίστορ λειτουργούν στον κόρο (όταν, δηλαδή, $V_{in} = V_{inv}$). Η καμπύλη του Σχήματος 2.56 επιβεβαιώνει την παρατήρηση πως ένας αναστροφέας CMOS καταναλώνει ισχύ μόνο κατά τη διάρκεια των μεταβάσεων της εξόδου του από τη μία λογική στάθμη στην άλλη (στη δυναμική λειτουργία), ενώ η στατική κατανάλωση ισχύος είναι μηδενική.



Σχήμα 2.56: Χαρακτηριστική μεταφοράς αναστροφέα CMOS

Τέλος, το Σχήμα 2.57 υποδεικνύει την εξάρτηση της μορφής της χαρακτηριστικής μεταφοράς του αναστροφέα CMOS από την τιμή του λόγου β_R , και κατ' επέκταση από τις διαστάσεις των δύο τρανζίστορ του κυκλώματος.



Σχήμα 2.57: Χαρακτηριστικές μεταφοράς αναστροφέα CMOS για διάφορες τιμές του λόγου β_R

2.6 Ταχύτητα ψηφιακών κυκλωμάτων – Χρόνοι μετάβασης και καθυστέρησης εξόδου

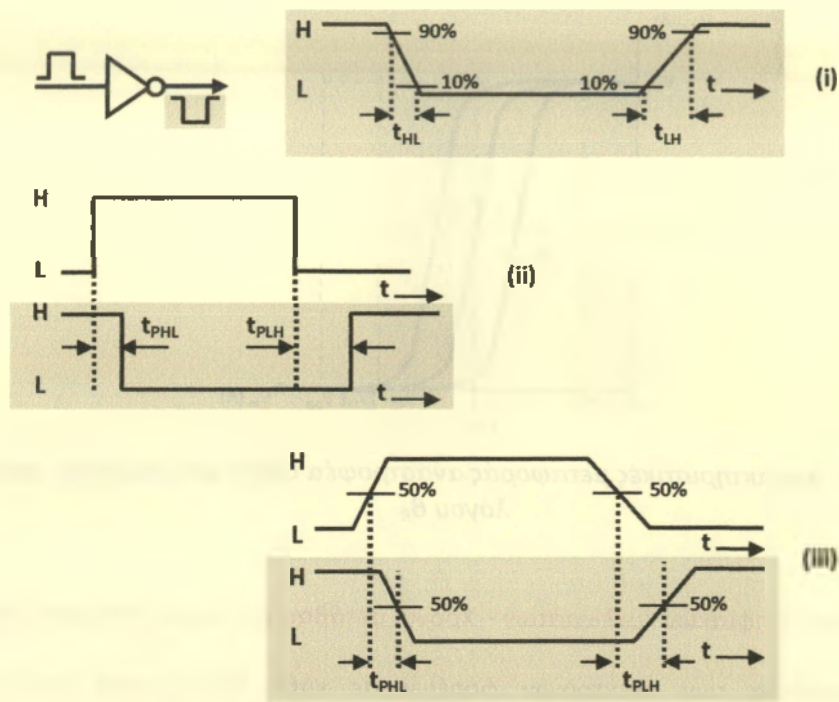
Η ευκινησία των ηλεκτρικών φορέων σε κάθε ηλεκτρονική διάταξη είναι πεπερασμένη. Το γεγονός αυτό σε συνδυασμό με την παρουσία των παρασιτικών χωρητικότητων τόσο της ίδιας της διάταξης όσο και του κυκλώματος φόρτου θέτουν περιορισμούς στην ταχύτητα μιας λογικής πύλης και, κατ' επέκταση, ενός ψηφιακού κυκλώματος.

Ας θεωρήσουμε το παράδειγμα του αναστροφέα του Σχήματος 2.58, στην είσοδο του οποίου θα υποθέσουμε πως εφαρμόζεται ένας ιδανικός ορθογώνιος παλμός (Σχήμα 2.58-i). Για τους λόγους που αναφέραμε, η απόκριση της εξόδου του αναστροφέα δεν θα είναι ακαριαία. Τουναντίον, η έξοδος του κυκλώματος θα εμφανίζει μια καθυστέρηση κατά τη μετάβασή της μεταξύ των δύο λογικών σταθμών (L και H) (συχνά για τις λογικές στάθμες '0' και '1' χρησιμοποιούνται οι ισοδύναμοι συμβολισμοί 'L' [από το Low] και 'H' [από το High], αντίστοιχα), όπως υποδεικνύει το διάγραμμα του Σχήματος 2.58-i. Επιπλέον, εκτός της καθυστέρησης μετάβασης (transition delay), θα εμφανίζεται και μια χρονική υστέρηση μεταξύ της αλλαγής λογικής κατάστασης στην είσοδο (ή σε μια εκ των εισόδων) ενός ψηφιακού κυκλώματος και της αντίστοιχης αλλαγής κατάστασης στην έξοδο, όπως υποδεικνύεται στα Σχήματα 2.58-ii και 2.58-iii. Στην περίπτωση αυτή αναφερόμαστε στην καθυστέρηση διάδοσης (propagation delay) της λογικής πύλης ή του ψηφιακού κυκλώματος.

Για την ποσοτική περιγραφή της πιο πάνω συμπεριφοράς χρησιμοποιούμε τους ακόλουθους χρόνους, οι τιμές των οποίων καθορίζουν και την ταχύτητα ενός ψηφιακού κυκλώματος:

- Χρόνος μετάβασης εξόδου από τη λογική μονάδα (H) στο λογικό μηδέν (L) [ή χρόνος καθόδου] - t_{HL} .

Ορίζεται ως το χρονικό διάστημα που απαιτείται προκειμένου η έξοδος ενός ψηφιακού κυκλώματος να μεταβεί από την τιμή που αντιστοιχεί στο 90% της διαφοράς δυναμικού μεταξύ της λογικής μονάδας και του λογικού μηδενός στην τιμή που αντιστοιχεί στο 10% της ίδιας διαφοράς δυναμικού (Σχήμα 2.58-i).



Σχήμα 2.58: Χρόνοι μετάβασης και καθυστέρησης εξόδου ψηφιακού κυκλώματος

- Χρόνος μετάβασης εξόδου από το λογικό μηδέν (L) στη λογική μονάδα (H) [ή χρόνος ανόδου]- t_{LH} .

Ορίζεται ως το χρονικό διάστημα που απαιτείται προκειμένου η έξοδος ενός ψηφιακού κυκλώματος να μεταβεί από την τιμή που αντιστοιχεί στο 10% της διαφοράς δυναμικού μεταξύ της λογικής μονάδας και του λογικού μηδενός στην τιμή που αντιστοιχεί στο 90% της ίδιας διαφοράς δυναμικού (Σχήμα 2.58-i).

- Χρόνος καθυστέρησης κατά τη μετάβαση της εξόδου από τη λογική μονάδα (H) στο λογικό μηδέν (L) [ή χρόνος καθυστέρησης καθόδου]- t_{PHL} .

Στην ιδανική περίπτωση όπου οι χρόνοι ανόδου και καθόδου των κυματομορφών εισόδου και εξόδου ενός ψηφιακού κυκλώματος είναι μηδενικοί, τότε ο χρόνος καθυστέρησης καθόδου ορίζεται ως το χρονικό διάστημα που μεσολαβεί μεταξύ της χρονικής στιγμής κατά την οποία πραγματοποιείται η μετάβαση της εισόδου του κυκλώματος από μια λογική κατάσταση στην άλλη, και της χρονικής στιγμής κατά την οποία παρατηρείται μετάβαση στην έξοδο από το λογικό μηδέν στη λογική μονάδα, προκαλούμενη από την μετάβαση της εισόδου (Σχήμα 2.58-ii). Στην περίπτωση μη ιδανικών μεταβάσεων οι χρονικές στιγμές που ορίζουν την καθυστέρηση καθόδου αντιστοιχούν στο 50% της διαφοράς δυναμικού μεταξύ των δύο λογικών σταθμών του κυκλώματος (Σχήμα 2.58-iii).

- Χρόνος μετάβασης εξόδου από το λογικό μηδέν (L) στη λογική μονάδα (H) [ή χρόνος καθυστέρησης ανόδου] - t_{PLH} .

Στην ιδανική περίπτωση όπου οι χρόνοι ανόδου και καθόδου των κυματομορφών εισόδου και εξόδου ενός ψηφιακού κυκλώματος είναι μηδενικοί, τότε ο χρόνος καθυστέρησης ανόδου ορίζεται ως το χρονικό διάστημα που μεσολαβεί μεταξύ της χρονικής στιγμής κατά την οποία πραγματοποιείται η μετάβαση της εισόδου του

κυκλώματος από μια λογική κατάσταση στην άλλη, και της χρονικής στιγμής κατά την οποία παρατηρείται μετάβαση στην έξοδο από τη λογική μονάδα στο λογικό μηδέν, προκαλούμενη από την μετάβαση της εισόδου (Σχήμα 2.58-ii). Στην περίπτωση μη ιδανικών μεταβάσεων οι χρονικές στιγμές που ορίζουν την καθυστέρηση ανόδου αντιστοιχούν στο 50% της διαφοράς δυναμικού μεταξύ των δύο λογικών σταθμών του κυκλώματος (Σχήμα 2.58-iii).

Οι χρόνοι t_{HL} και t_{LH} δεν ταυτίζονται απαραίτητα. Το ίδιο ισχύει και για τους t_{rHL} και t_{rLH} . Είναι, επίσης, φανερό πως όσο μικρότεροι είναι όλοι οι πιο πάνω χρόνοι τόσο «ταχύτερο» είναι ένα ψηφιακό κύκλωμα.

3 Σχεδιασμός VLSI

Ο όρος VLSI αναφέρεται σε μια τεχνολογία μέσω της οποίας είναι πιθανό να υλοποιήσουμε μεγάλα κυκλώματα σε πυρίτιο που τα κυκλώματα αυτά έχουν πάνω από ένα εκατομμύριο τρανζίστορ. Η σημερινή τεχνολογία μας επιτρέπει να φτιάξουμε ολοκληρωμένα μικροσυστήματα και να τα τοποθετούμε σε ένα μοναδικό chip. Για παράδειγμα ο επεξεργαστής 80386 περιέχει 275.000 τρανζίστορ ενώ ο Pentium της Intel έχει πάνω από 3 εκατομμύρια τρανζίστορ.

Βέβαια οι παραπάνω υλοποιήσεις θα ήταν αδύνατες έως ακατόρθωτες χωρίς την βοήθεια των υπολογιστών και των βοηθητικών προγραμμάτων σε όλες τις φάσεις του σχεδιασμού. Αυτά τα προγράμματα αυτοματοποιούν το μεγαλύτερο μέρος των εργασιών. Ο σχεδιασμός ένα chip με την βοήθεια του υπολογιστή λέγεται CAD. DA (Design Automation) από την άλλη αναφέρει την εντελώς αυτοματοποιημένη διαδικασία σχεδίασης με χωρίς ή με ελάχιστη παρέμβαση από το άνθρωπο.

3.1 Η VLSI διαδικασία σχεδίασης

Αφού η διαδικασία σχεδίασης είναι της τάξης των εκατομμυρίων τρανζίστορ το να σχεδιάσει κανείς ένα chip είναι αρκετά δύσκολο και για να επιτευχθεί απαιτούνται διάφορα ενδιάμεσα στάδια και διάφορα επίπεδα αφαίρεσης.

Ιδέα ->Σχεδίαση Αρχιτεκτονικής ->Σχεδιασμός Λογικής ->Σχεδιασμός σε φυσικό επίπεδο ->Κατασκευή ->Νέο Chip.

3.2 Σχεδίαση Αρχιτεκτονικής

Η Σχεδίαση της Αρχιτεκτονικής του chip γίνεται από κάποιον ειδικό. Οι αποφάσεις που παίρνονται σε αυτό το στάδιο αφορά άμεσα το κόστος και την απόδοση του σχεδιασμού. Μερικά παραδείγματα αποφάσεων είναι τα εξής:

1. Ποιο θα πρέπει να είναι το σετ των εντολών που θα καταλαβαίνει ο επεξεργαστής. Θα πρέπει να είναι συμβατό με ότι κυκλοφορεί ήδη στην αγορά?
2. Θα χρειαστεί το pipelining? Σε τι βάθος?
3. Ο επεξεργαστής θα έχει on chip cache?
Α) Πόσο μεγάλη θα είναι η μνήμη αυτή?
Β) Πως θα είναι οργανωμένη?
4. Η αριθμητική μονάδα θα πρέπει να είναι σειριακή ή παράλληλη.
5. Ποια θα είναι η διεπαφή του επεξεργαστή με τον έξω κόσμο?

Μόλις οριστεί η αρχιτεκτονική είναι απαραίτητη να οριστούν 2 πράγματα.

- 1) λεπτομερής Σχεδιασμός της Λογικής ανεξάρτητων αρθρωμάτων.
- 2) Σχεδιασμός των σημάτων έλεγχου.

Το πρώτο είναι γνωστό σαν data path design ενώ το δεύτερο control path design.

Data path: επιτρέπει την διαμεταγωγή των δεδομένων ανάμεσα στις λειτουργικές μονάδες.

Control Path: γεννάει τα διάφορα σήματα έλεγχου για να λειτουργήσει το κύκλωμα. Για αρχικοποίηση του συστήματος συνήθως, για εκκίνηση της μεταφοράς των δεδομένων.

3.3 Σχεδιασμός Λογικής

Το data path και το control path θα έχουν στοιχεία όπως αριθμητικές και λογικές μονάδες, shift registers, πολυπλέκτες, περιοχές προσωρινής αποθήκευσης (buffers) etc.

Τα μετέπειτα βήματα βασίζονται στους εξής 2 λόγους:

- 1) Πως θα υλοποιηθεί το κύκλωμα σε PCB (Printed Circuit Board) ή σε VLSI chip?
- 2) Όλα τα στοιχεία θα είναι διαθέσιμα και άμεσα παραδοτέα ενσωματωμένα κυκλώματα ή σαν προσχεδιασμένα αρθρώματα?

Αν τα κυκλώματα σχεδιαστούν σε ένα PCB τότε το επόμενο στάδιο του σχεδιασμού είναι η επιλογή των στοιχείων ώστε να γίνει μείωση του κόστους και παράλληλα να αυξηθεί η απόδοση. Αν ακολουθήσουμε την διαδικασία της επιλογής τα ενσωματωμένα chip τοποθετούνται πάνω σε μια ή περισσότερες πλακέτες και η μεταξύ τους διασύνδεση γίνεται χρησιμοποιώντας ένα ή περισσότερα επίπεδα μέταλλου. Τα προσχεδιασμένα module είναι γνωστά και σαν macro cells.

3.4 Σχεδιασμός σε φυσικό επίπεδο

Αυτό το στάδιο περιλαμβάνει:

- a) Logic partitioning
- b) Floorplanning
- c) Placement
- d) Routing

Η απόδοση του κυκλώματος, η περιοχή που καταλαμβάνει, yield, η αξιοπιστία βασίζονται στο πως είναι φυσικά τοποθετημένα πάνω στο chip.

Η απόδοση έχει να κάνει με την ταχύτητα. Δηλαδή για παράδειγμα αν έχουμε μακρύτερες γραμμές τότε λόγω αντίστασης του μέταλλου θα αργήσουν πιο πολύ τα δεδομένα να φτάσουν στον προορισμό τους από το να είχαμε πιο μικρές γραμμές.

Η διάταξη πάνω στο chip επηρεάζει αποφασιστικά την περιοχή του chip. Υπάρχει η functional area και η wiring area.

Η περιοχή που καταλαμβάνει το chip επηρεάζει το yield της κατασκευαστικής διαδικασίας. Yield είναι ο αριθμός των σωστών chip σε μια παρτίδα. Όσο πιο μεγάλο είναι το chip τόσο μικρότερο είναι το yield. Χαμηλό yield σημαίνει και υψηλό κόστος κατασκευής αλλά και υψηλό κόστος πώλησης.

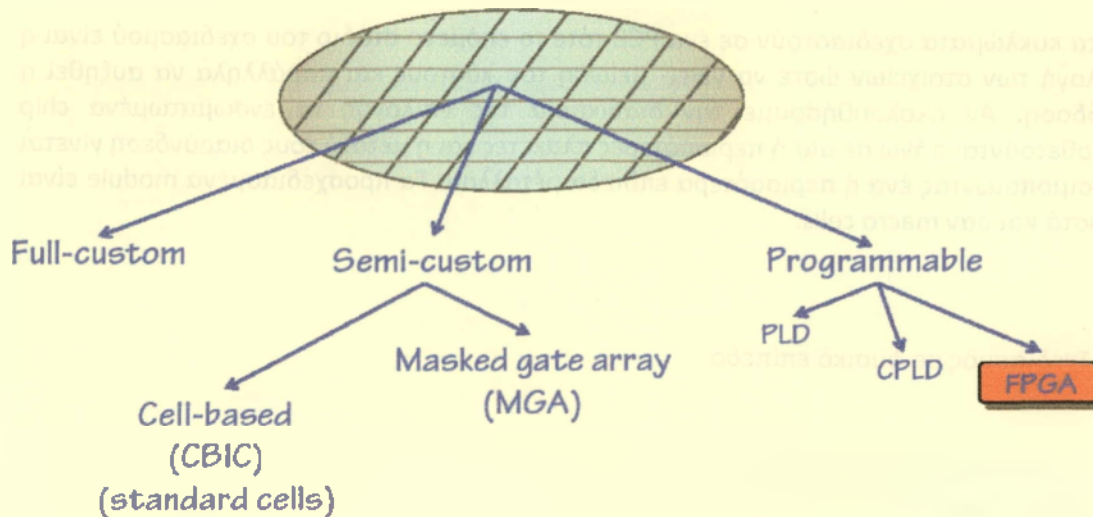
Η αξιοπιστία εξαρτάται από την επιφάνεια την οποία καταλαμβάνει το chip. Για παράδειγμα τα νίσις είναι περιοχές αναξιοπιστίας. Επίσης πρέπει να αποφύγουμε το φαινόμενο του metal migration.

3.4.1 Στυλ διάταξης (Layout Style)

Τα layout style είναι τα εξής:

- Full custom
- Gate Array
- Standard Cell
- Macro Cell
- PLA
- FPGA

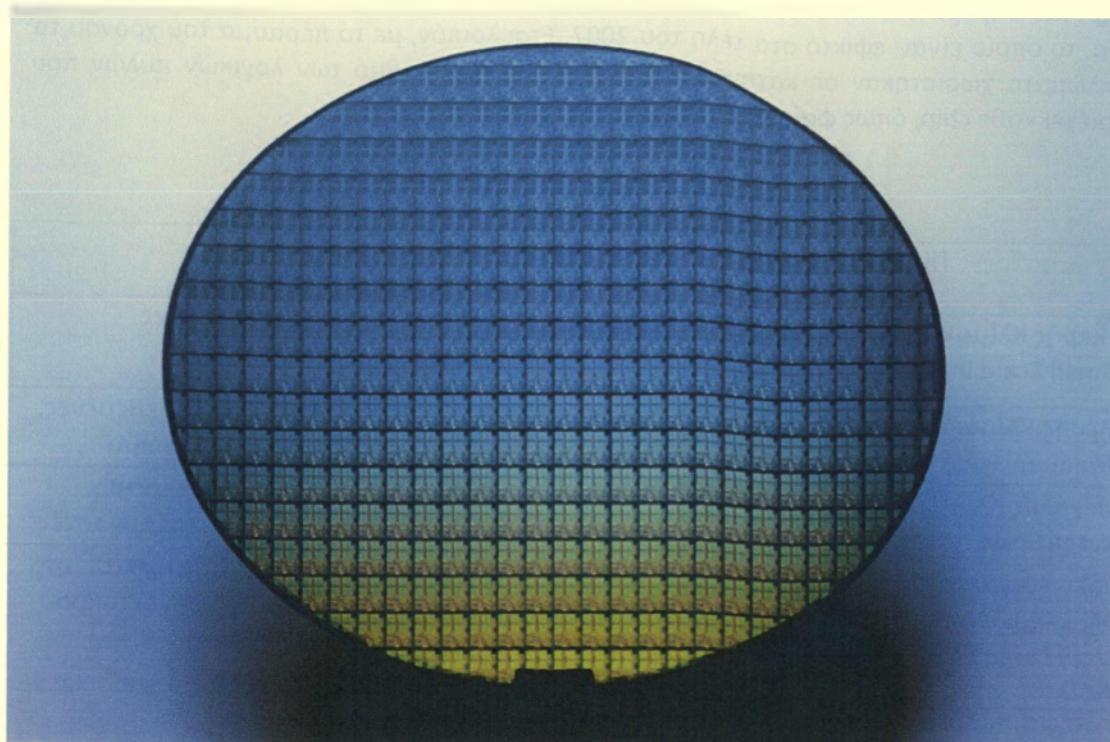
VLSI Design Styles



3.5 Ιστορική Αναδρομή – Εφαρμογές VLSI

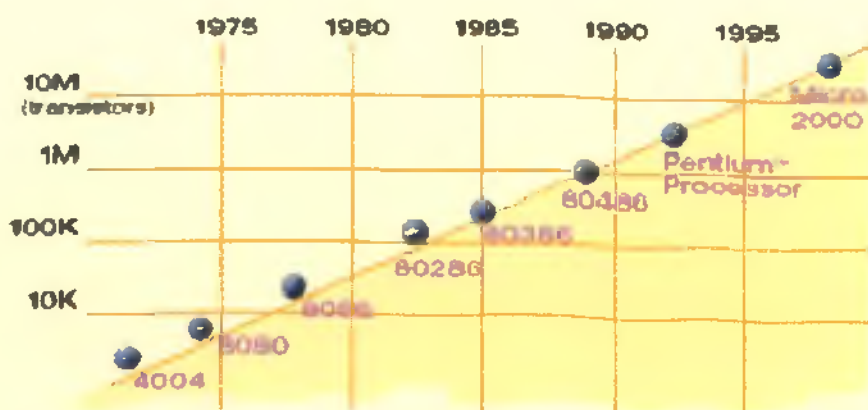
Τα κυκλώματα VLSI αποτελούν το κύριο λειτουργικό στοιχείο των ηλεκτρονικών υπολογιστών και των περισσότερων σύγχρονων ηλεκτρονικών εξαρτημάτων. Καθημερινά τα συναντάμε στη ζωή μας και κάποια από αυτά τα προϊόντα είναι τα ψηφιακά ρολόγια, διάφορες οικιακές συσκευές, CD-DVD players, ηλεκτρονικά παιχνίδια, κινητά τηλέφωνα καθώς και σε μεγάλα συστήματα όπως είναι ο εξοπλισμός των δικτύων τηλεφωνίας και τηλεόρασης.

Η τεχνολογία που χρησιμοποιείται για τη δόμηση των παραπάνω συστημάτων έχει εξελιχθεί θεαματικά τις τελευταίες δεκαετίες. Έως το 1960 τα λογικά κυκλώματα κατασκευάζονταν από ογκώδη τεμάχια, όπως είναι τα τρανζίστορ και οι αντιστάσεις, τα οποία συνδέονταν ως χωριστά κομμάτια. Η ανάπτυξη των ολοκληρωμένων κυκλωμάτων κατέστησε δυνατή την τοποθέτηση πολλών τρανζίστορ μέσα σε ένα τεμάχιο που ονομάζεται τσιπ (chip). Στην αρχή τα κυκλώματα αυτά περιείχαν λίγα τρανζίστορ αλλά με την εξέλιξη της τεχνολογίας μπορούμε πλέον να τοποθετήσουμε στην ίδια μικρή επιφάνεια εκατοντάδες χιλιάδες από αυτά. Και έτσι έγινε δυνατή η κατασκευή υπολογιστών μικρότερων, γρηγορότερων και φθηνότερων από τις προηγούμενες χρονιές. Επίσης οι υπολογιστές χρησιμοποιούνταν πλέον με πολύ διαφορετικό τρόπο από τους μεγάλους. Τα ολοκληρωμένα 2 κυκλώματα κατασκευάζονταν και συνεχίζουν να κατασκευάζονται πάνω σε δίσκους πυριτίου (Σχήμα 1.1).



Σχήμα 1.1 Δίσκος Πυριτίου (wafer)

Από το 1970 ήταν δυνατή η τοποθέτηση όλων των στοιχείων κυκλώματος που ήταν αναγκαία για τη δημιουργία ενός ολοκληρωμένου κυκλώματος μικροεπεξεργαστή σε ένα ενιαίο τεμάχιο. Πριν από περίπου 40 χρόνια ο Gordon Moore, πρόεδρος της εταιρίας Intel παρατήρησε ότι η τεχνολογία των κυκλωμάτων εξελισσόταν με καταπληκτικούς ρυθμούς, με αποτέλεσμα να διπλασιάζει τον αριθμό των τρανζίστορ που μπορούσαν να χωρέσουν μέσα σε ένα ολοκληρωμένο κύκλωμα κάθε 1,5 με 2 χρόνια.



Σχήμα 1.2 Γραφική Παράσταση του Νόμου του Moore

Το φαινόμενο αυτό που είναι γνωστό ως νόμος του Moore (Σχήμα 1.2) επιβεβαιώνεται μέχρι και σήμερα ότι τοποθετούνται περισσότερα από 10 εκατομμύρια τρανζίστορ σε ένα chip το οποίο είναι εφικτό στα τέλη του 2007. Έτσι λοιπόν, με το πέρασμα του χρόνου τα κυκλώματα χωρίστηκαν σε κατηγορίες ανάλογα με τον αριθμό των λογικών πυλών που περιέχει κάθε chip, όπως φαίνεται στον Πίνακα 1.1.

Πίνακας 1.1 Ιστορική Εξέλιξη των Λογικών Κυκλωμάτων	
Μικρής Κλίμακας Ολοκλήρωσης (Small Scale Integration, SSI)	Περιέχουν λίγες (5-10) μεμονωμένες πύλες
Μέσης Κλίμακας Ολοκλήρωσης (Medium Scale Integration, MSI)	Περιέχουν 10-100 πύλες κατάλληλα συνδεδεμένες, ώστε να σχηματίζουν ένα ψηφιακό κύκλωμα
Μεγάλης Κλίμακας Ολοκλήρωσης (Large Scale Integration, LSI)	Περιέχουν περισσότερες από 100 πύλες μέχρι χιλιάδες πύλες (όπως οι απλοί μικροεπεξεργαστές)
Πολύ Μεγάλης Κλίμακας Ολοκλήρωσης (Very Large Scale Integration, VLSI)	Περιέχουν κυκλώματα τα οποία σχηματίζονται από πολλά εκατομμύρια πύλες (π.χ. σύγχρονοι μικροεπεξεργαστές)

4. Standard-cells

Η σχεδίαση που είναι βασισμένη σε Standard-cells αποτελεί πλέον τη πιο διαδεδομένη μέθοδο για τη σχεδίαση VLSI κυκλωμάτων. Η αύξηση στην πολυπλοκότητα των VLSI κυκλωμάτων οδήγησε στην έξαρση πολλών προβλημάτων. Αυτά τα προβλήματα σε συνδυασμό με τις συνεχώς αυξανόμενες απαιτήσεις που δημιουργήθηκαν για αποδοτικότερα προϊόντα και για επιτάχυνση των διαδικασιών σχεδίασης, ώστε να είναι πιο αξιόπιστες και επαναχρησιμοποιήσιμες, καθώς και η ανάγκη για ασφαλές, πιο "απλό" και ανταγωνιστικό σχεδιασμό κυκλωμάτων, για σχεδιασμό, που εκτός από καινοτομικός, πρέπει να πληροί μια σειρά από απαιτήσεις εμβადού, χρονισμού και κατανάλωσης ισχύος, οδήγησαν στην κυριαρχία των standard cells στο χώρο των ολοκληρωμένων κυκλωμάτων. Η μέθοδος αυτή επιτρέπει την κατασκευή σχετικά υψηλής απόδοσης κυκλωμάτων με συγκριτικά χαμηλή καταβολή προσπάθειας σχεδιασμού.

4.1 Ιστορική αναδρομή

Στα μέσα του 20ου αιώνα εμφανίζονται πρώτη φορά τα Ολοκληρωμένα Κυκλώματα (Integrated Circuits - IC). Το γεγονός ότι ένας μεγάλος αριθμός από μικροσκοπικά transistors χώρεσε σε ένα μικρό chip (κομμάτι ημιαγωγού) αποτέλεσε μια μεγάλη ανακάλυψη για εκείνη την εποχή. Ακολούθησαν τα Κυκλώματα Μέσου Βαθμού Ολοκλήρωσης (Medium Scale Intergration - MSI) με 300 στοιχεία ανά chip, τα Κυκλώματα Μεγάλου Βαθμού Ολοκλήρωσης (Large Scale Intergration-LSI) με 1000 στοιχεία ανά chip και τέλος τα Κυκλώματα Πολύ Μεγάλου Βαθμού Ολοκλήρωσης (Very Large Scale Intergration-VLSI) με πάνω από 20.000 στοιχεία ανά chip. Η τάση στο χώρο της μικροηλεκτρονικής για τη συσσώρευση όσο το δυνατόν περισσότερων λειτουργιών σε ένα ολοκληρωμένο κύκλωμα, δημιούργησε πολλά προβλήματα όπου η χρήση συμβατικών δομικών στοιχείων δεν επαρκούσαν για την επίλυση τους. Έτσι δημιουργήθηκε μια πολύ μεγάλη γκάμα τεχνολογιών ανάπτυξης Ολοκληρωμένων Κυκλωμάτων Ειδικού Σκοπού (Application Specific Intergrated Circuits-ASICs), που επιτρέπει τη σχεδίαση πολύπλοκων συστημάτων. Τα πρώτα ASICs χρησιμοποίησαν την τεχνολογία gate array - απεικόνιση σε πίνακα πυλών. Αργότερα χρησιμοποιήθηκαν και τα FPGAs - Field-programmable gate arrays - (απεικόνιση σε πίνακα πυλών προγραμματιζόμενου πεδίου). Στα μέσα του 1980 αρχίζει να ξεπροβάλλει η μέθοδος των standard cells, αφού η ανάγκη για περισσότερο αυτοματοποιημένα εργαλεία και γενικότερα μεθόδους σχεδιασμού, αν όχι επιτακτική, ήταν πολύ μεγάλη. Συγκεκριμένα, ένας σχεδιαστής θα προτιμούσε ένα ASIC κατασκευαστή (ASIC manufacturer) και θα υλοποιούσε τα σχέδια του χρησιμοποιώντας όλα τα - διαθέσιμα από το κατασκευαστή-εργαλεία σχεδιασμού. Παρόλο που τα εργαλεία σχεδιασμού τρίτης τάξης (third party design tools) ήταν διαθέσιμα, δεν υπήρχε καμία αποτελεσματική σύνδεση ανάμεσα στα εργαλεία αυτά και στα ακριβή χαρακτηριστικά απόδοσης των ASIC κατασκευαστών. Τελικά, οι περισσότεροι σχεδιαστές κατέληγαν να χρησιμοποιούν ειδικά εργοστασιακά εργαλεία, για την υλοποίηση των σχεδίων τους. Μια λύση σε αυτό το πρόβλημα αποτέλεσε η υλοποίηση των standard cells. Κάθε κατασκευαστής ASIC μπορούσε να δημιουργήσει σχεδιαστικά κομμάτια (functional blocks) με γνωστά ηλεκτρικά χαρακτηριστικά, όπως η χωρητικότητα, η αγωγιμότητα, η καθυστέρηση διάδοσης, τα οποία μπορούσαν να αναπαρασταθούν και στα εργαλεία σχεδιασμού τρίτης τάξης. Ο σχεδιασμός βασιζόμενος σε Standard cell- σχεδιασμός με έτοιμα σχεδιαστικά κομμάτια - περιλαμβάνει τη χρησιμοποίηση όλων αυτών των σχεδιαστικών κομματιών με στόχο την επίτευξη καλής απόδοσης και πολύ υψηλής πυκνότητας πυλών.

4.2 Γενική περιγραφή του Standard cell based design

Στη σχεδίαση ημιαγωγών, η μέθοδος standard cell αποτελεί μια μέθοδο σχεδιασμού ASIC κυκλωμάτων κυρίως με ψηφιακά-λογικά χαρακτηριστικά. Αποτελεί ένα παράδειγμα αφαιρετικού σχεδιασμού (design abstraction), όπου ένα χαμηλού επιπέδου layout ενσωματώνεται σε μια αφαιρετική λογική αναπαράσταση, όπως η πύλη NAND. Η βασιζόμενη στα cells μέθοδος – cell based methodology (η γενικότερη κλάση στην οποία ανήκουν και τα standard cells) παρέχει τη δυνατότητα σε ένα σχεδιαστή να εστιάζει σε υψηλού επιπέδου πτυχή της ψηφιακής σχεδίασης (λογική συνάρτηση – logical function) ενώ παράλληλα κάποιος άλλος μπορεί να εστιάζει στην υλοποίηση (physical). Παράλληλα με την πρόοδο στην κατασκευή ημιαγωγών, η βασισμένη στα standard cells μέθοδος ήταν υπεύθυνη για την κλιμάκωση των κυκλωμάτων ASIC από συγκριτικά απλά ολοκληρωμένα κυκλώματα, τα οποία εκτελούν μια συγκεκριμένη λειτουργία (αποτελούμενα από αρκετές χιλιάδες πύλες), σε σύνθετες συσκευές αποτελούμενες από πολλά εκατομμύρια πύλες (SoC-System on chip). Στην τεχνοτροπία αυτή ο σχεδιαστής εφοδιάζεται με μια σχεδιαστική βιβλιοθήκη και εκφράζει το σχεδιασμό του σαν την διασύνδεση στοιχείων που περιέχονται σε αυτή τη βιβλιοθήκη. Δηλαδή όλα τα κομμάτια-σχέδια, που δημιουργούνται, βασίζονται στα έτοιμα σχεδιαστικά κομμάτια της βιβλιοθήκης. Προφανώς η βιβλιοθήκη αυτή παρέχεται από τον τελικό κατασκευαστή του ολοκληρωμένου κυκλώματος και μπορεί να περιέχει από πολύ λίγα έως πάρα πολλά και πολύ σύνθετα σχεδιαστικά κομμάτια. Μια standard cell based βιβλιοθήκη θα μπορούσε να περιέχει μόνο τη λογική πύλη NAND δύο εισόδων μιας και κάθε λογική συνάρτηση μπορεί να εκφραστεί συναρτήσει αυτής της πύλης. Ωστόσο για τη διευκόλυνση των σχεδιαστών οι βιβλιοθήκες που παρέχονται σήμερα περιέχουν όλες τις λογικές πύλες (και μάλιστα σε διάφορες εκδόσεις ταχύτητας, εμβαδού και οδηγητικής ικανότητας), στοιχεία μνήμης, μικρά έως μεσαία συνδυαστικά κυκλώματα (αθροιστές, πολλαπλασιαστές, κλπ), μικρά έως μεσαία ακολουθιακά κυκλώματα (καταχωρητές, ολισθητές, μετρητές κλπ).

4.2.1 Πλεονεκτήματα – Μειονεκτήματα και σύγκριση με άλλες μεθόδους

Το μεγάλο πλεονέκτημα χρησιμοποίησης αυτής της τεχνοτροπίας είναι προφανώς ο χρόνος ολοκλήρωσης του σχεδιασμού, καθώς και το κόστος κατασκευής του. Συγκρινόμενη με άλλες μεθόδους, όπως Full-custom design (Πλήρως εξειδικευμένος σχεδιασμός) ή και Semi-custom design (Μερικά εξειδικευμένος σχεδιασμός), θα μπορούσαμε να πούμε ότι υπερέχει. Στη περίπτωση του Full-custom design, ο σχεδιαστής θα πρέπει να σχεδιάσει εξ αρχής, ακόμη και τα βασικά δομικά στοιχεία, δηλαδή τις πύλες και τα στοιχεία μνήμης του σχεδιασμού του. Παρότι αυτός ο τρόπος παρέχει τη μέγιστη ευελιξία στον σχεδιαστή, είναι προφανές ότι είναι και ο πλέον επίτονος χρονικά. Επιπλέον η πιθανότητα για σχεδιαστικά λάθη είναι πολύ μεγάλη και το κόστος κατασκευής πολύ υψηλό. Η τεχνοτροπία αυτή σήμερα χρησιμοποιείται για μικρούς σχετικά σχεδιασμούς με πολύ αυξημένες απαιτήσεις σε ταχύτητα, εμβαδόν και κατανάλωση ισχύος. Στη περίπτωση του Semi-custom design, παρότι μερικά σχεδιαστικά κομμάτια παρέχονται έτοιμα σε μια βιβλιοθήκη, ο σχεδιαστής

έχει τη δυνατότητα, αν δε καλύπτεται, να σχεδιάσει τα δικά του κομμάτια και μετά να φτιάξει το σχεδιασμό του σαν ένα μίγμα έτοιμων και νέων υποσχεδιασμών. Προφανώς η ευελιξία που δίνεται στο σχεδιαστή είναι αντίστοιχη με αυτήν της προηγούμενης περίπτωσης, μειώνεται ο χρόνος σχεδιασμού και χρησιμοποιώντας κατά πλειοψηφία έτοιμα σχεδιαστικά κομμάτια, η πιθανότητα σχεδιαστικών λαθών μικραίνει, χωρίς όμως αυτοί οι 2 παράγοντες να θεωρούνται αμελητέοι. Το κυριότερο μειονέκτημα της μεθόδου Standard cell design αποτελεί το γεγονός ότι ξεφεύγει πλέον από τα χέρια του σχεδιαστή η δυνατότητα καθορισμού των ηλεκτρικών χαρακτηριστικών των στοιχειωδών σχεδιαστικών κομματιών, με αποτέλεσμα τόσο οι μέγιστες ταχύτητες, όσο και το ελάχιστο εμβαδόν και η ελάχιστη κατανάλωση ισχύος που μπορεί να επιτευχθεί να μη μπορούν να καθοριστούν άμεσα από αυτόν.

4.2.2 Τρόποι υλοποίησης

Ένας σχεδιασμός από έτοιμα σχεδιαστικά κομμάτια (Standard Cell Design) μπορεί να υλοποιηθεί σαν ολοκληρωμένο με διάφορους τρόπους. Οι τρόποι αυτοί στην ουσία καθορίζουν και το κόστος κατασκευής του ολοκληρωμένου. Παρακάτω αναφέρονται μερικοί από τους πλέον διαδεδομένους :

1) Υλοποίηση σαν σχεδιασμός από έτοιμα σχεδιαστικά κομμάτια (Standard-cell implementation). Η υλοποίηση αυτή συνήθως χρησιμοποιεί την πλέον πρόσφατη τεχνολογία και απαιτεί την χρησιμοποίηση ενός πολύ μεγάλου αριθμού μασκών οι οποίες προκύπτουν από φωτολιθογραφικές μεθόδους. Με αυτό τον τρόπο μπορούμε να εκμεταλλευτούμε πλήρως τις δυνατότητες της κάθε τεχνολογίας, να επιτύχουμε τη μέγιστη ταχύτητα, αλλά ταυτόχρονα θα πρέπει να είμαστε προετοιμασμένοι να πληρώσουμε υψηλό τίμημα. Υπολογίζεται ότι το πρώτο ολοκληρωμένο σε αυτό το τρόπο υλοποίησης μπορεί να κοστίζει \$200.000 και κάθε επόμενο σημαντικά λιγότερο. Αυτό προκύπτει από το μεγάλο κόστος κατασκευής των μασκών και συνεπώς αυτός ο τρόπος υλοποίησης είναι ελκυστικός μόνο όταν ο αριθμός των ολοκληρωμένων που θα κατασκευαστεί είναι τουλάχιστον 20.000. Επίσης ο χρόνος παράδοσης θα πρέπει να υπολογίζεται σε 1,5 έως 2 μήνες.

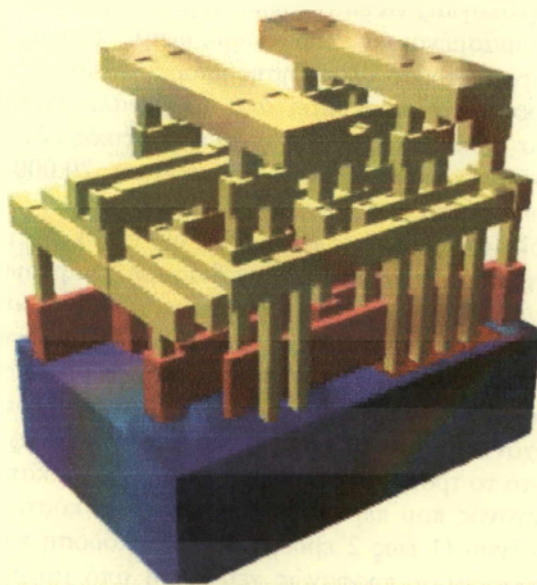
2) Απεικόνιση σε πίνακα πυλών (όπως Gate Array, Sea of Gates). Αντί να φτιάχνονται όλες οι μάσκες από την αρχή για το ολοκληρωμένο που σχεδιάσαμε, υπάρχουν ολοκληρωμένα στα οποία ήδη έχει υλοποιηθεί ένας πίνακας από τρανζίστορ. Αυτά τα ολοκληρωμένα έχουν κατασκευαστεί σε εξαιρετικά μεγάλες ποσότητες και συνεπώς το κόστος τους είναι πολύ χαμηλό. Ο σχεδιασμός μας εκφράζεται σαν τη διασύνδεση αυτών των υπάρχοντων τρανζίστορ, ενώ κάποια τρανζίστορ μπορεί να μείνουν και αχρησιμοποίητα. Συνήθως ένα ποσοστό χρήσης των υπάρχοντων τρανζίστορ της τάξης του 70-80% είναι εξαιρετικό αν μπορεί να επιτευχθεί. Με αυτό το τρόπο υλοποίησης απαιτούνται να κατασκευαστούν μάσκες μόνο για τη διασύνδεση, γεγονός που περιορίζει σημαντικά το κόστος αλλά και το χρόνο κατασκευής του ολοκληρωμένου (1 έως 2 εβδομάδες). Η απόδοση του τελικού προϊόντος μπορεί να είναι αρκετά καλή, αλλά προφανώς χειρότερη από αυτήν του προηγούμενου τρόπου υλοποίησης. Αυτός ο τρόπος κατασκευής είναι ελκυστικός όταν ο αριθμός των ολοκληρωμένων που θα κατασκευαστεί κυμαίνεται μεταξύ 1.000 έως 25.000.

3) Απεικόνιση σε προγραμματιζόμενο πίνακα πυλών (όπως LPGA, FPGA). Αυτός ο τρόπος κατασκευής είναι εξέλιξη του προηγούμενου και έχει σκοπό τη περαιτέρω μείωση του χρόνου και του κόστους κατασκευής. Βασίζεται σε ολοκληρωμένα που πέρα από τρανζίστορ, περιέχουν και προ-υλοποιημένο πίνακα πιθανών διασυνδέσεων μεταξύ τους. Ο σχεδιασμός μας εκφράζεται με τη χρήση κάποιων από αυτά τα τρανζίστορ και κάποιων από τις πιθανές διασυνδέσεις ή με άλλα λόγια με την απεικόνιση του στοχευόμενου σχεδιασμού

πάνω στους υλοποιημένους πίνακες. Η απεικόνιση αυτή στην περίπτωση των LPGA (Laser Programmable Gate Arrays) γίνεται με τη χρήση laser, γεγονός που μεταφράζεται σε χρόνο υλοποίησης λιγότερο της μίας εβδομάδας. Στην περίπτωση των FPGA (Field Programmable Gate Arrays) η στοχευόμενη απεικόνιση μπορεί να διαβαστεί από μια εξωτερική μνήμη και συνεπώς ο χρόνος υλοποίησης στην ουσία καταλήγει στον προγραμματισμό αυτής της μνήμης, δηλαδή είναι της τάξης των μερικών λεπτών και μπορεί να γίνει από τον ίδιο το σχεδιαστή.

4.3 Σύνθεση ενός standard cell

Ένα standard cell αποτελείται από ένα σύνολο transistor και διασυνδεδεμένων δομών το οποίο παρέχει μια boolean λογική συνάρτηση (όπως AND, OR, XOR) ή μια συνάρτηση αποθήκευσης (storage function) (όπως το flipflop). Τα πιο απλά cells είναι ακριβείς αναπαραστάσεις των στοιχειωδών boolean συναρτήσεων (όπως AND, OR) ενώ παράλληλα χρησιμοποιούνται και πιο πολύπλοκα cells όπως ένας πλήρης αθροιστής (2-bit full adder). Η λογική συνάρτηση κάθε cell ονομάζεται λογική αναπαράσταση (logical view), όπου η λειτουργική συμπεριφορά περιγράφεται από ένα πινάκα αληθείας (truth table) ή από μια εξίσωση (Boolean algebra), όσον αφορά συνδυαστική λογική, ή από ένα πινάκα μετάβασης καταστάσεων (state transition table) ,όσον αφορά ακολουθιακή λογική.



Εικόνα 1. ΜΙΑ ΤΡΙΣΔΙΑΣΤΑΤΗ ΑΠΕΙΚΟΝΙΣΗ ΕΝΟΣ ΜΙΚΡΟΥ STANDARD CELL ΜΕ ΤΡΙΑ ΕΠΙΠΕΔΑ ΜΕΤΑΛΛΩΝ.

Το αρχικό σχέδιο ενός standard cell αναπτύσσεται σε επίπεδο transistor , αποτελεί τη μορφή netlist του transistor. Η μορφή netlist αποτελεί μια περιγραφή των transistors, που συμπεριλαμβάνονται στο σχέδιο, των συνδέσεων μεταξύ τους καθώς και των συνδέσεων τους με το εξωτερικό περιβάλλον. Οι σχεδιαστές χρησιμοποιούν προγράμματα CAD (Computer Aided Design),όπως το SPICE,για να προσομοιάσουν την ηλεκτρονική συμπεριφορά της

μορφής net list του αρχικού σχεδίου, δηλώνοντας διαφορές παραμέτρους εισαγωγής ,όπως η τάση, και υπολογίζοντας την απόκριση του κυκλώματος.

Αφού και η λογική αναπαράσταση (logical view) και η μορφή netlist είναι απαραίτητες μονό για προσομοίωση σε αφαιρετικό επίπεδο (abstract simulation), πρέπει να σχεδιαστεί και η φυσική αναπαράσταση του standard cell. Η αναπαράσταση αυτή ονομάζεται layout view και αποτελεί το χαμηλότερο επίπεδο αφαιρετικού σχεδιασμού στη γενικότερη τακτική σχεδιασμού. Από κατασκευαστική άποψη , η μορφή layout αποτελεί τη πιο σημαντική αναπαράσταση του cell ,αφού μοιάζει αρκετά με ένα ακριβές “αποτύπωμα -σχεδιάγραμμα” του standard cell. Είναι οργανωμένο σε επίπεδα μετάλλων, τα οποία χρησιμοποιούνται για την κατάλληλη σύνδεση των transistors, ώστε αυτά να ικανοποιούν την αντίστοιχη λογική αναπαράσταση.

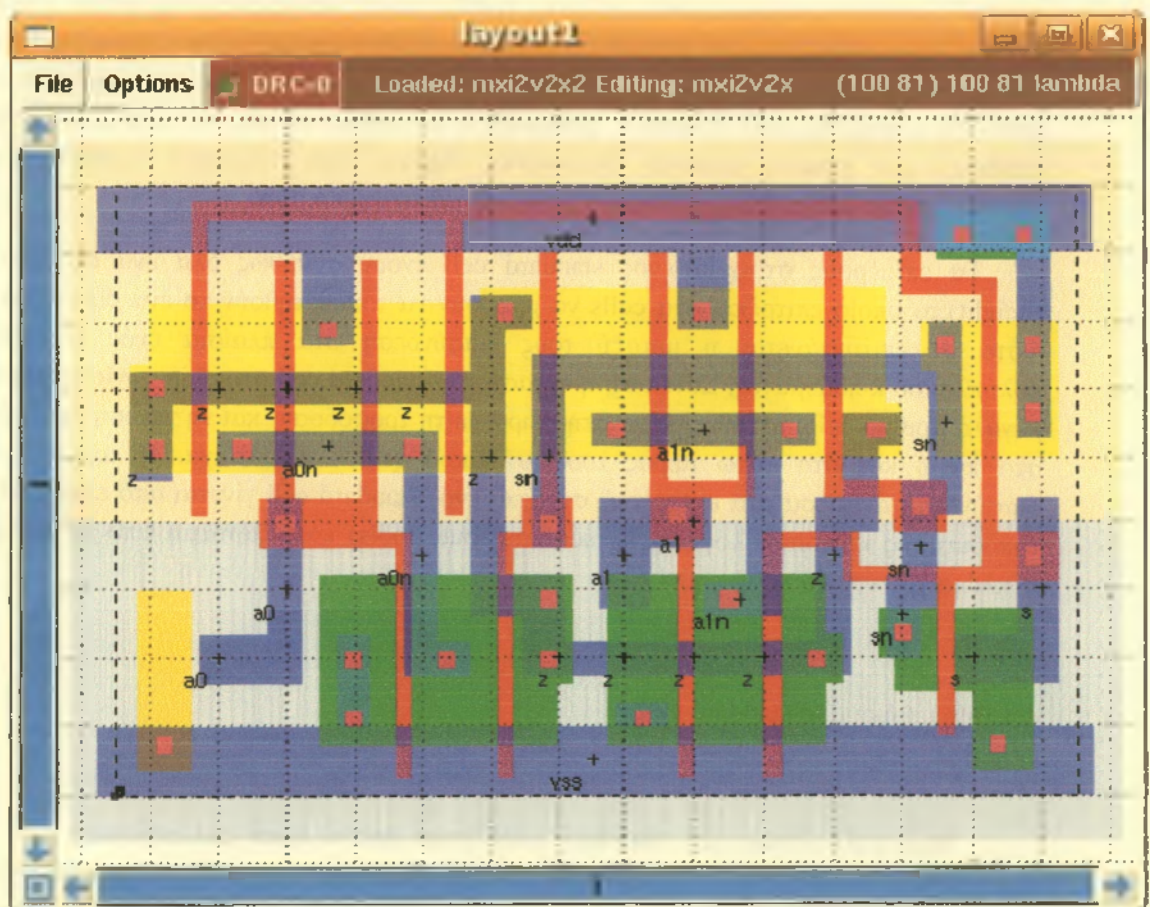
Για κάθε τυπική λογική συνάρτηση (π.χ. πύλη NAND) μπορεί να υπάρξουν πολλές διαφορετικές μορφές netlist. Οι υλοποιήσεις αυτές είναι λειτουργικά ισοδύναμες. Επιπλέον, για κάθε μορφή netlist, μπορεί να υπάρξουν πολλά διαφορετικά layouts, τα οποία συμβαδίζουν με τις παραμέτρους απόδοσης (performance parameters) της netlist. Πρόκληση και απώτερο στόχο για κάθε σχεδιαστή αποτελεί η ελαχιστοποίηση του κόστους κατασκευής του layout, λαμβάνοντας υπόψη τις διάφορες απαιτήσεις, σχετικές με την ταχύτητα και την απόδοση ισχύος του cell. Συνεπώς, η παράγωγή του layout σε ένα ολοκληρωμένο κύκλωμα αποτελεί μια αρκετά επίπονη διαδικασία, παρόλο που υπάρχουν αρκετά εργαλεία σχεδιασμού, προορισμένα και κατασκευασμένα για το σκοπό αυτό.

Τα επιμέρους στοιχεία ενός standard cell έχουν συνήθως όλα ένα σταθερό ύψος (height),το οποίο επιτρέπει στα cells να μπορούν να τοποθετηθούν το ένα δίπλα στο άλλο, ώστε να επιτυγχάνεται η μεταξύ τους διασύνδεση στα πλαίσια ενός περισσότερου πολύπλοκου κυκλώματος. Συνεπώς, η έκταση του standard cell στο chip συνίσταται από ένα μεγάλο αριθμό cells τοποθετημένα στη σειρά με τη τροφοδοσία και τη γείωση συνδεδεμένες στο πάνω και στο κάτω μέρος του συνολικού χώρου αντίστοιχα. Η τοποθέτηση και διασύνδεση ανάμεσα στα επιμέρους στοιχεία ενός standard cell γίνεται από ειδικά εργαλεία τοποθέτησης και δρομολόγησης (place and route tools) και εξαρτάται από τη λογική του κυκλώματος που θα υλοποιηθεί.

4.4 Βιβλιοθήκη από standard cell

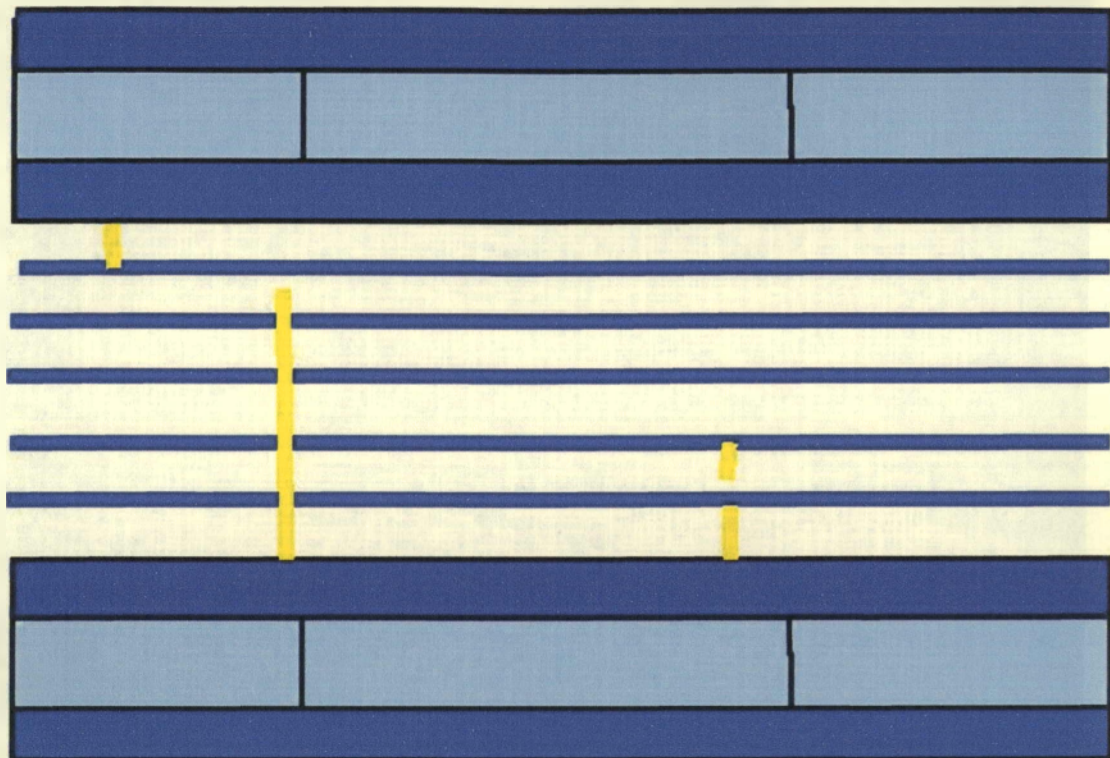
Μια βιβλιοθήκη από standard cells στην ουσία είναι μια συλλογή από πολλά διαφορετικά standard cells. Τυπικές βιβλιοθήκες περιέχουν αρκετές εκατοντάδες στοιχειά-cells. Η βιβλιοθήκη συνήθως περιέχει πολλαπλές υλοποιήσεις της ίδιας λογικής συνάρτησης, οι οποίες διαφέρουν σε ικανότητα οδήγησης (drive strength) ,σε ταχύτητα και κατά συνέπεια στο χώρο που καταλαμβάνουν - εμβαδό. Η διαφορετική ικανότητα οδήγησης είναι ένα χαρακτηριστικό, το οποίο προσθέτει ευελιξία στη βιβλιοθήκη. Εκείνα τα cells,τα οποία έχουν μεγαλύτερη ικανότητα οδήγησης , εμφανίζουν μεγαλύτερη κατανάλωση ισχύος, αλλά χρησιμοποιούνται κυρίως για να βελτιώνουν τη ταχύτητα του κυκλώματος ή για να οδηγήσουν μεγαλύτερο φορτίο.

Βιβλιοθήκες από standard cells μπορούν να βελτιστοποιηθούν με βάση κάποιες παραμέτρους απόδοσης, όπως τη πυκνότητα, τη ταχύτητα, τη τάση. Για παράδειγμα, η κατανάλωση ισχύος αποτελεί ένα σημαντικό παράγοντα στο σχεδιασμό κυκλωμάτων. Μια συγκεκριμένη βιβλιοθήκη μπορεί να χρησιμοποιηθεί με σκοπό την ελαχιστοποίηση της κατανάλωσης ισχύος, σε βάρος, όμως, της ταχύτητας. Για αυτό το λόγο, συγκρίνοντας όλες τις βιβλιοθήκες που χρησιμοποιούνται στο σχεδιασμό ολοκληρωμένων κυκλωμάτων, οι κατασκευαστές μπορούν να αποφασίσουν για το επίπεδο εκβάθυνσης και να επιτρέψουν στους σχεδιαστές να αναδείξουν τα προϊόντα που έχουν κατασκευάσει, στα πλαίσια του ανταγωνισμού.



Τοποποιημένα Κελιά (Standard Cells): Στα τοποποιημένα κελιά οι γραμμές των λογικών πυλών συνδέονται με καλώδια που δημιουργούνται στα κανάλια δρομολόγησης μεταξύ των γραμμών των πυλών. Μας παρέχεται, επιπρόσθετα η δυνατότητα χρησιμοποίησης πολλών ειδών πυλών σε οποιοδήποτε ολοκληρωμένο

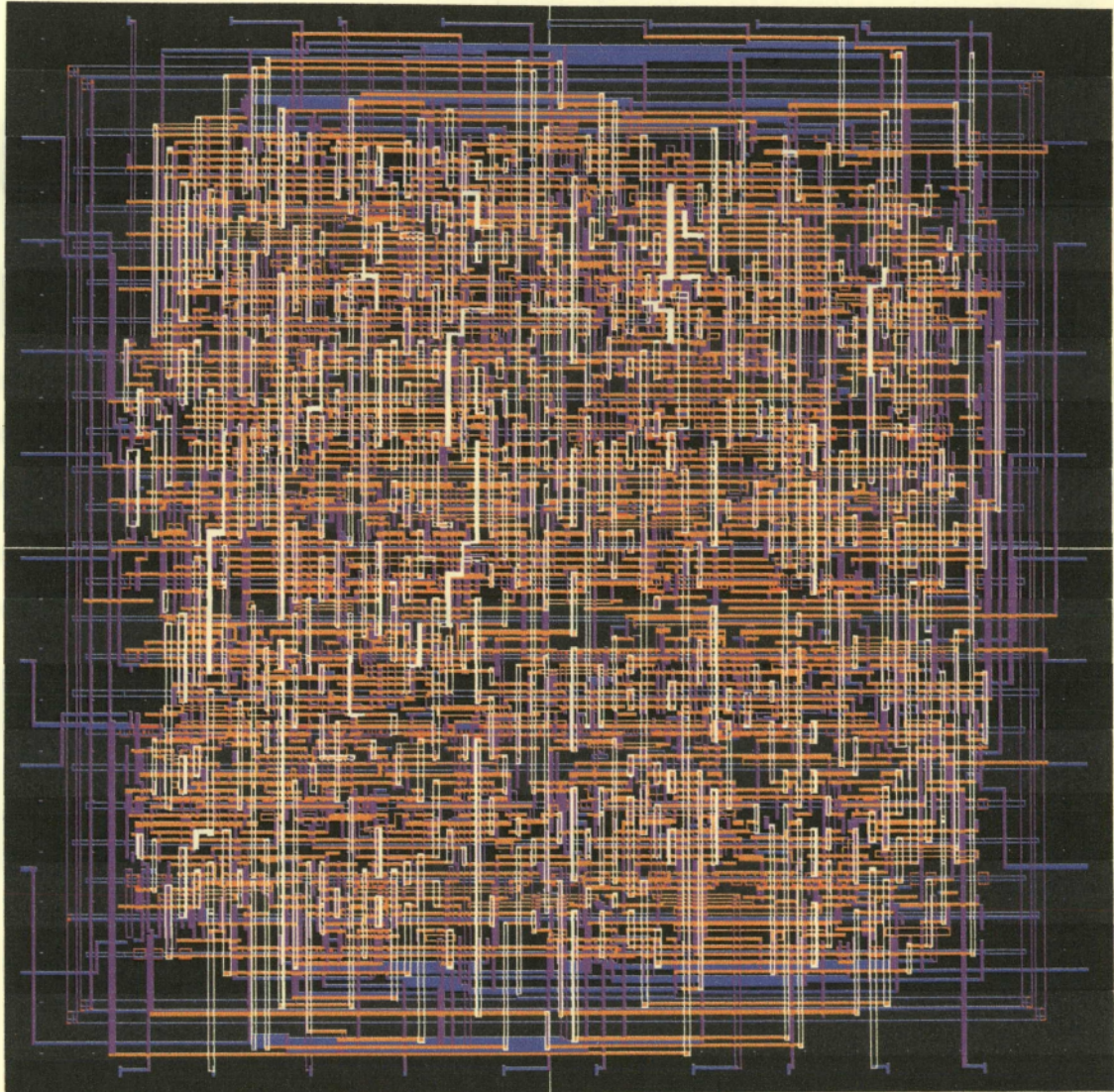
κύκλωμα. Τέλος, οι διαθέσιμες πύλες δομούνται εκ των προτέρων και αποθηκεύονται σε μια βιβλιοθήκη η οποία μπορεί να ανακληθεί ανά πάσα ώρα και στιγμή προκειμένου να χρησιμοποιηθούν τα στοιχεία της. Στο ακόλουθο σχήμα παρουσιάζεται η τοπική μορφή ενός τυποποιημένου κελιού.



Σχήμα 1.

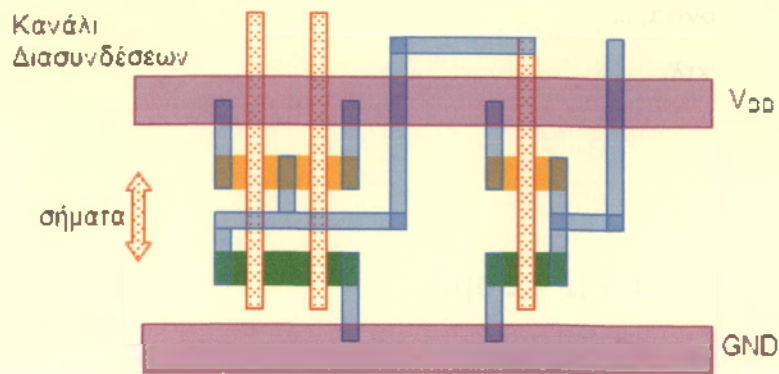
Οι μπλε και οι κίτρινες γραμμές του σχήματος 1 αντιπροσωπεύουν δυο διαφορετικά επίπεδα μετάλλου. Αυτή η οργάνωση καθιστά δυνατή την τοποθέτηση γραμμών σε πολλαπλά επίπεδα στο χώρο χωρίς να συγκρούονται τα επίπεδα μεταλλικών γραμμών του ενός επιπέδου με το άλλο.

Η υλοποίηση των standard cells για μικρές κυκλωματικές σχεδιάσεις έχει σημαντικό κόστος και γι' αυτόν το λόγο βρίσκει εφαρμογή σε μεγάλα κυκλώματα όπου ο αριθμός των cells ξεπερνάει τα χίλια. Στο ακόλουθο σχήμα παρουσιάζεται μια ολοκληρωμένη σχεδίαση σε φυσικό επίπεδο με χρήση standard cells.



ΣΧΗΜΑ 2.2: Πλήρης σχεδίαση σε φυσικό επίπεδο με χρήση standard cells

Μεθοδολογία Standard Cells - 1980

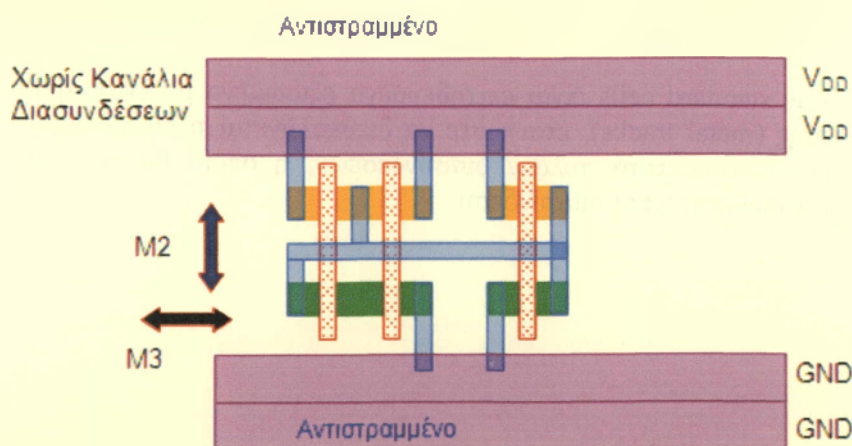


▶ 15

HY422 - Διάλεξη 6η - Σχεδίαση CMOS 5/2/2011

Στα πρώτα standard cells, οι διασυνδέσεις γίνονταν έξω από το ίδιο το cell, όπως φαίνεται στο παραπάνω σχήμα. Πάνω και κάτω από το cell υπήρχαν κανάλια διασυνδέσεων, τα οποία συνήθως χρησιμοποιούσαν είτε 1, είτε 2 επίπεδα μετάλλου μόνο.

Μεθοδολογία Standard Cells - 1990-



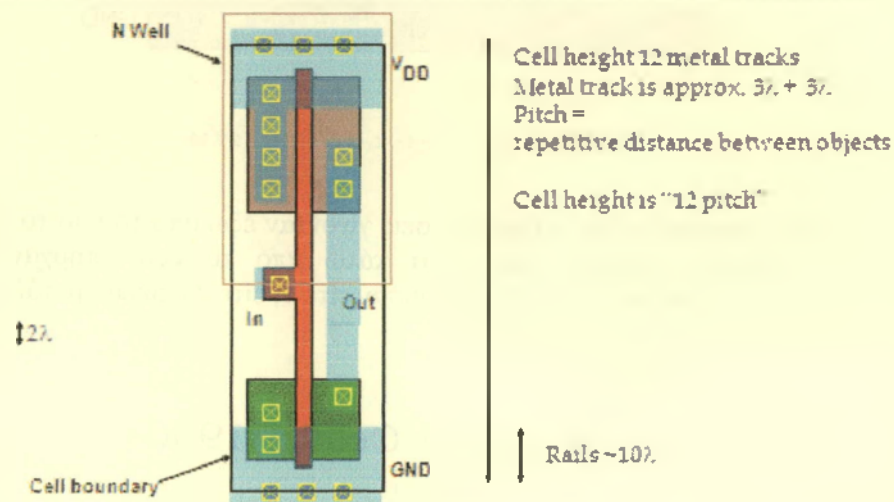
▶ 16

HY422 - Διάλεξη 6η - Σχεδίαση CMOS 5/2/2011

Στις σύγχρονες διεργασίες, όπου τα επίπεδα μετάλλου φτάνουν τα 7-9, οι διασυνδέσεις υλοποιούνται πάνω από τα standard cells, και δεν απαιτείται επιπλέον χώρος για την υλοποίηση των διασυνδέσεων. Για να υπάρχει μια λογική δομή στην διαδικασία διασύνδεσης ορίζονται συνήθως κατευθύνσεις ανά επίπεδο μετάλλου, λ.χ.:

- M1 οριζόντια (λόγω Vdd, Vss)
- M2 κάθετα, M3 οριζόντια, ...
- M5 ρολόι οριζόντια, κτλ.

Standard Cell - Δομή



HW422 - Διόλου Επ - Σειράση CMOS 5.2.2011

Το ύψος των standard cells είναι επιτηδευμένα εξισωμένο με έναν αριθμό από γραμμές διασύνδεσης (metal tracks), έτσι ώστε να διευκολύνεται η διασύνδεση και να υπάρχει μια «βολική» πυκνότητα πυλών/ διασυνδέσεων, η οποία θα να ευνοεί την αυτοματοποιημένη τοποθέτηση και διασύνδεση.

5 ΕΙΣΑΓΩΓΗ FGPA

Τα FGPAs (Field-Programmable Gate arrays) που σημαίνει προγραμματισμένες διατάξεις λογικής, είναι προκατασκευασμένες συσκευές από πυρίτιο, οι οποίες μπορούν, κατασκευασμένες ηλεκτρικά, να γίνουν ένα είδος ψηφιακού κυκλώματος ή ένα σύστημα. Παρέχουν πολλά πλεονεκτήματα σε σχέση με τα ASICs (Application Specific Intergrated Circuit) που σημαίνει εφαρμογές ειδικών ολοκληρωμένων κυκλωμάτων, αφού έχουν λιγότερο κόστος κατασκευής, απαιτείται λιγότερος χρόνος για την κατασκευή τους, και, σε περίπτωση λάθους, αναδιαρθρώνονται. Τα μειονεκτήματά τους είναι ότι το καθένα από αυτά απαιτεί 20 με 35 φορές μεγαλύτερη έκταση από ένα ASICs , καταναλώνει 10 φορές περισσότερη δυναμική ενέργεια και έχει ταχύτητα 3 με 4 φορές μικρότερη από αυτή του ASICs. Παρά τα μειονεκτήματά τους, τα FGPAs αναβαθμίζονται γρήγορα και έχουν χαμηλό κόστος, πράγμα συμφέρει τις μικρές επιχειρήσεις .Τα ASICs είναι πιο δύσκολο να σχεδιαστούν και είναι αρκετά δαπανηρά.

5.1 Από τι αποτελείται το ASICs

Το ASICs αποτελείται από πολλά μεγάλα αντικείμενα και για αυτό για την κατασκευή του απαιτείται χρόνος και μεγάλο κόστος, για τους εξής λόγους:

1)Τα εργαλεία CAD τα οποία χρησιμοποιούνται για τη σύνθεση, τοποθέτηση, δρομολόγηση, εξαγωγή, προσομοίωση, ανάλυση, χρονισμό και η δύναμη ανάλυσης είναι δαπανηρά.

2)Η μάσκα κοστίζει 1 εκατομμύριο δολάρια, αυτό βέβαια μπορεί να μειωθεί εάν χρησιμοποιήσουμε διάφορα πρωτότυπα με μικρότερα ASICs ή να χρησιμοποιήσουμε ένα «δομημένο ASIC» που απαιτεί λιγότερες μάσκες.

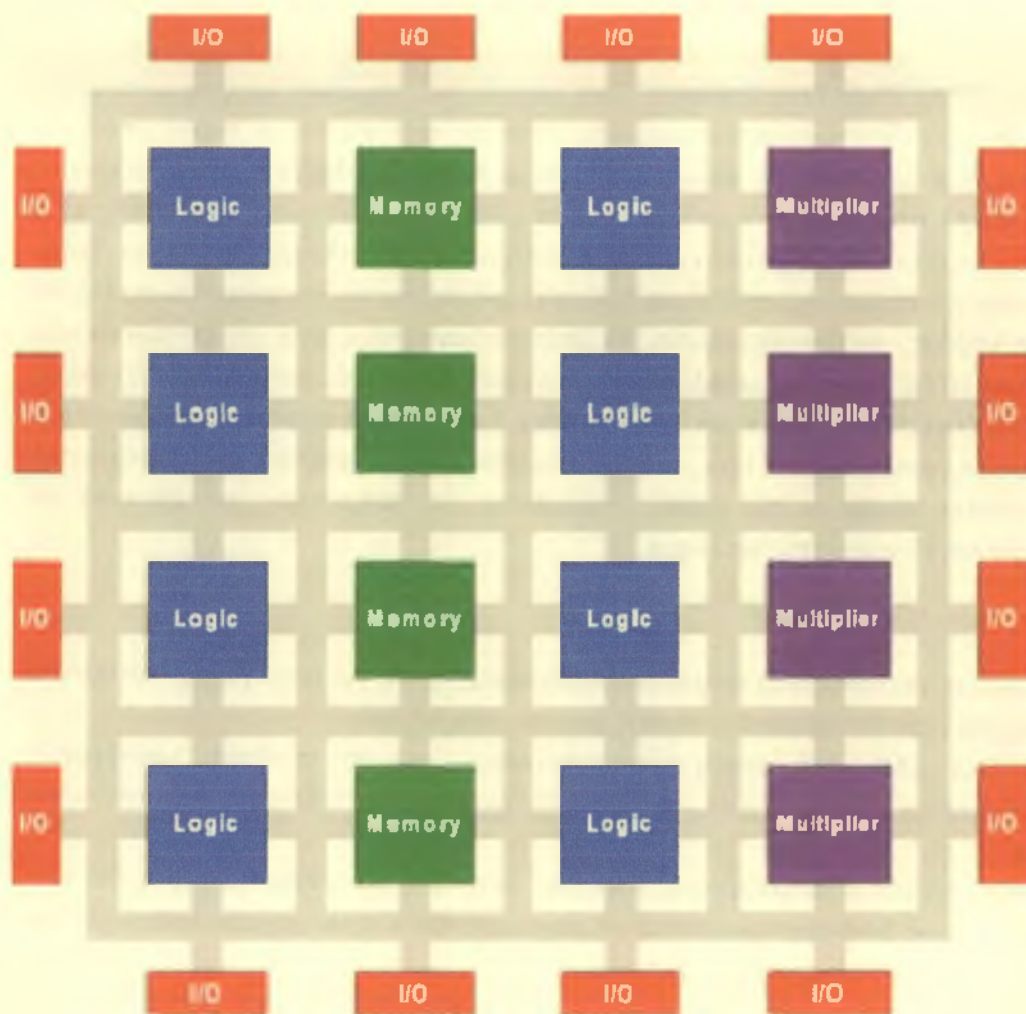
3)Για την κατασκευή του ASICs απαιτείται μεγάλη ομάδα μηχανικών και χρόνια δουλειάς για να αναπτυχθεί ένα μεγάλο ASIC, με αποτέλεσμα το κόστος να είναι τεράστιο.

Οι δύο βασικές τεχνολογίες του FGPA είναι η αρχιτεκτονική και η CAD (Computer – aided design) που σημαίνει σχεδιασμός με τη βοήθεια του ηλεκτρονικού υπολογιστή.

Στόχος αυτής της έρευνας είναι να εξετάσει τις υφιστάμενες καταστάσεις της τέχνης στην αρχιτεκτονική της FGPA και να προβάλλει μελλοντικές τάσεις. Αυτό που θα κάνουμε πρώτα είναι μια σύντομη επισκόπηση της προγραμματισμένης λογικής , την ορολογία της αρχιτεκτονικής FGPA, τα θεμέλια και τις τάσεις αρχιτεκτονικής, τη δρομολόγηση αρχιτεκτονικής και τέλος την συζήτηση των τεχνικών ενέργειας που αφορούν το σχεδιασμό κυκλωμάτων. Στη συνέχεια θα κάνουμε μια σύντομη επισκόπηση για είσοδο/ έξοδο των δομών και αρχιτεκτονικών ερωτήσεων. Τέλος, η έρευνα θα καταλήξει σε προκλήσεις που αντιμετωπίζει η FGPA και θα δούμε τις αναδυόμενες αρχιτεκτονικές.

5.1.1 Επισκόπηση

Το FGPA όπως φαίνεται και στην εικόνα είναι μια σειρά από προγραμματισμένα λογικά μπλοκ με διαφορετικούς τύπους και συμπεριλαμβάνει λογική μνήμη και πολλαπλασιαστές μπλοκ. Η είσοδος/έξοδος του μπλοκ επισημαίνεται I/O στο σχήμα που συνδέουν τα τσιπ με τον έξω κόσμο. (εικόνα 1.1)



1.1 Βασική δομή FPGA.

Οι προγραμματισμένες διατάξεις λογικής δεν ήταν πολύ ασφαλείς σαν προγραμματισμός τεχνολογίας.

5.2 Μια ιστορία της προγραμματισμένης λογικής

Τα FPGAs στις αρχές 1960 συνδέονταν με την ανάπτυξη του ολοκληρωμένου κυκλώματος. Οι συσκευές αυτές χρησιμοποιούνταν κανονικότερα και είχαν λειτουργική ευελιξία. Οι κυτταρικές σειρές αποτελούνταν από ένα διδιάστατο πίνακα απλών λογικών κυττάρων. Μέχρι το 1960, το πεδίο προγραμματισμού είχε τη δυνατότητα να αλλάξει τη λογική λειτουργία ενός τσιπ. Παρόλα αυτά οι συνδέσεις μεταξύ των στοιχείων του πίνακα είχαν καθοριστεί και η λειτουργικότητα του κάθε στοιχείου στον πίνακα είχε καθοριστεί από τις προγραμματισμένες ασφάλειες. Οι ασφάλειες με τη σειρά τους προγραμματίστηκαν ώστε να λειτουργούν με τη χρήση του ρεύματος. Στη δεκαετία του 1970 εισήχθη μια σειρά από μνήμη μόνο για ανάγνωση, με την προϋπόθεση να εφαρμοστούν λογικές λειτουργίες. Οι πρώτες προγραμματισμένες συστοιχίες ήταν η AND

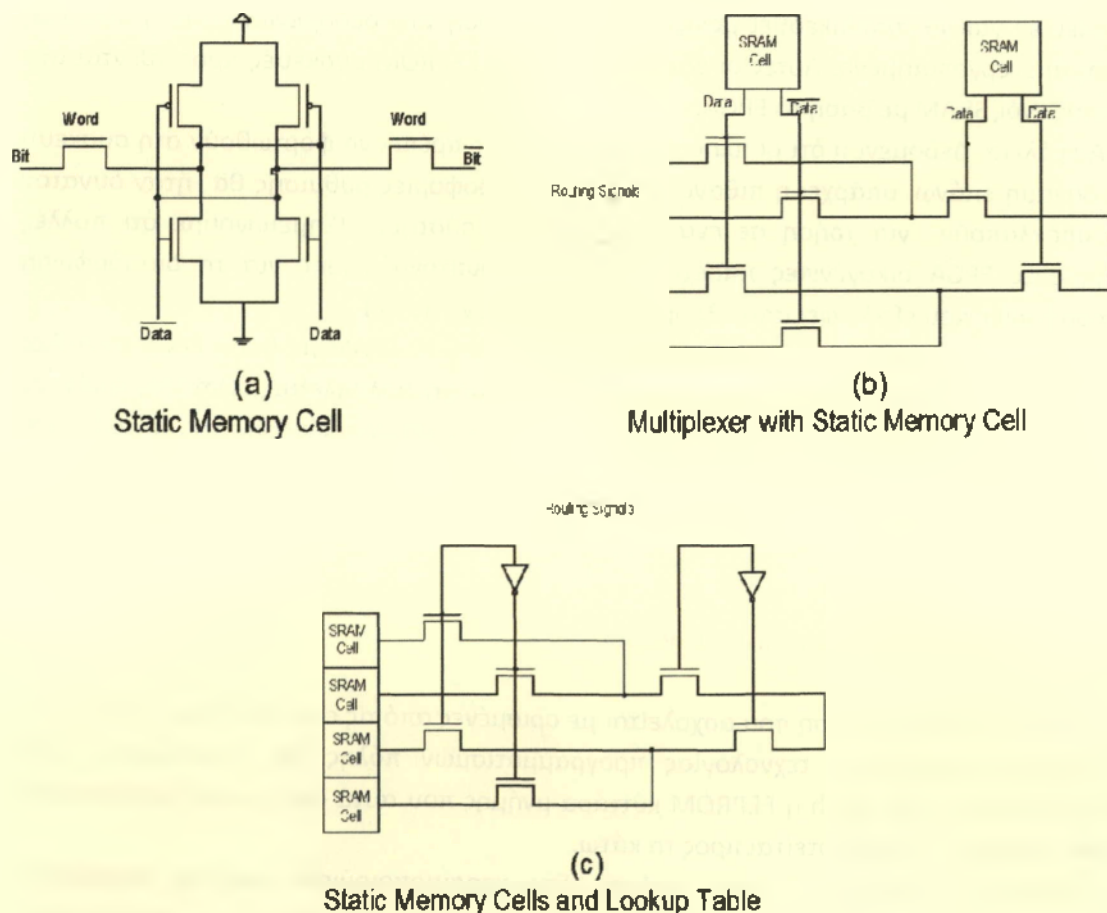
και η OR. Οι αρχιτεκτονικές αυτές εξελίχθηκαν περισσότερο με το καιρό και έτσι οι συσκευές αυτές πήραν τη μορφή τύπου flip-flop. Μετά προτάθηκε από τον Wahlstrom το 1967 η πρώτη στατική μνήμη η οποία πρόσφερε μια ευέλικτη προσέγγιση στις συσκευές προγραμματισμού. Πιθανόν αυτή η μνήμη να έγινε εμπορική όταν τα τρανζίστορ είχαν μειωθεί. Το 1984 ο XILINX παρουσίασε το πρώτο σύγχρονο FPGA το οποίο περιείχε 330.000 μπλοκ λογικής και 1.100 εισόδους / εξόδους ενώ το προηγούμενο περιείχε 64 μπλοκ και 58 εισόδους / εξόδους.

5.3 Προγραμματισμός τεχνολογίας

Κάθε FPGA βασίζεται σε τεχνολογικό πρόγραμμα το οποίο χρησιμοποιείται για να ελέγξει τους προγραμματισμένους διακόπτες που δίνουν FPGA προγραμματισμούς. Υπάρχει μια σειρά από τεχνολογίες προγραμματισμού και οι διαφορές έχουν σημαντική επίπτωση στην προγραμματιζόμενη λογική αρχιτεκτονική.

5.4 Στατική Τεχνολογία-Προγραμματισμός μνήμης

Η στατική κυτταρική μνήμη αποτελεί τη βάση για τη SRAM που χρησιμοποιείται από τις συσκευές Xilinx και Altera (εικόνα 1.2)



1.2 Η χρήση των στατικών κύτταρα μνήμης.

Σε αυτές τις συσκευές η στατική κυτταρική μνήμη όπως φαίνεται στο Σχήμα 1.2 (α), κατανέμεται σε όλο το FPGA να παρέχει διαμορφώσεις. Υπάρχουν δύο κύριες χρήσεις για τα κελιά SRAM. Οι περισσότερες χρησιμοποιούνται για να ρύθμιση πολυπλέκτων για την επιλογή γραμμών που κατευθύνουν τη διασύνδεση των σημάτων. Η πλειοψηφία των υπόλοιπων κελιών SRAM χρησιμοποιούνται για την αποθήκευση των δεδομένων στην αναζήτηση-πίνακες (LUTs), που συνήθως χρησιμοποιείται στην SRAM με βάση FPGA για την εφαρμογή λογικών λειτουργιών. Στα σχήματα 1.2 (β) και 1.2 (γ) απεικονίζουν αυτές τις δύο διαφορετικές προσεγγίσεις. Ιστορικά, SRAM κύτταρα που χρησιμοποιήθηκαν για τον έλεγχο της tri-state buffers και στη πέραση του τρανζίστορ το οποίο χρησιμοποιούταν για την προγραμματιζόμενη διασύνδεση, με τον καιρό θα δούμε τέτοιες δομές διασύνδεσης πλέον δεν χρησιμοποιούνται. Το SRAM έχει προσεγγιστεί από το FGPA λόγω ότι ξανά-προγραμματίζει και χρησιμοποιεί τυπική CMOS διαδικασία τεχνολογίας και μπορεί να προγραμματιστεί αόριστες φορές. Η SRAM δεν απαιτεί ειδικά ολοκληρωμένα βήματα κυκλωμάτων επεξεργασίας παρά τυπικά CMOS. Με αποτέλεσμα η SRAM με βάση FGPA χρησιμοποιεί την τελευταία CMOS τεχνολογία και παρέχει υψηλότερες ταχύτητες και χαμηλή δυναμική κατανάλωση ισχύος. Ωστόσο υπάρχουν πολλά μειονεκτήματα όπως το :

- 1) Μέγεθος. Το κύτταρο SRAM απαιτεί 5 ή 6 τρανζίστορ και το προγραμματιζόμενο στοιχείο που χρησιμοποιείται για τη διασύνδεση σημάτων απαιτεί τουλάχιστον ένα τρανζίστορ.
- 2) Η μεταβλητότητα. Η αστάθεια του κελιού SRAM απαιτεί την χρήση των εξωτερικών συσκευών για να αποθηκευθεί μόνιμα τη διαμόρφωση των δεδομένων όταν η συσκευή είναι απενεργοποιημένη. Αυτές οι εξωτερικές flash ή EEPROM συσκευές προστίθενται στο κόστος ενός SRAM με βάση το FPGA.
- 3) Ασφάλεια. Δεδομένου ότι οι πληροφορίες ρύθμισης πρέπει να φορτωθούν στη συσκευή με δύναμη επάνω, υπάρχει η πιθανότητα ότι οι πληροφορίες ρύθμισης θα ήταν δυνατόν να υποκλαπούν για χρήση σε ένα ανταγωνιστικό σύστημα. (Σημειώνουμε ότι πολλές σύγχρονες FPGA οικογένειες παρέχουν τεχνικές κρυπτογράφησης για τη διαμόρφωση πληροφορίες που εξαλείφει αποτελεσματικά τον κίνδυνο αυτό.)
- 4) Ηλεκτρικές ιδιότητες των τρανζίστορ έχουν περαστεί. Η SRAM με βάση FPGA συνήθως βασίζεται στη χρήση των τρανζίστορ για την εφαρμογή πολυπλεξίας. Ωστόσο, απέχουν πολύ από τους ιδανικούς διακόπτες όπως έχουν οι σημαντικές on- αντιστάσεις και παρουσιάζουν ένα αξιόλογο χωρητικό φορτίο. Όπως FPGA μεταναστεύουν σε μικρότερη γεωμετρικά συσκευή.

5.5 Πρόγραμμα τεχνολογίας flash / EEPROM

Μια εναλλακτική λύση που ασχολείται με ορισμένες από τις ελλείψεις του SRAM είναι η χρήση κυμαινόμενης τεχνολογίας προγραμματισμών πύλης. Η προσέγγιση αυτή χρησιμοποιείται σε flash ή EEPROM κύτταρα μνήμης που αυτά δεν χάνουν πληροφορίες όταν η συσκευή τροφοδοτείται προς τα κάτω.

Ιστορικά, EEPROM κύτταρα μνήμης δεν χρησιμοποιούνται για να διακόψουν απευθείας FPGAs σήματα, χρησιμοποιούνται κυρίως για την εφαρμογή των καλωδίων και λειτουργικών PLD-style συσκευών. Εκτός από την πολύ χαμηλής δυναμικότητας συσκευή, η συσκευή στατικής κατανάλωσης ισχύος συνυπάρχει στα συστήματα αυτά.

Με τις σύγχρονες μεθόδους κατασκευής IC έχει γίνει δυνατή η χρήση κυμαινόμενης κυτταρικής πύλης σε διακόπτες. Η flash μνήμη χρησιμοποιείται για τη βελτίωση της αποδοτικότητας. Τα μικρά προγραμματισμένα τρανζίστορ χρησιμοποιούνται για την κυμαινόμενη πύλη ενώ τα μεγάλα για τον μεγάλο προγραμματιζόμενο διακόπτη. Είναι απαραίτητο επίσης να γίνει διακοπή του τρανζίστορ όταν διαγραφεί μια συσκευή.

Αυτή η flash-based τεχνολογία προγραμματισμού προσφέρει πολλά μοναδικά πλεονεκτήματα, το σημαντικότερο από τα οποία είναι η μη μεταβλητότητα . Επιπλέον μια flash συσκευή μπορεί να λειτουργήσει αμέσως μετά την ενεργοποίηση της συσκευής και είναι πιο αποτελεσματική αφού το SRAM θέλει πάνω από έξι τρανζίστορ για να αποθηκεύσει.

Ένα μειονέκτημα των συσκευών flash-based είναι ότι δεν μπορούν να επαναπρογραμματιστούν άπειρες φορές. Η συσκευή όπως το Actel ProASIC₃ κάνει μέχρι και 500 κυκλικές χρήσεις . Πολλές φορές μια FPGA έχει προγραμματιστεί για μία χρήση μόνο. Ένα άλλο μειονέκτημα είναι ότι οι flash έχουν ανάγκη από μια μη-στάνταρ CMOS διαδικασία. Η στατική μνήμη αυτή έχει σχετικά υψηλή αντίσταση και χωρητικότητα λόγω της χρήσης του τρανζίστορ με διακόπτες.

Η τεχνολογία προγραμματισμού εξακολουθεί να βασίζεται σε SRAM κύτταρα , οι συσκευές δεν είναι διαφορετικές από τα αναπαραγωγής καθαρής SRAM συσκευές που βασίζονται στην αρχιτεκτονική FPGA. Ωστόσο ενσωμάτωση των φλας μνήμης γενικά σημαίνει ότι η τεχνολογία επεξεργασίας δεν θα είναι προηγμένη ως συσκευή pure- SRAM. Επιπλέον οι συσκευές επιβαρύνονται περισσότερο στην εναέρια περιοχή από τα αναπαραγωγής pure- SRAM συσκευών καθώς και οι δύο, φλας και SRAM bits που απαιτούν ένα προγραμματιζόμενο στοιχείο.

5.6 Anti fuse Τεχνολογία Προγραμματισμός

Μια εναλλακτική λύση είναι ο anti-fuse προγραμματισμός της τεχνολογίας, που βασίζεται σε δομές που έχουν πολύ υψηλή αντοχή, αλλά μπορεί να δημιουργήσει μια χαμηλή αντίσταση. Αυτά τα anti-fuse συστήματα σχηματίζονται από μονωτικά υλικά , όπως άμορφο πυρίτιο ή οξειδίο του πυριτίου, ανάμεσα σε δύο μεταλλικά στρώματα . Το κύριο πλεονέκτημα anti-fuse είναι ότι έχει χαμηλή περιοχή και έτσι μειώνει την εναέρια περιοχή προγραμματισμού , ωστόσο η μείωση αυτή έχει ως αποτέλεσμα τα τρανζίστορ να τροφοδοτούνται με μεγάλα ρεύματα που απαιτούν anti-fuse. Επίσης οι anti-fuse συσκευές έχουν το πλεονέκτημα ότι έχουν χαμηλές και παρασιτικές αντιστάσεις. Το ότι έχουν χαμηλή περιοχή αντίστασης και χωρητικότητας σημαίνει ότι περιλαμβάνουν περισσότερους διακόπτες ανά συσκευή, πράγμα που δεν είναι εφικτό σε άλλες τεχνολογίες . Μη αστάθεια σημαίνει ότι η συσκευή λειτουργεί .

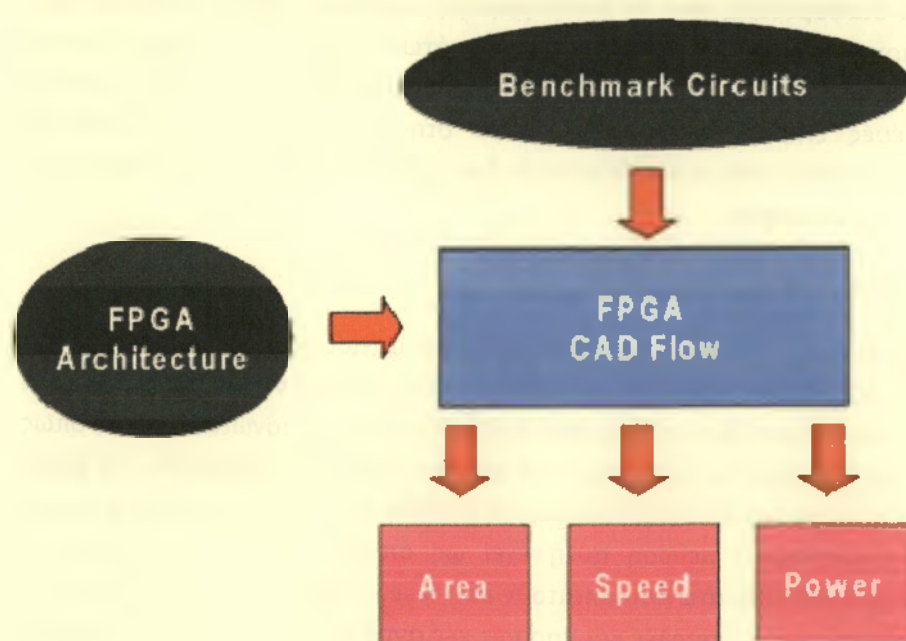
Υπάρχουν επίσης σημαντικά μειονεκτήματα σε προγράμματα τεχνολογίας. Ειδικότερα οι anti-fuse με βάση το FPGA, που απαιτούν μη συνηθισμένες CMOS διαδικασίες, οι οποίες είναι συνήθως πολύ πίσω στον τομέα μεταποίησης των διεργασιών. Πράγματι οι anti-fuse χρησιμοποιούν νέο πρότυπο CMOS. Είναι ακατάλληλο για συσκευές που θέλουν να επαναπρογραμματιστούν . Σε αντίθεση με τις εναλλακτικές τεχνολογίες, το σύστημα προγραμματισμού δεν γίνεται εφικτό με αυτές τις συσκευές . Τέλος η αντίσφαση δεν ανιχνεύει όλα τα πιθανά λάθη, με αποτέλεσμα να έχει επιτυχία 90%.

5.7 Αρχιτεκτονική blok-logic

Ένα παράδειγμα είναι να χρησιμοποιηθεί ένα τρανζίστορ ως βασικό στοιχείο λογικής και να οικοδομηθούν οι πύλες και τα στοιχεία αποθήκευσης. Ωστόσο αυτό το είδος απαιτεί μεγάλες ποσότητες προγραμματιζόμενης διασύνδεσης. Αυτό θα οδηγήσει σε FPGA με χαμηλή απόδοση και υψηλή κατανάλωση ρεύματος. Επιπλέον αυτό το μπλοκ έχει δύο εισόδους που είναι εξαιρετικά αναποτελεσματικές.

5.8 Μεθοδολογία

Σε μια αρχιτεκτονική FPGA μας ενδιαφέρει η αποτελεσματικότητα, η ταχύτητα και η δύναμη. Αυτό σημαίνει ότι θα πρέπει να υπήρχε μια ενιαία αρχιτεκτονική FPGA για όλες τις αγορές και θα χρειαζόταν μια εμπορική προσέγγιση για τη μελέτη και διερεύνηση διαφόρων αρχιτεκτονικών όπως φαίνεται και στην εικόνα(1.3). Η μόνη εναλλακτική λύση είναι η χρήση μιας θεωρητικής προσέγγισης που κατ' ανάγκη επικεντρώθηκε σε ένα φάσμα αρχιτεκτονικών και εργαλείων.



1.3 Αρχιτεκτονική εξερεύνηση CAD

Υπάρχουν τέσσερις πτυχές μίας πειραματικής ροής που χρησιμοποιείται για να σπουδάσει αρχιτεκτονική που πρέπει να περιγράφεται κατά την παρουσίαση των πειραματικών αποτελεσμάτων:

1) Το βάθος της ροής CAD. Το βάθος αυτό αντιπροσωπεύει το πόσο μακριά είναι η σύνθεση, η συσκευασία, η τοποθέτηση και η δρομολόγηση των κυκλωμάτων που υποβάλλονται σε επεξεργασία. Όσο πιο βαθιά είναι η ροή CAD, τόσο πιο ακριβή και πιστευτά είναι τα αποτελέσματα, αλλά το ρεύμα απαιτεί πολύ περισσότερη αναπτυξιακή

προσπάθεια και χρόνο υπολογισμού.

2) Η ποιότητα των εργαλείων CAD που χρησιμοποιούνται. Χαμηλής ποιότητας εργαλεία μπορούν να δώσουν παραπλανητικά αρχιτεκτονικά αποτελέσματα. Επομένως, είναι σημαντικό να χρησιμοποιούνται τα καλύτερα εργαλεία που υπάρχουν διαθέσιμα σε CAD ροές και να συνειδητοποιηθεί ότι μία καινοτομία στην ανάπτυξη εργαλείων CAD θα μπορούσε να δημιουργήσει δραματικά συμπεράσματα και επιπτώσεις στις πειραματικές μελέτες. Μελετώντας αυτό το θέμα, περιγράφονται ορισμένες καταστάσεις που θα μπορούσαν να δημιουργήσουν παραπλανητικά αρχιτεκτονικά συμπεράσματα.

3) Το σύνολο της αναφοράς κυκλωμάτων που χρησιμοποιούνται. Η ποιότητα των αποτελεσμάτων εξαρτάται από το πόσο αντιπροσωπευτικό είναι το σημείο αναφοράς στα κυκλώματα σε σχέση με τυπικά κυκλώματα που δημιουργούνται από τους χρήστες της συσκευής.

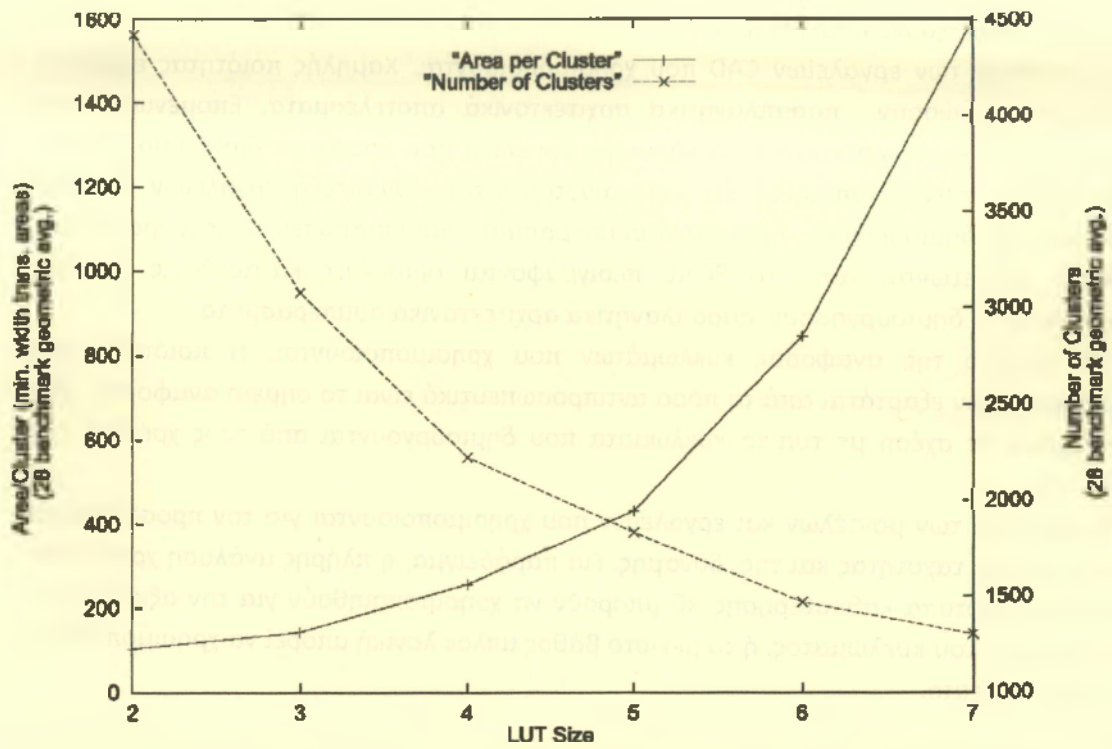
4) Η ποιότητα των μοντέλων και εργαλείων που χρησιμοποιούνται για τον προσδιορισμό της περιοχής, ταχύτητας και της δύναμης. Για παράδειγμα, η πλήρης ανάλυση χρονισμού με σωστά πρότυπα καθυστέρησης RC μπορούν να χρησιμοποιηθούν για την αξιολόγηση, την ταχύτητα του κυκλώματος, ή το μέγιστο βάθος μπλοκ λογική μπορεί να χρησιμοποιηθεί ως υποκατάστατο.

5.9 Logic Block Trade-Offs with Area

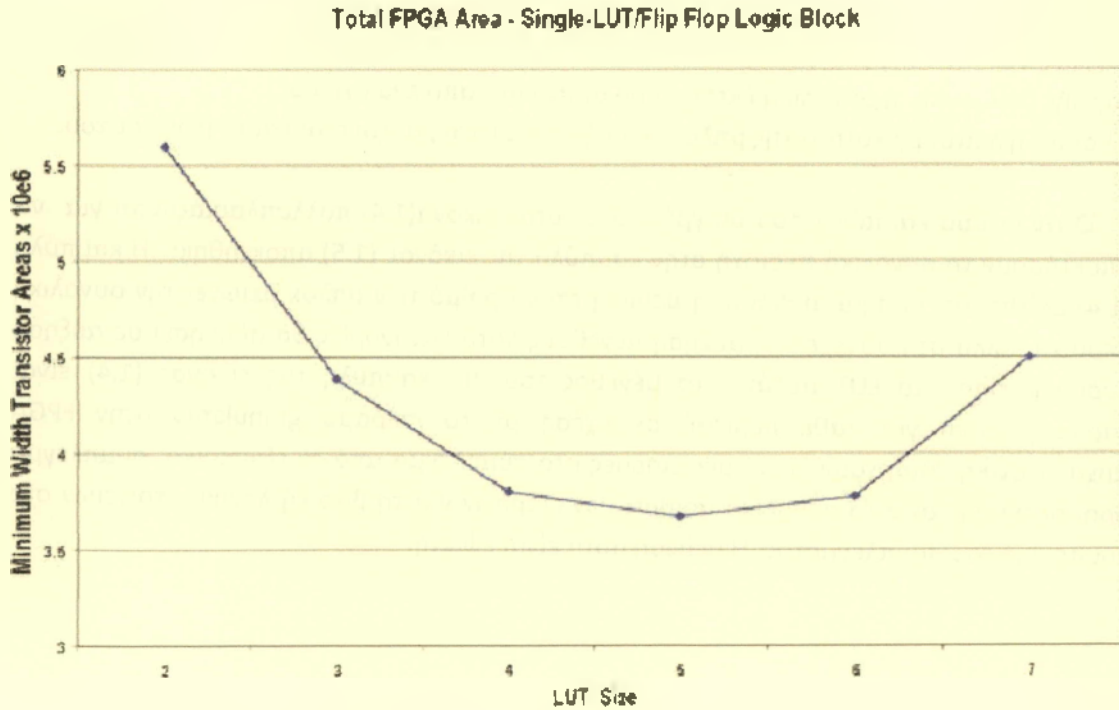
Για μια ομοιογενή σειρά FPGA η θεμελιώδης περιοχή συμβιβασμού μιας αρχιτεκτονικής είναι η εξής:

- Καθώς η λειτουργικότητα μπλοκ λογικής αυξήθηκε , τώρα χρειάζονται λιγότερα μπλοκ λογικής για την εφαρμογή ενός δεδομένου σχεδίου. Χρησιμοποιώντας λιγότερα μπλοκ λογικής μειώνεται η συνολική έκταση που απαιτείται από ένα σχέδιο.
- Καθώς η λειτουργικότητα της μπλοκ λογικής αυξάνεται , αυξάνεται και το μέγεθός του.

Όταν οι δύο καμπύλες του διαγράμματος στην εικόνα(1.4) πολλαπλασιάζονται για να αποκτήσουν τη συνολική περιοχή στην καμπύλη της εικόνας (1.5) αποκτήθηκε .Η καμπύλη (1.4) δείχνει ότι σε πρώτη φάση, η μείωση στον αριθμό των μπλοκ μειώνει την συνολική περιοχή, αλλά στη συνέχεια η αύξηση μεγέθους κατά κατηγορίες θα οδηγήσει σε αύξηση περιοχής όπου το LUT αυξάνει το μέγεθος του. Η καμπύλη της εικόνας (1.4) είναι χαρακτηριστική για κάθε περιοχή σε σχέση με το πείραμα granularity στην FPGA αρχιτεκτονική. Υπάρχουν λιγότερες εισροές στο σύμπλεγμα από το εξωτερικό σύμπλεγμα δρομολόγησης από το συνολικό αριθμό των εισροών για τη βασική λογική στοιχείων στο εσωτερικό του συμπλέγματος. Η μείωση αυτή είναι εφικτή.

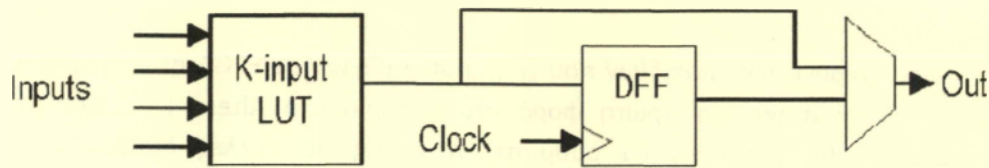


1.4 Αριθμός μπλοκ λογικής και της περιοχής / μπλοκ εναντίον λογική λειτουργικότητα μπλοκ

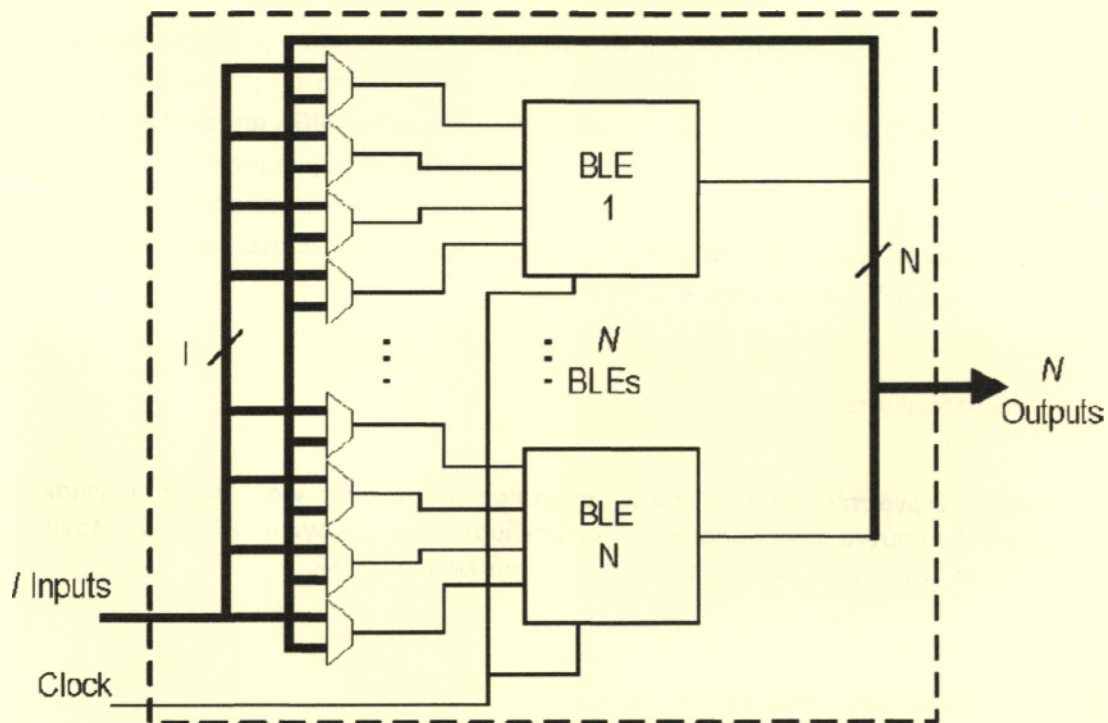


1.5 Συνολική έκταση του FPGA εναντίον LUT μέγεθος

Εδώ, διάφορα βασικά στοιχεία λογικής ομαδοποιούνται και συνδέονται προγραμματικά με τοπική δομή διασύνδεσης όπως φαίνεται και στην εικόνα(1.6)



(a) Basic logic element (BLE)



(b) Logic cluster

1.6 FPGA βασικό στοιχείο λογική και σύμπλεγμα

5.9.1 Ταχύτητα συμβιβασμών

Για μια ομοιογενή σειρά FPGA που χρησιμοποιεί μόνο έναν τύπο λογικής μπλοκ, η θεμελιώδης αρχιτεκτονική επίδραση στην ταχύτητα περιλαμβάνει τα εξής :

- Καθώς η θεμελιώδης μπλοκ λογική αυξάνεται, λιγότερα μπλοκ λογικής χρησιμοποιούνται για την κρίσιμη διαδρομή ενός συγκεκριμένου κυκλώματος, με αποτέλεσμα να χρειάζονται λιγότερα επίπεδα λογικής και υψηλότερη ταχύτητα απόδοσης. Μια μείωση των επιπέδων λογικής μειώνει το απαιτούμενο ποσό δρομολόγησης της μπλοκ λογικής, η οποία συμβάλλει σημαντικά στην περίοδο της συνολικής καθυστέρησης.

- Καθώς η θεμελιώδης μπλοκ λογική αυξάνεται, αυξάνει την εσωτερική καθυστέρηση, ενδεχομένως, στο σημείο όπου η αύξηση καθυστέρησης αντισταθμίζει το κέρδος λόγω της μείωσης των επιπέδων λογικής.

5.9.2 Μνήμη

Ο πρώτος τύπος ετερογενών πλακιδίων που χρησιμοποιήθηκαν σε FPGA ήταν η μνήμη μπλοκ, η οποία εμφανίστηκε για πρώτη φορά στο εμπόριο στο Altera Flex. Από τις διάφορες εφαρμογές θα χρειαστεί να ρυθμιστεί η μνήμη σε πολλές διαφορετικές διαστάσεις. Βασικά, τα μπλοκ μνήμης πρέπει να είναι ευέλικτα και διαμορφώσιμα.

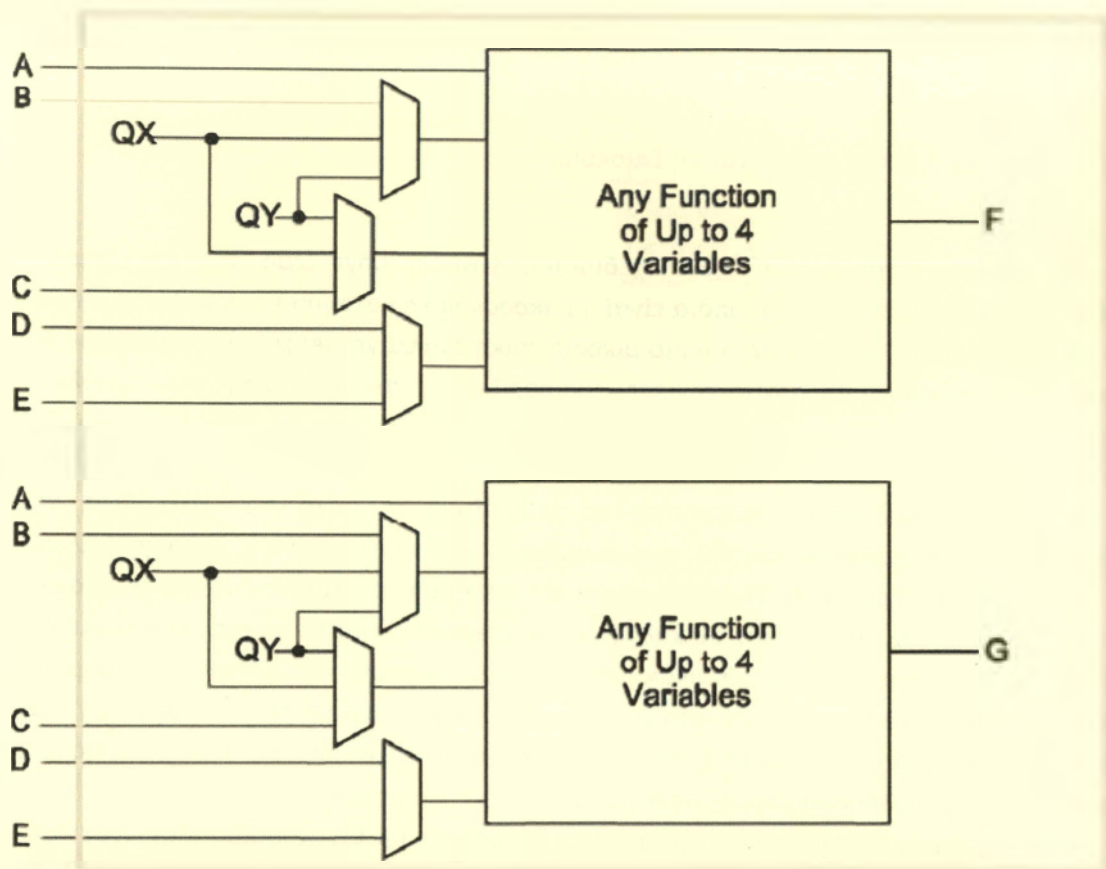
Επιπλέον, το λογισμικό σύστημα θα πρέπει να είναι εύκολο να συνδυάσει μπλοκ μνήμης, με την προσθήκη μιας μικρής ποσότητας soft logic, σε μεγάλα τμήματα της μνήμης με ένα ακόμα ευρύτερο φάσμα ανάλογης πτυχής. Όλες οι σύγχρονες FPGA περιλαμβάνουν μπλοκ μνήμης και έχουν αναπτυχθεί για να καλύψουν ένα σημαντικό μέρος της περιοχής FPGA που πεθαίνει. Η τάση αυτή αναμένεται να συνεχιστεί, όσο η μνήμη γίνεται πιο σημαντική σε μεγαλύτερα συστήματα. Τα περισσότερα σύγχρονα FPGA απασχολούν μπλοκ μνήμης που έχουν δίπορη λειτουργικότητα. Μερικά port διπλής μνήμης επιτρέπουν την ταυτόχρονη ανάγνωση και εγγραφή, ενώ άλλα επιτρέπουν να διαβάζονται και να γράφονται εργασίες. Το κόστος αυτής της προστιθέμενης ευελιξίας απαιτεί επιπλέον θύρες μνήμης και εσωτερική πολυπλοκότητα μνήμης.

5.9.3 Μικροεπεξεργαστές

Μικροεπεξεργαστές είναι ζωτικής σημασίας συστατικά για πολλά ψηφιακά συστήματα. Αφού συχνά χρησιμοποιούνται σε συνδυασμό με τη λογική FPGA, είναι λογικό να εξεταστεί το ενδεχόμενο ένταξής τους σε ένα fabric λογικής FPGA.

5.10 Commercial Logic Blocks

Μια προκλητική πτυχή ενός σκληρού επεξεργαστή σε ένα FPGA είναι η ανάπτυξη των διεπαφών μεταξύ του επεξεργαστή, της μνήμης του συστήματος, και του soft fabric. Η εναλλακτική λύση για ένα σκληρό επεξεργαστή είναι ένας soft επεξεργαστής, κτισμένος έξω από το soft fabric και μια σκληρή λογική. Εντούτοις, ο soft επεξεργαστής μπορεί συχνά να προσαρμοστεί έτσι ώστε να ταιριάζει ακριβώς στις ανάγκες των απαιτήσεων για να κερδίσει πίσω κάτι από τη χαμένη απόδοση.



1.7 Μια πιθανή διαμόρφωση μιας XC3000 μπλοκ λογική Xilinx.

Adaptive Logic Module (ALM), όπως φαίνεται στην εικόνα (1.7)

Το ALM είναι μια 8-input δομή που μπορεί να εφαρμόσει πολλούς συνδυασμούς λογικών συναρτήσεων, συμπεριλαμβανομένων:

- Μια 6-εισόδου λειτουργία λογικής
- Δύο 4-εισόδου λογικές λειτουργίες
- Μια 5-είσοδου και μια 3-είσοδου λειτουργίες
- Δύο 6-εισόδου λειτουργίες που μοιράζονται την ίδια λειτουργία και λογική 4 εισόδων.

Αυτό το επίπεδο της λογικής υποστηρίζεται τώρα από τους ενισχυμένους αλγορίθμους σύνθεσης οι οποίοι μπορούν να αξιολογήσουν μια σειρά από πιθανές συνδυαστικές εφαρμογές.

Ένας στόχος της FPGA είναι η μείωση της περιοχής, της απόδοσης, και της δύναμης έναντι των συσκευών ASICs. Τέλος, η τεχνολογία κατασκευής εξελίσσεται, είναι σαφές δε ότι η ισχύς κατανάλωσης, είναι δυναμική και στατική και έχει αναδειχθεί σε σοβαρό ζήτημα. Είναι σημαντικό για τους αρχιτέκτονες να συνεχίσουν να σκέφτονται υψηλού επιπέδου αρχιτεκτονικές μεθόδους για την μείωση της κατανάλωσης ενέργειας.

Για να φιλοξενήσει μια ευρεία ποικιλία των κυκλωμάτων, η δομή διασύνδεσης πρέπει να είναι αρκετά ευέλικτη ώστε να υποστηρίξει πολύ διαφορετικές τοπικές και απομακρυσμένες δρομολόγησης πετυχαίνοντας μαζί με τους στόχους του σχεδιασμού την

επίδοση ταχύτητας και κατανάλωσης ενέργεια.

5.11 FPGA Δρομολόγηση Αρχιτεκτονική Επισκόπηση

Ένα βασικό ζήτημα στο FPGA σχεδιασμό, είναι η οργάνωση της παγκόσμιας δρομολόγησης αρχιτεκτονικής, η οποία είναι η μακροσκοπική κατανομή των καλωδίων που δεν επικεντρώνονται, σχετικά με την πιο μικροσκοπική εναλλαγή μεταξύ των καλωδίων. Η παγκόσμια δρομολόγηση αρχιτεκτονικής καθορίζει τη σχετική θέση των διαύλων δρομολόγησης σε σχέση με την τοποθέτηση της λογικής μπλοκ, το πώς κάθε κανάλι συνδέεται με άλλα κανάλια, και ποιος είναι ο αριθμός των συρμάτων σε κάθε κανάλι. Οι λεπτομέρειες δρομολόγησης αρχιτεκτονικής καθορίζουν τα μήκη των καλωδίων, τη ποσότητα και τα πρότυπα μεταξύ των συρμάτων και τις καρφίτσες λογικής μπλοκ.

Τα τελευταία χρόνια, το θέμα της single-drivers έναντι πολλαπλών drivers σύρματα, τα οποία σύρματα αυτά οδηγούν σε καλώδια που στέλνουν σήματα σε μια συγκεκριμένη κατεύθυνση. Ξεκινάμε με μια επισκόπηση των δύο κύριων τύπων της παγκόσμιας αρχιτεκτονικής δρομολόγησης, και στη συνέχεια θα προχωρήσουμε σε μια συζήτηση για διάφορες πτυχές της λεπτομερούς δρομολόγησης αρχιτεκτονικής. Η FPGA παγκόσμια αρχιτεκτονική δρομολόγηση μπορεί να χαρακτηριστεί ως ιεραρχική.

Αυτή η ιεραρχική παγκόσμια αρχιτεκτονική δρομολόγησης έχει χρησιμοποιηθεί σε ένα αριθμό εμπορικών οικογενειών FPGA Altera.

5.11.1 Island δρομολόγησης

Αρχιτεκτονικές απασχολούν γενικά τμήματα των καλωδίων σε διάφορα μήκη γιατί κάθε κανάλι προσπαθεί να παρέχει το πλέον κατάλληλο μήκος για κάθε δεδομένη σύνδεση. Μπορεί επίσης να κλιμακωθεί συνήθως το σημείο εκκίνησης της με σύρμα έτσι ώστε κάθε μπλοκ λογικής να έχει την ευκαιρία της σύνδεσης της στην έναρξη με ένα καλώδιο με το πλέον κατάλληλο μήκος.

Αυτή η δομή δρομολόγησης προσφέρει μια σειρά από επιθυμητές ιδιότητες. Δεδομένου ότι η δρομολόγηση των καλωδίων διαφορετικών μήκων είναι σε στενή φυσική εγγύτητα στο μπλοκ λογικής, μπορούν να δημιουργηθούν αποτελεσματικές συνδέσεις. Με τα σημεία έναρξης και λήξης των τμημάτων του καναλιού, το μήκος και η φυσική διάταξη για κάθε μπλοκ λογικής μπορούν να βελτιστοποιηθούν για να σχηματίσουν ένα ενιαίο πλακάκι. Ο συνδυασμός αυτός αυτή της λογικής και της δρομολόγησης των κεραμιδιών μπορεί να αναπαραχθεί σε δύο διαστάσεις για να σχηματισθεί ο πίνακας FPGA. Ως αποτέλεσμα αυτής της κανονικότητας, η ελάχιστη δυνατή καθυστέρηση δρομολόγησης μεταξύ μπλοκ λογικής μπορεί γρήγορα να εκτιμηθεί.

Αρκετές μελέτες έχουν εξετάσει τη δρομολόγηση και τις αρχιτεκτονικές που περιλαμβάνουν μια ποικιλία από μήκη σε κάθε κανάλι δρομολόγησης. Το κλάσμα των τμημάτων ενός συγκεκριμένου μήκους σε κάθε κανάλι καθορίζει τη διαίρεση σε τμήματα διανομής.

5.11.2 Δρομολόγηση Αρχιτεκτονικής

Η ανάγκη για ένα μείγμα από μήκη σε συσκευές με island ύφος, έκανε την FPGA να παρακινηθεί από τα χαρακτηριστικά της αναφοράς και να συμπεριλαμβάνει σχέδια που απευθύνονται στις συσκευές. Το ποσό της διασύνδεσης που απαιτείται από ένα κύκλωμα έχει διαπιστωθεί ότι συνδέεται με μια πολύ γνωστή σχέση μεταξύ του μεγέθους μιας ομάδας της λογικής με τον αριθμό των εξωτερικών συνδέσεων.

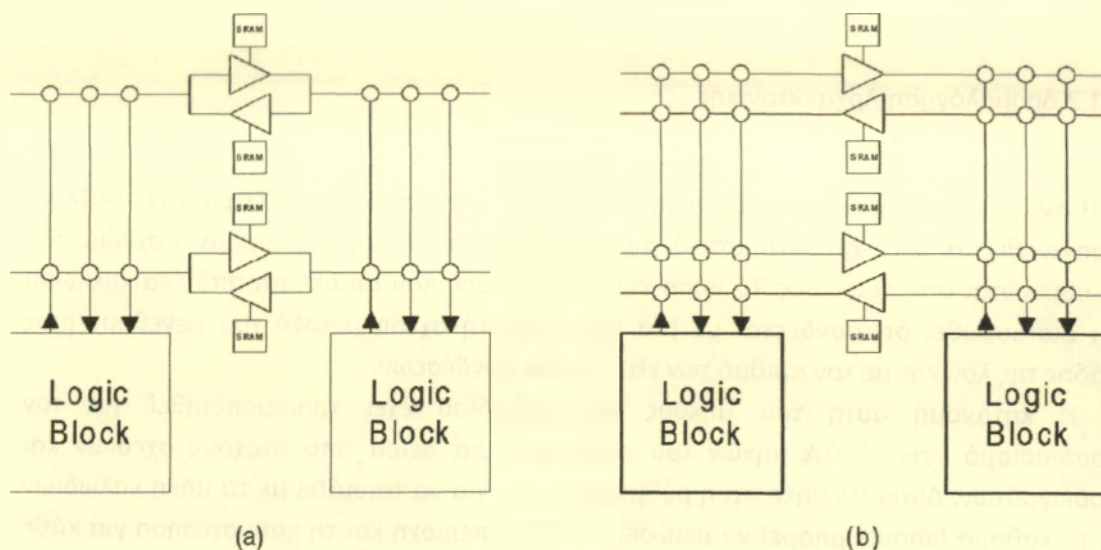
Η κατανομή αυτή του μήκους του καλωδίου έχει χρησιμοποιηθεί για τον προσδιορισμό των FPGA μηκών του τομέα για μια σειρά από στόχους σχεδίων και υποδειγμάτων. Διαπιστώθηκε ότι η ρύθμιση μήκων, για να ταιριάζει με τα μήκη καλωδίων και τα καθαρά fanouts μπορεί να μειώσει την FPGA περιοχή και τη καθυστέρηση για κάθε περίπτωση χωριστά. Ωστόσο, δεδομένου ότι τα σχέδια που στοχεύουν FPGA συχνά έχουν πολύ διαφορετικές απαιτήσεις καλωδίωσης και μπορεί δύσκολα να σχεδιαστεί μια ενιαία κατανομή κατάτμηση με αναλυτικές τεχνικές που πληροί όλες τις απαιτήσεις.

Πολλές μελέτες έχουν προσπαθήσει να καθορίσουν FPGA κατάτμηση από τη δρομολόγηση μιας σειράς σχεδίων και την εξέταση μηκών καλωδίων που χρησιμοποιούν παγκόσμια δρομολόγηση και που ακολουθούνται από λεπτομερή δρομολόγηση για να ολοκληρωθεί η σχεδίαση FPGA. Αν και αυτή η μελέτη αμφισβήτησε την ανάγκη για τμήμα μήκους μεγαλύτερο από το μήκος 2 ή 3, σε δύο στάδια router, αύξησε την δυσκολία ανταλλαγής συρμάτων και περιόρισε τη χρήση του πλέον τμήματα Betz et al.

Αυτή η μελέτη επαλήθευσε τη σημασία της συμμετοχής σημαντικών μεσαίου μήκους τμημάτων τα οποία καλύπτουν μεταξύ 4 και 6 μπλοκ λογικής σε μία island-ύφους δρομολόγηση αρχιτεκτονικής. Είναι γνωστό, ότι τα tri-state buffers προσφέρουν ταχύτερη διασύνδεση για τις συνδέσεις που περνούν από πολλούς διακόπτες. Ως αποτέλεσμα, οι FPGA συσκευές παρέχουν καλύτερα χαρακτηριστικά καθυστέρησης με την ίδια κατανάλωση από εκείνες που παρέχουν μόνο έναν τύπο του διακόπτη.

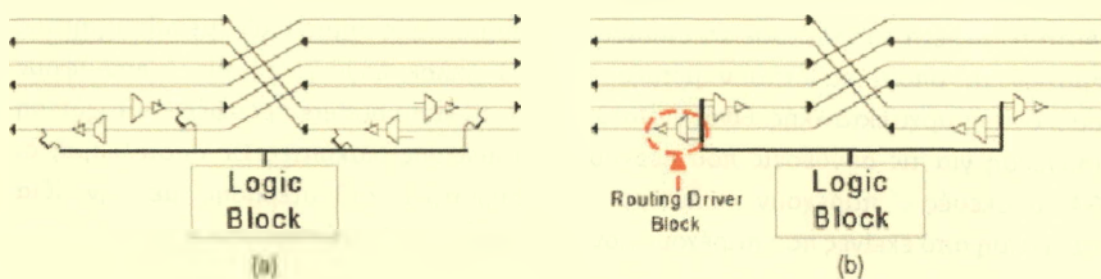
5.12 Μονοκατευθυντικά Single-Driver Αρχιτεκτονικές Δρομολόγησης

Η χρήση της διπλής κατεύθυνσης τμημάτων καλωδίων μπορεί να αφήσει πολλές δρομολογήσεις διακόπτων που δεν έχουν χρησιμοποιηθεί. Μόλις προγραμματιστεί, κάθε αλλαγή θα είναι σε θέση να οδηγείται μόνο ένα τμήμα καλωδίου αφήνοντας τον υπόλοιπο να αξιοποιήσει τους πόρους που δεν έχουν χρησιμοποιηθεί. Για παράδειγμα, στην εικόνα (1.8 (α)), τουλάχιστον το 50% του το tri-state buffers θα είναι ανενεργό. Επιπρόσθετα, το επιπλέον σύρμα χωρητικότητας επηρεάζει την καθυστέρηση. Αντίθετα, ένα κατευθυντήριο τμήμα σύρμα οδηγείται σε μια ενιαία κατεύθυνση. Όπως φαίνεται στην εικόνα(1.8 (β)), χρησιμοποιείται το ήμισυ των απαιτούμενων τριών καταστάσεων buffers ανά διακόπτη.



1.8 Αμφίδρομα και κατευθυνόμενα καλώδια

Σχήμα 1.9 δείχνει δύο διαφορετικές επιλογές που υπάρχουν για την εφαρμογή της κατεύθυνσης ανά τμήμα, σύρμα και διακόπτες σε ένα μπλοκ δρομολόγησης. Στην πρώτη εφαρμογή, φαίνεται στην εικόνα (1.9 (α)), ότι κάθε τμήμα του σύρματος οδηγείται από παρακείμενα τμήματα καλωδίου σε ένα μόνο διακόπτη. Αυτές οι συνδέσεις αντιπροσωπεύουν τις λογικές συνδέσεις πεδίο ελέγχου.



1.9 Κατευθυνόμενα μπλοκ δρομολόγησης σύνδεση: (α) DIR-τρι (β) μονού οδηγού.

Επιπλέον, κάθε τμήμα του σύρματος μπορεί να κινείται από ένα ή περισσότερα μπλοκ λογικής και η έξοδος μπορεί να περάσει μέσω ενός τρανζίστορ. Στην εφαρμογή αυτή αναφέρεται ως μια κατευθυντική εφαρμογή τριών καταστάσεων (DIR-TRI). Μια εναλλακτική προσέγγιση για την εφαρμογή της κατεύθυνσης των καλωδίων φαίνεται στην εικόνα (1.9 (β)). Σε αυτό το μονό-οδηγό εφαρμογής, ένας πολυπλέκτης διακόπτης επιλέγει τις εισροές και από τα δύο τμήματα καλωδίων και των πηγών λογικής μπλοκ για κάθε έξοδο του σύρματος.

Μια ανησυχία υπάρχει όταν χρησιμοποιείται σύρμα κατεύθυνσης στη θέση της αμφίδρομης διαδρομής γιατί υπάρχει πιθανή αύξηση του αριθμού των απαιτούμενων συρμάτων ανά κανάλι.

Έγινε εμφανές ότι ένα μόνο πρόγραμμα οδήγησης αρχιτεκτονικής δρομολόγησης ήταν ανώτερο για αρχιτεκτονική με αμφίδρομους προσκρουστήρες κατά 25% για τον τομέα και κατά 9% για καθυστέρηση. Μεγάλο μέρος της βελτίωσης της περιοχής έγινε λόγω της

μονής κατεύθυνσης της δρομολόγησης (20% βελτίωση). Η καθυστέρηση αυτή και η μείωση αυτή οφείλεται κυρίως στην μειωμένη χωρητικότητα σε κάθε καλώδιο και τη μειωμένη συνολική περιοχή δρομολόγησης.

5.13 Πρόσθετη Βελτίωση Δομής Δρομολόγησης

Εκτός από τη σχετικά πρόσφατη εισαγωγή του ενιαίου-οδηγού αρχιτεκτονικών, έγιναν και άλλες προσπάθειες για να βελτιωθεί η δρομολόγηση FPGA, που είναι η απόδοση μέσω της ενσωμάτωσης των λιγότερο γενικά προγραμματιζόμενων ή <<Συρματωμένων>> συνδέσεων.

Υπάρχει τεχνική για τους διακόπτες που με τη δυνατότητα προγραμματισμού μπορεί να δημιουργήσει σταθερή καλωδίωση με μέταλλο που ταιριάζουν με αυτά τα πρότυπα. Τα καλώδια με απόσταση μεγαλύτερη από την απόσταση μεταξύ τους αυτό βέβαια μπορεί να μειωθεί με αποτέλεσμα να μειώνεται η χωρητικότητα στο καλώδιο και να αυξάνεται η ταχύτητα.

Οι πρόσφατες τάσεις στην καλωδίωση ενός οδηγού για FPGA δρομολόγηση έχουν αιτιολογηθεί από την εφαρμογή του νέου κυκλώματος τρανζίστορ σε επίπεδο δομές στην οικοδόμηση της δρομολόγησης διακόπτες. Τρία ειδικά θέματα που έχουν μελετηθεί για τη στήριξη δρομολόγησης και τη μείωση καθυστέρησης, είναι η κατασκευή buffer, τρανζίστορ, καθώς και η δρομολόγηση οδηγού πολυπλέκτη .

5.13.1 Bus-Based Routing

Ένας αριθμός από ερευνητές έχουν επισημάνει ότι εάν τα σήματα σε ένα FPGA ομαδοποιούνται όπως τα bus, τότε ο έλεγχος των προγραμματιζόμενων διακόπτων θα μπορούσε να αποσβεστεί σε όλο το bus .Η έννοια αυτή προτάθηκε για πρώτη φορά .Επιπλέον, η ικανότητα των λεωφορείων συνδέσεις μπορούν να χρησιμοποιηθούν για να μειωθεί ο συνολικός αριθμός των διακοπών .Μια σειρά δρομολόγησης βελτιστοποίησης αρχιτεκτονικής θεωρείται ότι εκμεταλλεύεται τη δομή των bus από τα πολλά κυκλώματα datapath.

Τουλάχιστον τέσσερα FPGA μπλοκ λογικής και τα κεραμίδια διασύνδεσης είναι αναγκαία για την εφαρμογή της και ανακοινώνουν την ανάγκη εισόδου του κυκλώματος και εξόδου.

5.13.2 Συνεχή διοχέτευση Δρομολόγησης

Παρά το γεγονός ότι τα τελευταίες ταχύτητες ρολογιού FPGA προσέγγισης είναι 200-400 MHz, εξακολουθούν να υστερούν κατά πολύ από τους ομολόγους τους μικροεπεξεργαστές. Επιπλέον, ενώ ένας ειδικός μικροεπεξεργαστής λειτουργεί στην ίδια συχνότητα για κάθε εφαρμογή, οι FPGA συχνότητες λειτουργίας ποικίλλουν από εφαρμογή σε εφαρμογή. Σε γενικές γραμμές, οι διασυνδέσεις καθυστέρησης που συνδέονται με FPGA δρομολογήσεις είναι υπεύθυνες για τα αυτά θέματα. Η βασική ιδέα είναι να έχουμε ένα ένθετο router μητρώων, όσο αυτό δρομολογεί αυξάνει την συχνότητα ρολογιού σε αντάλλαγμα για το προστιθέμενο κύκλο λανθάνουσας κατάστασης. Ενώ η

συνεχή χρήση των ενισχυμένων ποσοστά ρολόγια, περιπλέκουν το FPGA δρομολόγησης και προκαλούν προβλήματα.

Αυτή η προσέγγιση των αγωγών της αγοράς σε τμήμα συνδέσεων μπορεί να μπλοκάρει τη λογική I / O. Όλα τα σχέδια αντιστοιχίζονται με το FPGA για να τρέξει με την ίδια συχνότητα ρολογιού του συστήματος. Η δρομολόγηση flip-flops οδηγεί σε 50% αύξηση της συνολικής περιοχής δρομολόγησης. Η παρουσία του flip-flops σε αλγόριθμους δρομολόγησης FPGA, προσπαθεί να ελαχιστοποιήσει το αριθμό σε γωνιά στροφών συμπεριλαμβάνοντας διαδρομές για την διανομή flip-flops. Αν και αυτή η προσέγγιση δείχνει υπόσχεση, η περιοχή απόδοσης των σχεδίων δεν έχει βελτιωθεί σημαντικά για την προτεινόμενη αρχιτεκτονική και τη ροή. Επιπλέον, όσα σχέδια δεν είναι κατάλληλα για τον επαναπροσδιορισμό του χρόνου και έτσι μπορεί να υποστεί ποινή και λανθάνουσα κατάσταση.

5.14 Τα θέματα που σχετίζονται με το ρεύμα

Επιπλέον η FGPA δρομολόγηση έχει παραδοσιακά πάει σε μια ισορροπημένη περιοχή και η καθυστέρηση, έχει πρόσφατα καταστεί ένα σημαντικό θέμα στην κατανάλωση ενέργειας FGPA που βρίσκεται στην προγραμματιζόμενη διασύνδεση. Δυναμική ενέργεια μπορεί να εξοικονομηθεί με τη μείωση της τάσης τροφοδοσίας.

Οι τεχνικοί μειώνουν την δυναμική στατική κατανάλωση ρεύματος σε FGPA δρομολόγησης. Για την καλωδίωση, αυτές οι τεχνικές περιέχουν τόσο πολυπλέκτες και προσκρουστήρες δρομολόγησης.

Όσον αφορά τη μείωση της απόδοσης, σημειώνεται ότι στο σημείο αναφοράς των κυκλωμάτων τους, το 75% της δρομολόγησης των πόρων θα μπορούσε να ανεχθεί επιβράδυνση, και για περισσότεροι διακόπτες θα μπορούσαν να αντέξουν την χαμηλότερη απόδοση για μια διαδικασία 70 nm.

Διαπιστώθηκε ότι η διαρροή ρεύματος μειώνεται κατά 35% όταν λειτουργούν τα τρανζίστορ σε κατάσταση χαμηλής κατανάλωσης. Επίσης, οι συγγραφείς διαπίστωσαν 28% μείωση της δυναμικής ισχύος μεταγωγής, όταν λειτουργούν σε λειτουργία χαμηλής ισχύος. Μια ενδιαφέρουσα προσέγγιση για τη χρήση υψηλής Vt τρανζίστορ για τον έλεγχο κατανάλωσης ενέργειας περιλαμβάνει τη χρήση περιττών bits SRAM για να γίνει έλεγχος αξιοποιημένων μονοπατιών των προσκρουστήρων που έχουν πολλές εισόδους, υλοποιείται σε πολλαπλά στάδια για να συμβάλει στη μείωση χωρητικότητας στον κόμβο εξόδου πολυπλέκτη.

Ενώ αυτή η προσέγγιση ελαχιστοποιεί τον αριθμό των απαιτούμενων SRAM κυττάρων, αν το τρανζίστορ αφήσει αξιοποιημένα μονοπάτια, αυτά οδηγούν σε περιττή κατανάλωση ισχύος διαρροή. Οι τάσεις μπορούν να ελέγχονται από κυκλώματα που διορθώνουν το όριο σε ένα επίπεδο-στόχο.

5.14.1 Input / Output Αρχιτεκτονική και Δυνατότητες

Οι δομές λογικής και δρομολόγησης που περιγράφονται στις προηγούμενες ενότητες εξυπηρετούσε ως γενική πλατφόρμα, όμως ο σκοπός αυτός μπορεί να χρησιμοποιηθεί σε πολλές διαφορετικές εφαρμογές. Η πλατφόρμα αυτή επιτρέπει τη διασύνδεση σε πολλές διαφορετικές ταχύτητες και τάσεις με το ευρύ φάσμα των εξωτερικών στοιχείων που μπορεί να συνδεθεί σε ένα FPGA. Αυτό γίνεται μέσω ειδικών εισόδου / εξόδου pads και κύτταρα σε FPGAs.

Αναφερόμαστε στο I / O pad και γύρω από την υποστήριξη λογικής και το κύκλωμα ως cell εισόδου / εξόδου. Αυτά τα cells είναι σημαντικά συστατικά ενός FPGA τόσο γιατί αυτή η διασύνδεση καθορίζει το επιτόκιο για τις εξωτερικές επικοινωνίες όσο ότι τα κύτταρα αυτά σε συνδυασμό με την υποστήριξη των περιφερειακών τους καταναλώνουν ένα σημαντικό μέρος της περιοχής ενός FPGA.

Κρίσιμο στοιχείο στον I / O σχεδιασμό των κυττάρων είναι η επιλογή προτύπων για τη διεπαφή για την υποστήριξη.

5.15 Βασικές I / O Πρότυπα

Η μεγάλη πρόκληση του σχεδιασμού αρχιτεκτονικής εισόδου / εξόδου είναι η μεγάλη ποικιλομορφία σε εισόδου / εξόδου πρότυπα. Για παράδειγμα, διαφορετικά πρότυπα μπορεί να απαιτήσουν διαφορετικά κατώτατα όρια της τάσης εισόδου και των επιπέδων τάσης εξόδου. Για να υποστηριχθούν αυτές τις διαφορές, συχνά απαιτούνται διαφορετικές I / O τάσεις τροφοδοσίας για κάθε πρότυπο. Μπορούν τα πρότυπα επίσης να απαιτήσουν μια τάση αναφοράς ώστε να συγκρίνουν τις τιμές τάσης εισόδου. Άλλα πρότυπα απαιτούν διόδους σύσφιξης που επιτρέπουν συγκεκριμένες ασυνήθιστα υψηλές ή χαμηλές τάσεις για να γίνει ανεκτή η τάση. Πολλά πρότυπα βασίζονται σε διαφορετική σηματοδότηση για τη βελτίωση του θορύβου και επιτρέπουν αυξημένες ταχύτητες μετάδοσης δεδομένων. Η σωστή λύση είναι απαραίτητη για τη διατήρηση της ακεραιότητας του σήματος αλλά διαφορετικά πρότυπα έχουν διαφορετικές απαιτήσεις τερματισμού.

5.16 I / O Θέματα Αρχιτεκτονικής

Μια από τις πιο σημαντικές αποφάσεις στον τομέα της αρχιτεκτονικής εισόδου / εξόδου σχεδιασμού είναι η επιλογή των προτύπων που θα υποστηριχθεί. Αυτό περιλαμβάνει προσεκτικούς συμβιβασμούς διότι, σε αντίθεση με λογική δομής γενικής χρήσης, όπως το LUT, η οποία μπορεί να εφαρμόσει οποιαδήποτε ψηφιακή λειτουργία, μια I / O cell μπορεί να εφαρμοστεί μόνο στα πρότυπα που επιλέγονται από το I / O σχεδιαστή των κυττάρων. Ωστόσο, η απόφαση για το ποια πρότυπα θα υποστηριχθούν δεν είναι καθόλου απλή. Η υποστήριξη μιας μεγαλύτερης στον αριθμό ομάδας προτύπων μπορεί να αυξήσει την περιοχή πυριτίου που απαιτούνται για την I / O κύτταρα. Επιπλέον, η χωρητικότητα pin μπορεί να αυξηθεί με κάθε πρότυπο, το οποίο μπορεί να περιορίσει την απόδοση. Ωστόσο, η χρησιμότητα των FPGA εξαρτάται από την ευελιξία τους, συμπεριλαμβάνοντας την

ικανότητα να υποστηρίζουν διαφορετικά πρότυπα. Η τελική επιλογή των προτύπων εξαρτάται συχνά σε μεγάλο βαθμό από τους παράγοντες των επιχειρήσεων, και ως εκ τούτου η επιλογή των προτύπων για την υποστήριξη συνήθως γίνεται από το εμπόριο ενός πωλητή FPGA. Μόλις γίνουν γνωστά τα πρότυπα I / O είναι απαραίτητο να καθορισθεί ποια είσοδο / έξοδο θα υποστηρίξει κάθε πρότυπο.

Ωστόσο, αυτή η γενικότητα δίνει στον σχεδιαστή του κυκλώματος τη δυνατότητα να χρησιμοποιεί τα τσιπ με μεγαλύτερη ευελιξία. Διαφορετικά πρότυπα μπορεί να περιοριστούν σε διαφορετικές ομάδες I / O. Αυτή η προσέγγιση μπορεί να οδηγήσει σε πιο εύκολο ηλεκτρικό σχεδιασμό και με χαμηλότερο κόστος.

Η I / O κυττάρου μπορεί να περιορίσει την ευελιξία του τυπωμένου κυκλώματος σχεδιαστή. Ωστόσο, η αύξηση του αριθμού εισόδου / εξόδου FPGA και ο αριθμός του προτύπου για την δια-chip επικοινωνίας έχει κάνει την πλήρη ισοδυναμία ανέφικτη. Τα περισσότερα σύγχρονα FPGA έχουν υιοθετήσει μια I / O τραπεζικού συστήματος στο οποίο η είσοδος / έξοδος είναι σε προκαθορισμένες θυρίδες. Μια ενιαία τράπεζα δεν μπορεί να υποστηρίξει όλες τις προδιαγραφές ταυτόχρονα, αλλά διαφορετικές τράπεζες μπορεί να έχουν διαφορετικές προμήθειες για την υποστήριξη διαφορετικών προτύπων. Η χρήση διαφορετικών I / O είναι πλέον μια καθιερωμένη πρακτική. Σε μερικές οικογένειες FPGA ο αριθμός των I / O ανά θυρίδα είναι σχετικά σταθερή για όλα τα μεγέθη συσκευές σε 64 ακίδες ανά τράπεζα ή 40 ακίδες ανά θυρίδα. Στο άλλο άκρο, κάποιες FPGA οικογένειες υιοθετήσουν ένα σταθερό αριθμό θυρίδων σε όλες τις συσκευές της οικογένειας FPGA. Αυτή η τελευταία προσέγγιση σημαίνει ότι ο αριθμός των ακίδων ανά τράπεζα θα είναι σημαντικά μεγαλύτερος για τα μεγαλύτερα μέλη της οικογένειας. Ο αριθμός των ακίδων ανά τράπεζα επιτρέπεται επίσης να αυξηθεί.

Οι θυρίδες θα είναι εξίσου λειτουργικές. Κάθε τράπεζα θα μπορούσε ανεξάρτητα να υποστηρίξει κάθε πρότυπο εισόδου / εξόδου που υποστηρίζεται από τη συσκευή. Αυτή η προσέγγιση που χρησιμοποιείται για κάποια FPGA ακίδα είναι εντελώς ευέλικτη και η χρήση ενός προτύπου μέσα σε μια θυρίδα μπορεί να αποκλείει τη χρήση άλλων προτύπων, εντός της ίδιας θυρίδας, λόγω των ασυμβίβαστων απαιτήσεων τάσεων. Αυτή η μειωμένη ευελιξία μπορεί να σώσει τη περιοχή. Η ευελιξία και ως εκ τούτου, η εμπορευσιμότητα δείχνει ότι όλες οι τράπεζες θα πρέπει να είναι ισοδύναμες με όσο το δυνατόν λιγότερες ακίδες ανά τράπεζα. Αυτό αυξάνει τις απαιτήσεις για την περιοχή I / O κυττάρων. Σε ελάχιστα πρότυπα, απαιτούν δύο I / O κύτταρα για να ταιριάζουν μαζί με πομπούς και δέκτες.

5.17 Προκλήσεις για την I / O Αρχιτεκτονικής και Σχεδιασμού

Έχουμε συζητήσει εν συντομία μερικά από τα πολλά ζητήματα που πρέπει να εξεταστούν στο σχεδιασμό των I / O αρχιτεκτονικής ενός FPGA. Ενώ η σύγχρονη εμπορική FPGA παρέχει κάποιες λύσεις σε αυτά τα ερωτήματα σχεδιασμού, η FPGA αρχιτεκτονική I / O παραμένει σχετικά ανεξερεύνητη περιοχή. Μια καλύτερη κατανόηση των κατάλληλων για I / O τραπεζών είναι αναγκαία. Η ηλεκτρική σχεδίαση των ευρέως προγραμματιζόμενων κύτταρων I / O είναι ένα δύσκολο και ανοιχτό πρόβλημα. Υπάρχουν έξυπνοι τρόποι για να δημιουργήσετε ένα μόνο κύτταρο που θα στηρίξει πολλά πρότυπα αποτελεσματικά κατά τη

χρήση και διασφαλίζοντας ότι η υποστήριξη του ενός προτύπου δεν έρχεται σε αντίθεση με άλλες. Οι αποφάσεις για το ποια πρότυπα θα υποστηριχτούν και πώς θα υποστηριχτούν θα γίνει όλο και πιο προκλητική.

5.18 Το χάσμα μεταξύ FPGA και ASICs

Είναι κατανοητό ότι τα FPGAs υποφέρουν από την άποψη της περιοχής, της απόδοσης, και της κατανάλωσης ενέργειας σε σχέση με τα ASICs. Έτσι οι αρχιτέκτονες FPGA έχουν ως στόχο να μειωθεί το χάσμα μεταξύ FPGAs και ASICs. Έχουν υπάρξει διάφορες συγκρίσεις μεταξύ FPGAs ή παρόμοιων συσκευών και ASICs στο παρελθόν. Πρόσφατα, μια πιο εμπεριστατωμένη σύγκριση έχει εκτελεστεί.

5.18.1 Εναλλακτικές λύσεις για FPGAs

Η μεγάλη έκταση, η απόδοση και το κενό δύναμης μεταξύ FPGA και ASIC αποτρέπει τη χρήση των FPGAs για ορισμένες εφαρμογές. Για την αντιμετώπιση αυτού του περιορισμού, υπάρχει μια σειρά από εναλλακτικές λύσεις για FPGA.

Τα οφέλη από την τυπική εφαρμογή ASIC κυττάρων σε σχέση με ένα FPGA είναι γνωστά, όπως ότι το FPGA περιλαμβάνει ένα χαμηλότερο κόστος σε μεγαλύτερες ποσότητες, υψηλότερες επιδόσεις και μειωμένη κατανάλωση ενέργειας. Ωστόσο, οι προκλήσεις των τυποποιημένων κυττάρων ASIC έναντι FPGA εφαρμογή περιλαμβάνει σημαντικά υψηλότερο NRE κόστος, μεγαλύτερο χρόνο κατασκευής και μια όλο και πιο περίπλοκη διαδικασία σχεδιασμού.

Μια υλοποίηση FPGA μπορεί να χρησιμοποιήσει κάποια χαρακτηριστικά της συσκευής απλά επειδή είναι ήδη διαθέσιμα, ενώ κάθε πρόσθετο χαρακτηριστικό ή πύλη που χρησιμοποιείται σε ένα ASIC συνεπάγεται και κάποιο κόστος. Αυτό μπορεί να αλλάξει την προσέγγιση που χρησιμοποιείται για ένα σχέδιο.

5.18.2 Δομημένα ASICs

Ενώ μια ASIC εφαρμογή μπορεί να προσφέρει σημαντική έκταση, απόδοση, και παροχές ρεύματος, οι δυσκολίες που πρέπει να ξεπεραστούν για να δημιουργηθεί ένα ASIC έχουν οδηγήσει στην ανάπτυξη των συσκευών που βρίσκονται μεταξύ ενός FPGA και ενός ASIC. Οι μάσκες έχουν καθοριστεί για όλα τα σχέδια. Αυτές οι μάσκες ορίζουν το βασικό fabric λογικής. Μερικές από αυτές τις μεθόδους που χρησιμοποιούν ένα ή περισσότερα στρώματα μεταλλικά για την προσαρμογή τους, ενώ άλλοι χρησιμοποιούν το ένα μέσω του στρώματος για προσαρμογή, σε συνδυασμό με δυνατότητα προγραμματισμού SRAM. Ένας παράγοντας που επηρεάζει την πυκνότητα της τελικής υλοποίησης είναι ο αριθμός των

μασκών από τον οποίο εξαρτάται το σχέδιο. Με περισσότερες μάσκες, είναι δυνατή μεγαλύτερη πυκνότητα, αλλά απαιτούν αυξημένες δαπάνες και χρόνο κατασκευής.

Το κύριο πλεονέκτημα της δομημένης ASIC πάνω από FPGA είναι η εξάλειψη των αφιερωμένων διακοπών και τα στοιχεία μνήμης που διαμορφώνονται. Η κατάργηση αυτή μειώνει την περιοχή, αυξάνει την απόδοση και μειώνει την κατανάλωση ενέργειας των δομημένων ASIC σε σύγκριση με FPGA υλοποιήσεις.

Σε αντίθεση με πρότυπο κυττάρων ASIC, υπάρχουν πολλές προσεγγίσεις για δομημένα ASIC που αναφέρονται ειδικά στις FPGA μετατροπή. Ωστόσο, η δομημένη ASIC δεν προσφέρει την πλήρη απόδοση, δύναμη, και περιοχή της αποτελεσματικότητας της ASIC και ως εκ τούτου, το πρόσθετο κόστος της υλοποίησης ASIC δεν είναι πάντα απαγορευτικό. Μία δομημένη ASIC πάσχει από πολλούς κινδύνους και καθυστερήσεις.

5.18.3 Σχεδιασμός-Ειδική δοκιμή

Μια εναλλακτική λύση για τη δημιουργία νέας συσκευής στην οποία η διεύθυνση FPGA είναι αναποτελεσματική είναι να δώσει ώθηση FPGA που είναι λιγότερο από πλήρως λειτουργική. Σε γενικές γραμμές, μόνο ένα μέρος των πόρων της FPGA χρησιμοποιείται από έναν τελικό χρήστη του. Κανονικά, η FPGA πρέπει να είναι πλήρως λειτουργική επειδή κάθε σχέδιο μπορεί να χρησιμοποιεί διαφορετικές πηγές FPGA. Ωστόσο, από τη στιγμή σχεδίασης τελικού χρήστη μπαίνει στην παραγωγή, ένα τμήμα το οποίο είναι λιγότερο από πλήρως λειτουργικό μπορεί να αρκεί για ένα διάστημα. Το 20-35 ώρες είναι ένα χάσμα μεταξύ FPGA και ASIC επειδή αυξάνει το κόστος τόσο λόγω ευρύτερης περιοχής πυριτίου που απαιτείται έναντι της ASIC και επειδή αυτή η ευρύτερη περιοχή οδηγεί σε μειωμένη απόδοση. Μόλις το κύκλωμα που πρέπει να εφαρμοστεί σε ένα FPGA είναι σταθερό, τα περισσότερα ελαττώματα που συμβαίνουν σε αχρησιμοποίητα τμήματα της FPGA δεν θα επηρεάσουν τη λειτουργία του κυκλώματος του τελικού χρήστη, εκτός από τα καταστροφικά ελαττώματα, όπως η δύναμη εδάφους μικρού μήκους. Επίσης είναι δυνατό να δοκιμαστούν τα μέρη στα οποία απέτυχε η δοκιμή για την πλήρη λειτουργικότητα.

Σε σύγκριση με άλλες προσεγγίσεις, αυτό το σχέδιο, σε συγκεκριμένες δοκιμές βελτιώνει την απόδοση κατασκευής και μειώνει το κόστος των δοκιμών FPGA. Σημειώνεται ότι αυτοί είναι μόνο δύο παράγοντες που συμβάλλουν με τη διαφορά κόστους FPGA. Η βασική εφαρμογή δεν έχει αλλάξει και, συνεπώς, η περιοχή, οι επιδόσεις, και η εξουσία θα παραμείνει αμετάβλητη. Ωστόσο, με τη βελτιωμένη απόδοση, η τιμή ανά FPGA μπορεί να μειωθεί. Σε σύγκριση με άλλες εναλλακτικές λύσεις FPGA, όφελος αυτής της προσέγγισης είναι η σημαντική μείωση του κόστους NRE. Η μετατροπή ενός σχεδίου ή υποδείγματος σε design specific FPGA δεν συνεπάγεται αλλαγές στη δομή του κυκλώματος και, αντ' αυτού, έχει αλλάξει μόνο τη διαδικασία επιλογής των μερών. Ωστόσο, είναι επίσης δυνατόν, ότι η ακαθάριστη λειτουργικότητα και ο σχεδιασμός ειδικών δοκιμών θα μπορούσε να εκτελεστούν και έτσι να μειώσουν το κόστος δοκιμών. Λαμβάνοντας υπόψη το υψηλό ακαθάριστο για FPGA, μια άλλη πιθανή αλλά όχι προσεγγίσιμη θα ήταν να εκτελεί μόνο τις δοκιμές για την πλήρη λειτουργικότητα του κατασκευαζόμενου μέρους. Τα πλήρως λειτουργικά μέρη θα μπορούσαν στη συνέχεια να πωληθούν, εφόσον ο κατασκευαστής δεν ήταν διατεθειμένος να δεχθεί μείωση κέρδους. Σε όλες τις περιπτώσεις,

στο τέλος ο χρήστης επωφελείται από τη μείωση του κόστους ανά συσκευή, χωρίς να κάνει αλλαγές στο σχεδιασμό τους.

BIBΛΙΟΓΡΑΦΙΑ

1. M. Sarrafzadeh, C.K. Wong, "An Introduction to VLSI Physical Design", Mc Graw-Hill, 1996
2. S. M. Kang, Y. Leblebici, "CMOS Digital Integrated Circuits, Analysis and Design", 3rd edition, Mc Graw-Hill, 2003
3. Z. Navabi, "Digital Design and Implementation with Field Programmable Gate Arrays", Kluwer, 2005
4. J. E. Ayers, "Digital Integrated Circuits, Analysis and Design", CRC Press, 2005
5. I. Kuon, R. Tessier, J. Rose, "FPGA Architecture: Survey and Challenges", Now Publishers, 2008
6. S. Sait, H. Youssef, "VLSI Physical Design Automation: Theory and Practice", World Scientific Publishing, 1999
7. http://en.wikipedia.org/wiki/Standard_cell
8. <http://www.vlsitechnology.org/>
9. http://en.wikipedia.org/wiki/VLSI_Technology
10. <http://el.wikipedia.org/wiki/FPGA>

Βιογραφικό

Η Μπάλλα Ρεζάρτα γεννήθηκε στην Αλβανία το 1989. Αποφοίτησε από το 1^ο γενικό λύκειο της Δραπετσώνας το 2007. Σπούδασε στην Σπάρτη στο Τμήμα Τεχνολογία Πληροφορικής και Τηλεπικοινωνιών. Έκανα την πρακτική μου άσκηση στην ΑΤΤΙCΑ ΒΑΝΚ στη Διεύθυνση Διαχείρισης Καθυστερήσεων Λιανικής Τραπεζικής.

