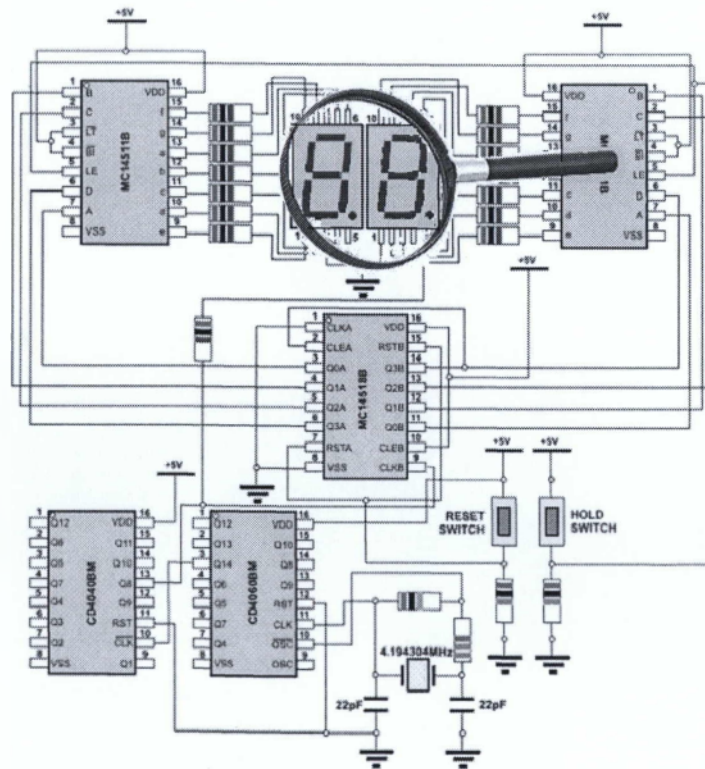




Προσομοίωση Οικογενειών Λογικών Πυλών



ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

ΔΕΥΤΕΡΑΙΟΥ ΘΕΟΔΩΡΑ Α.Μ. 2006115
ΓΙΑΤΡΑ ΚΩΝΣΤΑΝΤΙΝΑ Α.Μ. 2006007

ΕΠΙΒΛΕΠΩΝ: Δρ. ΚΑΡΑΛΗ ΕΥΑΓΓΕΛΙΑ

ΣΠΑΡΤΗ 2011

Πίνακας Περιεχομένων

Πρόλογος.....	5
Κεφάλαιο 1 ^ο	7
Οικογένειες Λογικών Πυλών	7
1.1 Ειδικά Χαρακτηριστικά Ψηφιακών Ολοκληρωμένων Κυκλωμάτων.....	7
1.2 Το Τρανζίστορ Διπολικής Επαφής.....	11
1.3 Οικογένεια RTL (Resistor Transistor Logic).....	12
1.4 Οικογένειες DTL (Diode Transistor Logic).....	13
1.5 Λογική Πύλη Τρανζίστορ TTL (transistor-transistor logic).....	16
1.5.1 Πύλη ανοιχτού συλλέκτη.....	17
1.5.2 Η έξοδος TOTEM.....	19
1.5.3 TTL τριών καταστάσεων εξόδου	22
1.5.4 Η πύλη Schottky TTL.....	24
1.6 Λογική Σύζευξη Εκπομπού ECL (Emitter Coupled Logic)	27
1.7 Τα τρανζίστορ MOS (Field Effect Transistor)	29
1.8 Εισαγωγή στα CMOS (COMPLEMENTARY METAL OXIDE SEMICONDUCTOR). 31	
1.8.1 Δομές MOSFET	31
1.8.2 Η λειτουργία του MOSFET.....	32
1.9 Αντιστροφείας CMOS	34
1.10 Λογικές Δομές CMOS [10].....	35
1.10.1 Στατική λογική δομή CMOS	36
1.10.2 Λογική Ψευδό – Nmos [10].....	38
1.10.3 Δυναμικές Λογικές Δομές CMOS.....	39
1.10.4 Συνδυασμένη Λογική CMOS	41
1.11 Διατάξεις Εισόδου – Εξόδου κυκλωμάτων CMOS.....	41
1.11.1 Βαθμίδες Εισόδου CMOS	41
1.11.1.1 Μη οδηγούμενες εισοδοί / εισοδοί αργής μετάβασης	42
1.11.2 Βαθμίδες Εξόδου CMOS.....	42

1.11.2.1 Άλλες Δομές Εξόδου CMOS.....	43
1.12 Κατανάλωση ισχύος Κυκλωμάτων CMOS	43
1.12.1 Στατική Κατανάλωση Ισχύος.....	43
1.12.2 Δυναμική Κατανάλωση Ισχύος.....	44
1.12.2.1 Ρεύμα Βραχυκυκλώματος.....	45
1.12.2.2 Ρεύματα Διαρροής.....	46
1.12.3 Συνολική Κατανάλωση Ισχύος.....	46
1.12.4 Μέγιστη Κατανάλωση Ισχύος.....	47
1.13 Λογικές Οικογένειες CMOS.....	47
1.13.1 Συμβατικές Λογικές Οικογένειες CMOS	47
1.13.1.1 Τάση Τροφοδοσίας.....	48
1.13.1.2 Οδηγητική Ικανότητα	49
1.13.1.3 Καθυστέρηση διάδοσης.....	49
1.13.1.4 Λογικές Στάθμες Εισόδου – Εξόδου	50
1.13.1.5 Θόρυβος Εξόδων	50
1.13.2 Λογικές Οικογένειες CMOS Χαμηλής Τάσης Τροφοδοσίας	51
1.13.2.1 Είσοδοι Ανεκτικοί σε Υπερτάσεις.....	52
1.13.2.2 Καθυστέρηση Διάδοσης.....	53
1.13.2.3 Οδηγητική Ικανότητα.....	53
1.14 Εξέλιξη Της Τεχνολογίας CMOS.....	54
Βιβλιογραφία.....	55
Κεφάλαιο 2.....	57
2.1 Εισαγωγή.....	57
2.2 RTL NOR.....	59
2.3 DTL NAND.....	60
2.4 TTL NAND	62
2.5 TTL TOTEM.....	64
2.6 ECL OR NOR.....	65

2.7 MOS NOT	67
2.8 MOS NOR.....	68
2.9 MOS NAND.....	70
2.10 CMOS NOT.....	72
2.11 CMOS NAND	73
2.12 CMOS NOR	75
2.13 Σύγκριση Λογικών Οικογενειών	77
Βιβλιογραφία	80
Επίλογος.....	81
Ακρωνύμια	82

Πρόλογος

Τα ψηφιακά κυκλώματα κατασκευάζονται κυρίως με χρήση ολοκληρωμένων κυκλωμάτων (που λέγονται για συντομία ICs – INTEGRATED CIRCUITS). Κάθε IC είναι ένας μικρός κρύσταλλος ημιαγωγού πυριτίου (Si), καλούμενος CHIP. Το CHIP περιλαμβάνει ηλεκτρικά στοιχεία όπως τρανζίστορς, διόδους αντιστάσεις και πυκνωτές. Τα στοιχεία αυτά είναι συνδεδεμένα μέσα στο CHIP ώστε να σχηματίζουν ένα ηλεκτρονικό κύκλωμα. Το CHIP τοποθετείται πάνω σε μεταλλικό ή πλαστικό στέλεχος και οι συνδέσεις συγκολλούνται σε εξωτερικά “ποδαράκια”, έτσι σχηματίζεται το IC. Τα ολοκληρωμένα κυκλώματα διαφέρουν από τα συμβατικά κυκλώματα διακριτών στοιχείων στο ότι τα στοιχεία τους δεν μπορούν να διαχωριστούν ή να αποσυνδεθούν από το κύκλωμα του εσωτερικού του ολοκληρωμένου πακέτου. Η σύνδεση του ολοκληρωμένου με το υπόλοιπο εξωτερικό κύκλωμα γίνεται μόνο με τους εξωτερικούς του ακροδέκτες (ποδαράκια). Τα IC κατατάσσονται όχι μόνο με βάση τη λειτουργία τους αλλά και την κατάταξή τους σε κάποια οικογένεια λογικών κυκλωμάτων. Κάθε “λογική οικογένεια” έχει το δικό της βασικό ηλεκτρονικό δίκτυο, που αποτελεί το δομικό στοιχείο για την κατασκευή πιο σύνθετων κυκλωμάτων. Η τοπολογία της βασικής πύλης, δίνει το όνομα στις λογικές οικογένειες. Μερικές από τις πιο γνωστές είναι οι TTL, ECL, MOS και CMOS.

Στην παρούσα εργασία θα ασχοληθούμε με τις οικογένειες λογικών πυλών. Στο κεφάλαιο 1 θα αναλύσουμε τις λογικές οικογένειες RTL, DTL, TTL, ECL, MOS και CMOS. Θα ξεκινήσουμε με τα πρώιμα ψηφιακά κυκλώματα, δηλαδή αυτά που χρησιμοποιούν τα τρανζίστορ διπολικής επαφής BJT. Θα αναφερθούμε στις πύλες RTL και DTL οι οποίες έχουν κυρίως ιστορική σημασία διότι δεν χρησιμοποιούνται πια στη σχεδίαση ψηφιακών συστημάτων. Η RTL ήταν η πρώτη εμπορική οικογένεια που χρησιμοποιήθηκε εκτενώς και είναι βασικό σημείο εκκίνησης για την κατανόηση βασικής λειτουργίας των ψηφιακών πυλών. Από την DTL θα δούμε τα χαρακτηριστικά της, καθώς και την πύλη NAND. Από την οικογένεια TTL θα αναφερθούμε στις εξόδους ανοιχτού συλλέκτη, totem και στις τρικατάστατες, επίσης θα μιλήσουμε για Sckottky τρανζίστορ τα οποία αποτελούν την πύλη Sckottky TTL. Μετά θα περάσουμε στην ECL και θα αναφερθούμε στη λογική σύζευξη εκπομπού. Τέλος θα μιλήσουμε για την οικογένεια MOS και CMOS, θα αναφερθούμε στην δομή της και στα χαρακτηριστικά της. Θα δούμε τον αντιστροφέα, την στατική και

δυναμική λογική δομή, τις διατάξεις εισόδου – εξόδου, την κατανάλωση ισχύος, τις λογικές οικογένειες και την εξέλιξη της τεχνολογίας των CMOS.

Στο κεφάλαιο 2 θα προσομοιώσουμε τη λειτουργία των οικογενειών λογικών πυλών, τις οποίες παρουσιάσαμε στο κεφάλαιο 1. Αντικειμενικός σκοπός αυτής της εργασίας είναι η μελέτη, ανάλυση και παρουσίαση των σημαντικότερων λογικών πυλών ώστε να κατανοηθούν καλύτερα η δομή και η λειτουργία τους. Σε αυτή αυτήν την προσπάθεια για την επίτευξη του στόχου αυτού γίνεται χρήση του εργαλείου της προσομοίωσης στο περιβάλλον του ηλεκτρονικού υπολογιστή. Ο προσομοιωτής Multisim που θα χρησιμοποιήσουμε για την ανάλυση των λογικών πυλών είναι ένα περιβάλλον λογισμικού που επιτρέπει τη σχεδίαση και προσομοίωση της λειτουργίας ηλεκτρονικών κυκλωμάτων. Η σχεδίαση γίνεται με τη βοήθεια βιβλιοθηκών, οι οποίες περιέχουν μοντέλα των πιο βασικών ηλεκτρονικών εξαρτημάτων και ολοκληρωμένων κυκλωμάτων που υπάρχουν σήμερα στην ηλεκτρονική αγορά. Θα χρησιμοποιήσουμε τον προσομοιωτή για να μελετήσουμε τη λειτουργία βασικών ψηφιακών κυκλωμάτων. Η προσομοίωση είναι μια βασική σχεδιαστική πρακτική, καθώς όσο πιο περίπλοκη και απαιτητική είναι μια εφαρμογή, τόσο μεγαλύτερη ανάγκη υπάρχει να την μελετήσει κανείς θεωρητικά πριν την υλοποιήσει πρακτικά.

Κεφάλαιο 1^ο

Οικογένειες Λογικών Πυλών

1.1 Ειδικά Χαρακτηριστικά Ψηφιακών Ολοκληρωμένων Κυκλωμάτων

Ικανότητα οδήγησης (Δυνατότητα εξόδου, Fan-out)

Πολλές φορές χρειάζεται να συνδεθεί η έξοδος μιας πύλης με εισόδους άλλων πυλών. Αυτό δεν μπορεί να γίνει για απεριόριστο αριθμό εισόδων. Ο μέγιστος αριθμός εισόδων που μπορούν να συνδεθούν στη έξοδο μιας πύλης (ικανότητα οδήγησης) ονομάζεται Fan-out της πύλης. Υπολογίζεται από το ποσό του ρεύματος που υπάρχει διαθέσιμο στην έξοδο της πύλης και το ποσό του ρεύματος που χρειάζεται η κάθε είσοδος μιας πύλης. Εάν στη έξοδο μιας πύλης συνδέσουμε αριθμό εισόδων μεγαλύτερο από το Fan-out της πύλης, επηρεάζονται αρνητικά το περιθώριο θορύβου, η καθυστέρηση διάδοσης και άλλα χαρακτηριστικά των πυλών. Για να βελτιώσουμε την ικανότητα οδήγησης χρησιμοποιούμε στις εξόδους των πυλών buffers (καταχωρητές). Ο αριθμός των εισόδων μιας πύλης αποτελεί το fan-in της πύλης. Πρακτικά το fan-in περιορίζεται στο 4, γιατί μεγαλύτερος αριθμός εισόδων επιδρά δραστικά στη καθυστέρηση διάδοσης της πύλης. Οι κατασκευαστές των ολοκληρωμένων κυκλωμάτων πολλές φορές αντί των fan-in και Fan-out δίνουν τα παρακάτω στοιχεία:

- I_{ih} (high level input current): Το ρεύμα που ρέει σε μια είσοδο όταν βρίσκεται σε κατάσταση H (λογικό 1)
- I_{il} (low level input current): Το ρεύμα που ρέει σε μια είσοδο όταν βρίσκεται σε κατάσταση L (λογικό 0)
- I_{oh} (high level output current): Το ρεύμα που ρέει σε μια έξοδο όταν βρίσκεται σε κατάσταση H (λογικό 1)
- I_{ol} (low level output current): Το ρεύμα που ρέει σε μια έξοδο όταν βρίσκεται σε κατάσταση L (λογικό 0)

Η ορθή λειτουργία ενός κυκλώματος απαιτεί την ικανοποίηση των σχέσεων: $\Sigma I_{il} < \Sigma I_{ol}$ και $\Sigma I_{ih} < \Sigma I_{oh}$

Κατανάλωση ισχύος (Power dissipation)

Κατανάλωση ισχύος είναι η συγκεκριμένη ποσότητα ισχύος που καταναλώνει μια πύλη για να λειτουργήσει (σε mW). Διακρίνεται σε στατική και δυναμική. Για την στατική κατανάλωση οι κατασκευαστές δίνουν συνήθως τα παρακάτω στοιχεία:

- ICC_H : το ρεύμα που ρέει στο V_{CC} όταν η έξοδος είναι High (λογικό 1)
- ICC_L : το ρεύμα που ρέει στο V_{CC} όταν η έξοδος είναι Low (λογικό 0)
- ICC_Z : το ρεύμα που ρέει στο V_{CC} όταν η έξοδος παρουσιάζει υψηλή αντίσταση (high impedance)

Για να υπολογίσουμε την μέση ισχύ χρησιμοποιούμε τη σχέση: $P_d = 1/3 V_{CC}$

Καθυστέρησης διάδοσης

Η καθυστέρηση διάδοσης μιας πύλης ορίζεται από την μέση τιμή του χρόνου καθυστέρησης της αλλαγής στάθμης κατά τη διάδοση του σήματος από την είσοδο στην έξοδο, στην περίπτωση που το δυαδικό σήμα αλλάζει τιμή. Για να διαδοθούν τα σήματα από την είσοδο στην έξοδο, μέσω της πύλης, απαιτείται ένα χρονικό διάστημα. Το διάστημα αυτό ορίζεται ως καθυστέρηση διάδοσης της πύλης και μετριέται σε nanoseconds (ns). Το άθροισμα των καθυστερήσεων διάδοσης μέσω των πυλών είναι η συνολική καθυστέρηση του κυκλώματος[4].

Η μέση τιμή του χρόνου καθυστέρησης διάδοσης μιας πύλης υπολογίζεται από τις κυματομορφές εισόδου και εξόδου. Όταν η έξοδος αλλάζει από την υψηλή στην χαμηλή στάθμη, αναφέρεται ως t_{PHL} . Αντίστοιχα, όταν η έξοδος πηγαίνει από την χαμηλή στην υψηλή στάθμη, η καθυστέρηση είναι t_{PLH} . Ο μέσος χρόνος καθυστέρησης διάδοσης υπολογίζεται από τη μέση τιμή των δυο καθυστερήσεων[4].

Ο συνολικός χρόνος καθυστέρησης ενός κυκλώματος είναι ίσος με την καθυστέρηση διάδοσης μιας πύλης επί τον αριθμό των λογικών επιπέδων του κυκλώματος. Έτσι η μείωση του αριθμού των λογικών επιπέδων έχει ως αποτέλεσμα την μείωση της καθυστέρησης του σήματος και επομένως την δημιουργία ταχύτερου κυκλώματος. Η μείωση της καθυστέρησης διάδοσης σε ένα κύκλωμα μπορεί να είναι πιο σημαντικός παράγοντας από την μείωση του συνολικού αριθμού των πυλών, εάν μας ενδιαφέρει η ταχύτητα λειτουργίας της πύλης[4].

Περιθώριο θορύβου(noise immunity)

Ο θόρυβος στα ψηφιακά κυκλώματα είναι ανεπιθύμητες τάσεις, οι οποίες επάγονται κυρίως από τις καλωδιώσεις και τις γραμμές των τυπωμένων κυκλωμάτων

και αλλοιώνουν τα επίπεδα των τάσεων, που αντιστοιχούν στις λογικές τιμές 0 και 1. Άλλες πηγές θορύβου αποτελούν η κοσμική ακτινοβολία, διάφορες ηλεκτρομαγνητικές αλληλεπιδράσεις και οι διαταραχές στην τάση τροφοδοσίας. Υπάρχουν δυο είδη θορύβου που πρέπει να ληφθούν υπόψη. Ο συνεχής θόρυβος (DC noise) προκαλείται από την ολίσθηση των επιπέδων τάσης ενός σήματος. Ο εναλλασσόμενος θόρυβος (AC noise) είναι ένας τυχαίος παλμός που μπορεί να δημιουργηθεί από άλλα διακοπτικά σήματα. Το μέγιστο θόρυβο, που μπορεί να προστεθεί σ' ένα κανονικό σήμα εισόδου χωρίς να προκαλέσει ανεπιθύμητες αλλαγές στην έξοδό του, τον ονομάζουμε περιθώριο θορύβου. Τον μετράμε σε Volts και αντιπροσωπεύει το μέγιστο σήμα θορύβου που μπορεί να ανεχθεί η πύλη [4].

Ταχύτητα

Είναι ο χρόνος που μεσολαβεί από τη στιγμή εφαρμογής ενός σήματος στην είσοδο μιας πύλης μέχρι τη στιγμή που το σήμα αυτό εμφανίζεται στην έξοδο. Ο χρόνος αυτός αναφέρεται στη σχετική βιβλιογραφία ως χρόνος καθυστέρησης διάδοσης (propagation delay time) και συμβολίζεται με τη συντομογραφία t_{pd} . Στα ειδικά εγχειρίδια πληροφοριών (data books) οι κατασκευαστές ολοκληρωμένων κυκλωμάτων δίνουν τους παρακάτω χαρακτηριστικούς χρόνους:

- t_{plh} : Πρόκειται για το χρόνο που μεσολαβεί από τη στιγμή που έγινε μια αλλαγή στην είσοδο, έως ότου η έξοδος αλλάξει από λογικό 0 σε λογικό 1
- t_{phl} : Είναι ο χρόνος που μεσολαβεί από τη στιγμή που έγινε μια αλλαγή στη είσοδο, έως ότου η έξοδος αλλάξει από λογικό 1 σε λογικό 0
- f_{max} : Αποτελεί τη μέγιστη συχνότητα των παλμών clock που μπορούν να λειτουργήσουν τα flip-flops της συγκεκριμένης οικογένειας

Για τον προσδιορισμό του χρόνου t_{pd} χρησιμοποιούμε τη σχέση: $t_{pd}=1/2 (t_{plh}+t_{phl})$

Τάση τροφοδοσίας και λογικά επίπεδα

Για κάθε οικογένεια ολοκληρωμένων κυκλωμάτων ο κατασκευαστής εκτός από την ονομαστική τάση τροφοδοσίας δίνει και τις επιτρεπτές ανοχές της. Η τάση τροφοδοσίας συμβολίζεται με V_{CC} . Τα ψηφιακά κυκλώματα δέχονται σαν εισόδους και παράγουν εξόδους σήματα δύο διακριτών τιμών τάσης. Η υψηλότερη τιμή χαρακτηρίζεται ως κατάσταση high και η χαμηλότερη ως κατάσταση low. Οι τάσεις αυτές μπορεί να είναι θετικές ή αρνητικές ανάλογα με την φιλοσοφία κατασκευής. Οι κατασκευαστές των ολοκληρωμένων κυκλωμάτων δίνουν τα παρακάτω στοιχεία

σχετικά με τις τάσεις που αντιστοιχούν στα επίπεδα H και L για τη περίπτωση θετικής λογικής:

- V_{ih} min (high level input voltage): η ελάχιστη τιμή τάσης εισόδου που μπορεί να θεωρηθεί λογικό 1
- V_{il} max (low level input voltage): η μέγιστη τιμή τάσης εισόδου που μπορεί να θεωρηθεί λογικό 0
- V_{oh} min (high level output voltage): η ελάχιστη τιμή τάσης εξόδου που μπορεί να θεωρηθεί λογικό 1
- V_{ol} max (low level output voltage): η μέγιστη τιμή τάσης εξόδου που μπορεί να θεωρηθεί λογικό 0

Οι τιμές των τάσεων εισόδου μεταξύ V_{ih} και $\max V_{CC}$ λαμβάνονται σαν λογικό 1 και οι τιμές μεταξύ V_{il} και GND λαμβάνονται σαν λογικό 0, καθορίζοντας τις περιοχές τάσεων που ονομάζουμε αντίστοιχα High και Low λογικά επίπεδα εισόδου. Με παρόμοιο τρόπο ορίζουμε και τα λογικά επίπεδα εξόδου μιας πύλης. Οι τιμές των τάσεων από V_{oh} μέχρι $\max V_{CC}$ αποτελούν το High λογικό επίπεδο, ενώ οι τιμές από το V_{ol} μέχρι το GND αποτελούν το Low λογικό επίπεδο. Οι τάσεις στις περιοχές μεταξύ V_{il} και V_{ih} για το σήμα εισόδου και μεταξύ V_{ol} και V_{oh} για το σήμα εξόδου οδηγούν σε απροσδιοριστία.

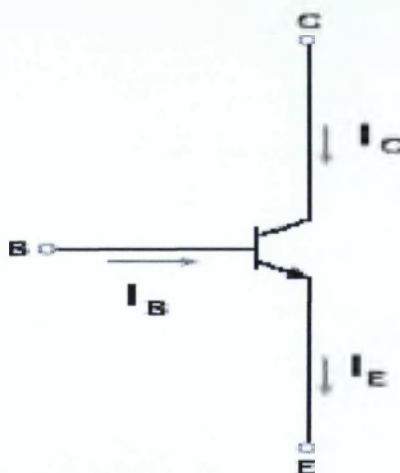
Στον παρακάτω πίνακα 1 βλέπουμε τα χαρακτηριστικά πυλών των διαφόρων οικογενειών.

Πίνακας 1. Χαρακτηριστικά πυλών των διαφόρων οικογενειών

	Οικογένεια						
	RTL	DTL	HTL	TTL	ECL	MOS	CMOS
Βασική πύλη	NOR	NAND	NAND	NAND	OR-NOR	NAND	NOR-NAND
Καθυστέρηση ανά πύλη	10	30	100	6-12	1-4	300	70
Συχνότητα flip-flop σε MHz	10	12-30	44	15-60	60-500	2	5
Αναισθησία στο θόρυβο	Μικρή	Καλή	Εξαιρετική	Αρκετά καλή	Μικρή	Μικρή	Πολύ καλή
Ισχύς ανά πύλη σε	10	8-12	50	10-20	40-50	0,2-10	0,01

1.2 Το Τρανζίστορ Διπολικής Επαφής

Τα πρώιμα ψηφιακά κυκλώματα χρησιμοποίησαν το τρανζίστορ διπολικής επαφής (Bipolar Junction Transistor – BJT) για την υλοποίηση των διαφόρων λογικών συναρτήσεων. Η ανάλυσή τους βασίζεται κυρίως σε τρανζίστορ τύπου NPN σχήμα 1, αλλά ισχύουν επίσης και για τρανζίστορ τύπου PNP αντίστοιχα. Στα ψηφιακά κυκλώματα το τρανζίστορ χρησιμοποιείται κατά κύριο λόγο ως διακόπτης.



Σχήμα 1. Τρανζίστορ τύπου NPN

Το τρανζίστορ διπολικής επαφής ως διακόπτης, σε γενικές γραμμές βρίσκεται είτε σε αποκοπή είτε σε κορεσμό.

Οι περιοχές λειτουργίας του τρανζίστορ δίνονται από τον παρακάτω πίνακα 2[2].

Πίνακας 2. Περιοχές λειτουργίας του τρανζίστορ

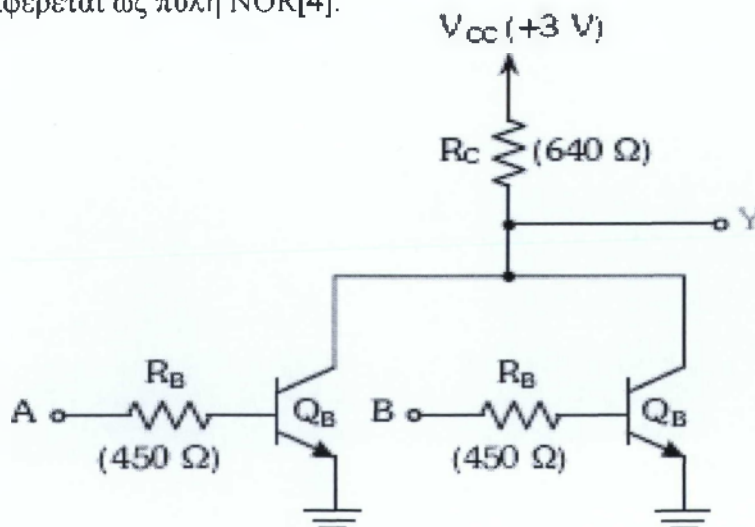
Περιοχή	Επαφή BE	Επαφή BC	Ρεύματα I_c I_B	Παρατηρήσεις
Ενεργή	Ορθά Πολωμένη	Ανάστροφα Πολωμένη	$I_c = \beta I_B$	$\beta =$ Συντελεστής κέρδους ρεύματος του τρανζίστορ
Αποκοπή	Ανάστροφα Πολωμένη	Ανάστροφα Πολωμένη	$I_B = 0, I_c = I_{CE0}$	$I_{CE0} =$ Ανάστροφο ρεύμα κορεσμού συλλέκτη, πρακτικά 0
Κορεσμός	Ορθά Πολωμένη	Ορθά Πολωμένη	$I_{CO} \neq \beta \cdot I_{BO}$	Τάση μεταξύ συλλέκτη και

				πομπού $V_{CE}=0.2V$ ή και χαμηλότερη
Αντίστροφη Λειτουργία	Ανάστροφα Πολωμένη	Ορθά Πολωμένη	$I_E = \beta_R \cdot I_B$	$\beta_R =$ συντελεστής κέρδους αντίστροφης λειτουργίας

1.3 Οικογένεια RTL (Resistor Transistor Logic)

Η πρώτη εμπορική οικογένεια εμφανίστηκε στις αρχές της δεκαετίας του 1960. Χρησιμοποιήθηκε εκτενώς στα ολοκληρωμένα λογικά κυκλώματα πυλών, ονομαζόταν τρανζίστορ λογικής αντίστασης RTL (Resistor Transistor Logic). Το βασικό κύκλωμα της οικογένειας RTL είναι η πύλη NOR. Σε κάθε είσοδο αντιστοιχεί μία αντίσταση κι ένα τρανζίστορ, σχήμα 2. Οι συλλέκτες όλων των τρανζίστορ συνδέονται στην έξοδο[4].

Αν οποιαδήποτε είσοδος της πύλης RTL είναι υψηλή, τότε το αντίστοιχο τρανζίστορ οδηγείται στον κορεσμό. Αυτό φέρνει την έξοδο σε χαμηλή τάση, ανεξάρτητα από την κατάσταση των υπολοίπων τρανζίστορ. Εάν πάλι όλες οι εισόδους είναι χαμηλές, τότε όλα τα τρανζίστορ είναι σε αποκοπή, διότι $V_{BE} < 0,6V$. Αυτό φέρνει την έξοδο του κυκλώματος ψηλά, κοντά στην τάση τροφοδοτικού V_{CC} , αφού όλα τα ρεύματα των συλλεκτών είναι "0". Έτσι επιβεβαιώνεται ότι το κύκλωμα αυτό συμπεριφέρεται ως πύλη NOR[4].



Σχήμα 2. Πύλη NOR σε συνδεσμολογία RTL

Το περιθώριο θορύβου για τα χαμηλά σήματα εισόδου είναι περίπου 0,4V. Η κατανάλωση ισχύος της πύλης RTL είναι περίπου 12mW και η καθυστέρηση διάδοσης περίπου 25ns. Η ικανότητα οδήγησης (fan – out) της πύλης RTL περιορίζεται από το πόσο χαμηλά μπορεί να πέσει η τάση εξόδου της υψηλής κατάστασης. Καθώς η έξοδος φορτώνεται ολοένα και περισσότερες εισόδους άλλων πυλών, πρέπει και να τους τροφοδοτεί με ολοένα και περισσότερο ρεύμα. Αυτό το ρεύμα πρέπει να περνάει από την αντίσταση R_C . Γενικά η τάση εξόδου πέφτει περίπου στο 1V όταν η έξοδος τροφοδοτεί άλλες 5 εισόδους. Από κει και πέρα, οποιαδήποτε τάση πάνω από το 1V δεν μπορεί να οδηγήσει τα επόμενα τρανζίστορ στον κορεσμό, άρα παύει η σωστή λειτουργία του συστήματος.

Η πύλη αυτή ήταν αρκετά δημοφιλής την εποχή της σχεδίασης της, γιατί ήταν χρήσιμη ως σημείο εκκίνησης για τη κατανόηση της βασικής λειτουργίας των ψηφιακών πυλών. Οι λογικές πύλες RTL παρουσιάζουν ικανοποιητική για την εποχή καθυστέρηση διάδοσης και κατανάλωση ισχύος, αλλά ταυτόχρονα είχαν πολύ μικρό περιθώριο θορύβου και οδηγητική ικανότητα. Έτσι σύντομα αντικαταστάθηκαν από τα ολοκληρωμένα κυκλώματα DTL.

1.4 Οικογένειες DTL (Diode Transistor Logic)

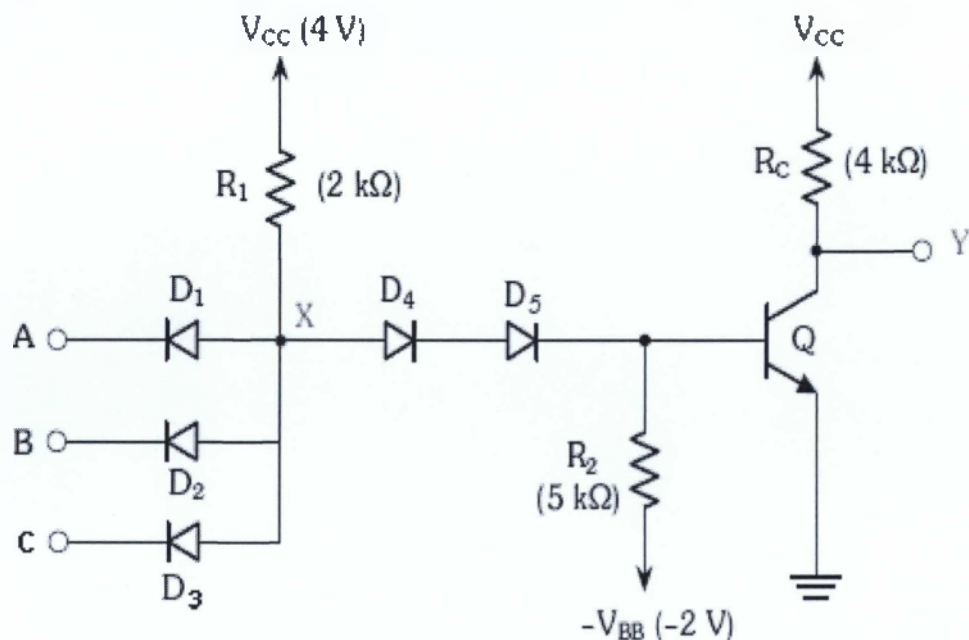
Μια άλλη παλαιότερη λογική οικογένεια είναι η Λογική Διόδων Τρανζίστορ (Diode Transistor Logic). Η λογική πύλη DTL ήταν δημοφιλής στη δεκαετία του 1960 και υλοποιήθηκε πρώτα με χρήση διακριτών στοιχείων και μετά σε μορφή ολοκληρωμένων κυκλωμάτων. Το βασικό κύκλωμα της οικογένειας DTL είναι η πύλη NAND, σχήμα 3[3].

Σε κάθε είσοδο αντιστοιχεί μία αντίσταση και μια δίοδος. Η δίοδος αυτή και η αντίσταση R_1 σχηματίζουν μια πύλη AND. Το τρανζίστορ χρησιμεύει σαν ενισχυτής, και αντιστρέφει το σήμα. Με δεδομένο ότι πρόκειται για μια NAND πύλη, θα πρέπει όταν μια από τις εισόδους είναι σε χαμηλό δυναμικό (λογικό "0") η έξοδος Y να βρίσκεται σε υψηλό δυναμικό (λογικό "1"). Αντίθετα, όταν όλες οι εισοδοί είναι σε υψηλό δυναμικό (λογικό "1") η έξοδος Y θα βρίσκεται σε χαμηλό δυναμικό (λογικό "0").

Πράγματι, στην περίπτωση όπου οποιαδήποτε από τις εισόδους είναι χαμηλή, τότε η αντίστοιχη δίοδος άγει ρεύμα από το τροφοδοτικό V_{CC} , μέσω της αντίστασης και της διόδου, προς το κύκλωμα που τροφοδοτεί την είσοδο. Η τάση στο σημείο X

ισούται με την τάση εισόδου, συν το δυναμικό κατά μήκος της άγουσας διόδου. Για να μπορούσε το τρανζίστορ να αρχίσει να άγει, θα πρέπει η τάση στο σημείο X να ξεπεράσει το απαιτούμενο δυναμικό V_{BE} (τάση βάσης εκπομπού) στο Q συν δυο φορές το απαιτούμενο δυναμικό διόδου[2].

Στην άλλη περίπτωση όπου όλες οι εισοδοι της πύλης είναι υψηλές, τότε το τρανζίστορ οδηγείται σε κορεσμό. Τότε η τάση στο X γίνεται ίση με το V_{BE} συν τις τάσεις D_4 και D_5 . Αφού όλες οι εισοδοι είναι υψηλές, όλες οι διόδοι των εισόδων είναι πολωμένες ανάστροφα, άρα δεν άγουν. Το ρεύμα βάσης ισούται με τη διαφορά των δύο ρευμάτων που περνάει από τις αντιστάσεις και είναι αρκετό για να φέρει το τρανζίστορ σε κορεσμό. Με το τρανζίστορ στον κορεσμό η έξοδος πέφτει στο V_{CE} (τάση συλλέκτη εκπομπού) το οποίο είναι το χαμηλό επίπεδο τάσης[2].

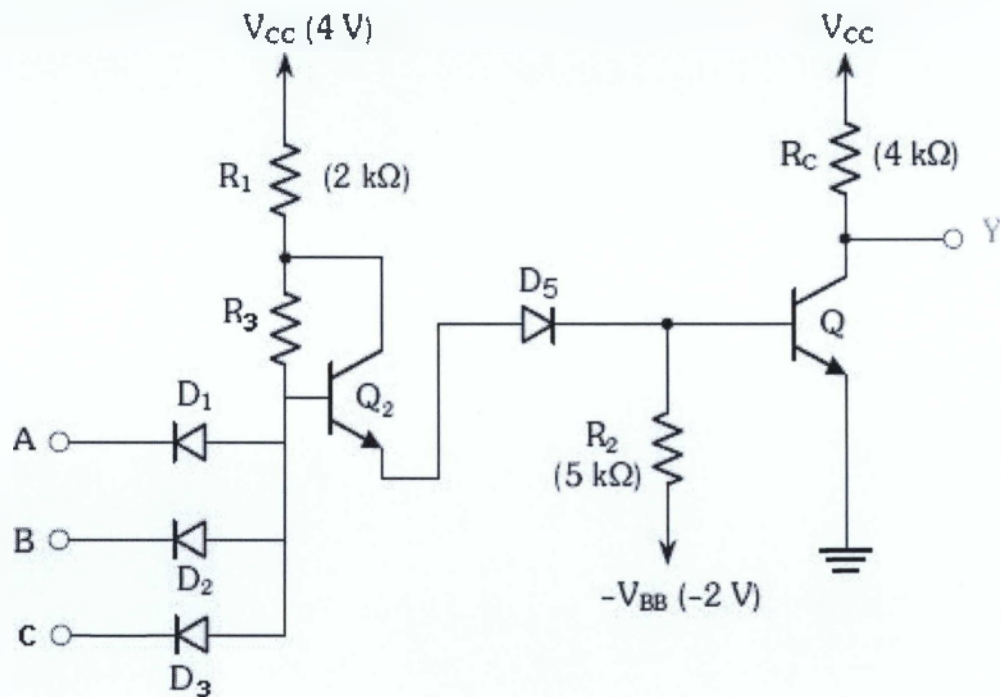


Σχήμα 3. Πύλη NAND σε συνδεσμολογία DTL

Η κατανάλωση ισχύος μιας πύλης DTL είναι περίπου 12mW και η καθυστέρηση διάδοσης περίπου 30ns. Το περιθώριο θορύβου είναι περίπου 1V και η ικανότητα οδήγησης φτάνει το 8. Η ικανότητα οδήγησης των πυλών DTL περιορίζεται από το μέγιστο ρεύμα που ο συλλέκτης του κορεσμένου τρανζίστορ μπορεί να άγει[4].

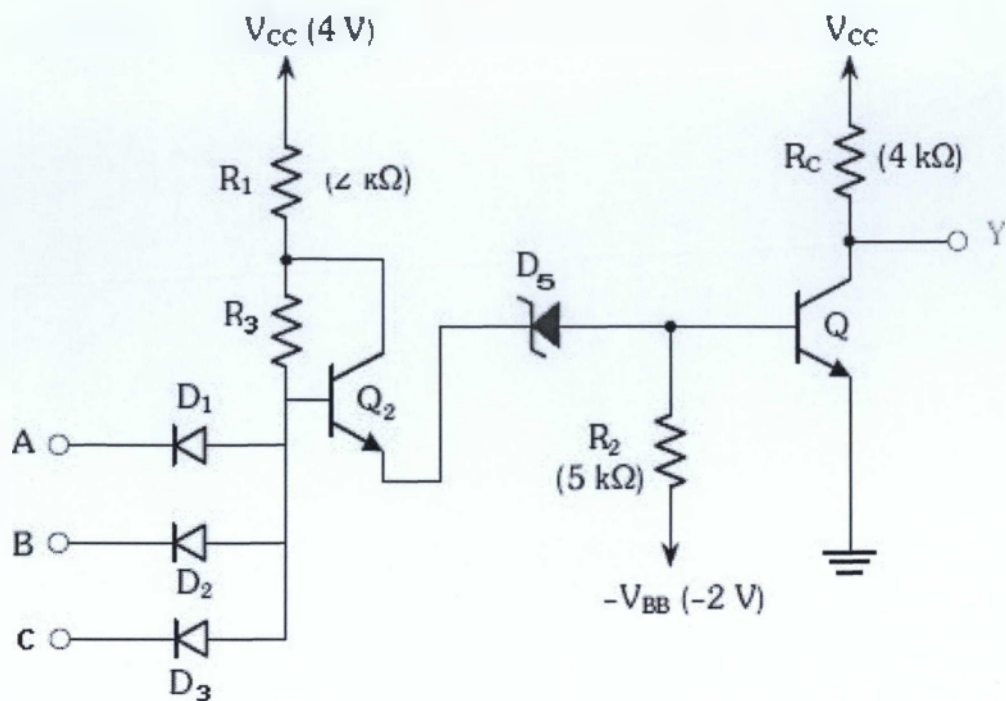
Η ικανότητα οδήγησης μιας πύλης DTL μπορεί να αυξηθεί αν αντικαταστήσουμε τη μια από τις διόδους στο κύκλωμα της βάσης με ένα τρανζίστορ. Στο κύκλωμα αυτό, σχήμα 4, η διάδος D_4 του σχήματος 3 έχει αντικατασταθεί από το τρανζίστορ Q_2 . Έτσι αυτό το κύκλωμα μπορεί να τροφοδοτήσει μεγαλύτερο ρεύμα στη βάση του

τρανζίστορ εξόδου. Κατά συνέπεια και το τρανζίστορ εξόδου μπορεί να απορροφήσει μεγαλύτερο ρεύμα συλλέκτη, προτού υποχρεωθεί να βγει από τον κορεσμό. Μέρος του ρεύματος του συλλέκτη προέρχεται από τις άγουσες διόδους των εισόδων των πυλών που συνδέονται σε αυτή την έξοδο. Άρα αυξάνοντας το μέγιστο επιτρεπτό ρεύμα συλλέκτη, μπορούμε να συνδέσουμε περισσότερες εισόδους στην έξοδο μας, και αυξάνουμε έτσι ικανότητα οδήγησης[4].



Σχήμα 4. Πύλη HT-DTL NAND

Στο παρακάτω κύκλωμα, σχήμα 5, η διάδος D_5 έχει αντικατασταθεί από μια διάοδο Zener για μεγαλύτερη προστασία από το θόρυβο. Σε περιπτώσεις όπου τα επίπεδα του θορύβου είναι υψηλά, το κύκλωμα τροποποιείται με χρήση υψηλότερης τροφοδοσίας και αντικατάσταση της διάόδου με διάοδο Zener. Με τον τρόπο αυτό παρέχεται μεγαλύτερη προστασία από τον θόρυβο.



Σχήμα 5. Πύλη NAND σε συνδεσμολογία HT-DTL (High Threshold DTL)

Στα βασικά κυκλώματα της οικογένειας DTL, η χαμηλή ταχύτητα λειτουργίας των κυκλωμάτων αυτών οδήγησε τελικά στην αντικατάστασή τους από τα λογικά κυκλώματα πυλών TTL [2].

1.5 Λογική Πύλη Τρανζίστορ TTL (transistor-transistor logic)

Η λογική τρανζίστορ-τρανζίστορ TTL (transistor-transistor logic) αποτέλεσε την κύρια τεχνολογία κατασκευής ψηφιακών κυκλωμάτων με τρανζίστορ διπολικής επαφής. Τα κυκλώματα TTL βελτίωσαν το κύριο μειονέκτημα της λογικής DTL, τη μειωμένη δηλαδή ταχύτητα λειτουργίας. Η πύλη TTL μπορεί να θεωρηθεί ως μετεξέλιξη των κυκλωμάτων DTL[2].

Το γινόμενο ισχύος – ταχύτητας είναι μια παράμετρος σημαντική για την σύγκριση των διαφόρων σειρών TTL. Πρόκειται για το γινόμενο της καθυστέρησης διάδοσης επί την κατανάλωση ισχύος και μετριέται σε Pico Joules (pJ). Καλύτερα η παράμετρος αυτή να είναι χαμηλή, γιατί τότε η πύλη είναι γρήγορη, χωρίς να καταναλώνει υπερβολική ισχύ και αντίστροφα[4].

Η βασική πύλη κατασκευάζεται και με διαφορετικές τιμές αντιστάσεων και παίρνουμε έτσι πύλες με μικρότερη κατανάλωση ισχύος ή με λιγότερη καθυστέρησης διάδοσης. Η καθυστέρηση σε μια οικογένεια, που λειτουργεί με τα τρανζίστορ στον

κορεσμό, εξαρτάται από δύο παράγοντες: τον χρόνο αποθήκευσης και τις σταθερές χρόνου RC. Η ελάττωση του χρόνου αποθήκευσης ελαττώνει και την καθυστέρηση διάδοσης. Επίσης η ελάττωση των τιμών των αντιστάσεων στο κύκλωμα ελαττώνει τις σταθερές χρόνου RC και επομένως μικραίνει την καθυστέρηση διάδοσης.

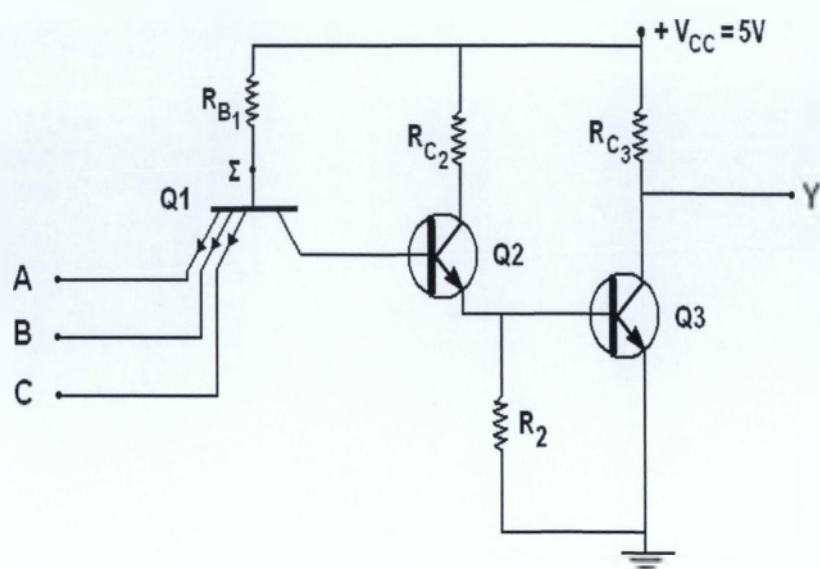
Στις πύλες TTL χαμηλής ισχύος, οι αντιστάσεις είναι μεγαλύτερες από ότι στις κλασικές TTL, ούτως ώστε να ελαττώνεται η κατανάλωση ισχύος και κατά αυτόν τον τρόπο θα αυξηθεί και η καθυστέρηση διάδοσης. Στις πύλες TTL υψηλής ταχύτητας, οι τιμές των αντιστάσεων είναι μικρότερες για να ελαττωθεί η καθυστέρηση διάδοσης, αλλά έτσι βέβαια μεγαλώνει η κατανάλωση ισχύος[4].

Οι πύλες TTL είναι διαθέσιμες σε όλες τις μορφές τους με τρία διαφορετικά είδη εξόδων: [4]

1. Έξοδοι ανοιχτού συλλέκτη (open collector)
2. Έξοδοι totem (totem-pole)
3. Τρικάταστατες έξοδοι (tristate, three-state)

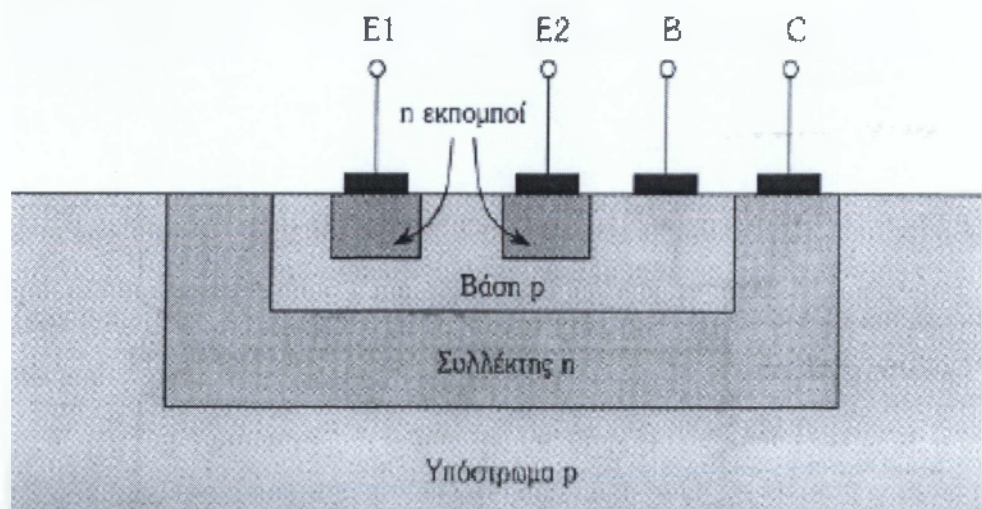
1.5.1 Πύλη ανοιχτού συλλέκτη

Η βασική πύλη TTL είναι μια παραλλαγή του κυκλώματος της πύλης DTL. Το βασικό κύκλωμα είναι η πύλη NAND, δηλαδή η πύλη του σχήματος 6. Τα επίπεδα τάσεων των πυλών TTL είναι 0.2V το χαμηλό και 2.4 ως 5V το ψηλό. Αν οποιαδήποτε από τις εισόδους είναι χαμηλή, τότε η αντίστοιχη επαφή βάσης εκπομπού Q1 πολώνεται ορθά. Η βάση του Q1 κρατιέται στα 0.9V από το σήμα εξόδου, το τρανζίστορ εξόδου είναι σε αποκοπή. Αν συνδέσουμε μια εξωτερική αντίσταση στην έξοδο, τότε αυτή θα την τραβήξει σε υψηλή τάση [3].



Σχήμα 6. Πύλη TTL NAND θετικής λογικής με τρεις εισόδους

Εάν όλες οι εισοδοί είναι υψηλές, τότε και το Q2 και το Q3 άγουν και έρχονται σε κορεσμό. Όλες οι επαφές βάσης εκπομπού του Q1 είναι αντίστροφα πολωμένες. Αφού το τρανζίστορ εξόδου έρχεται σε κορεσμό, η έξοδος πέφτει στα 0.2V. Και, επιβεβαιώνεται ότι το κύκλωμα λειτουργεί σαν πύλη NAND [4].



Σχήμα 7. Δομή του τρανζίστορ πολλαπλού εκπομπού Q

Έτσι βλέπουμε ότι η επαφή βάσης συλλέκτη του Q1 να συμπεριφέρεται σαν μια απλή διάδος pn, στην κατάσταση ισορροπίας. Κατά συνέπεια, η επαφή βάσης (p-

τύπου) – συλλέκτη (n-τύπου) θα είναι ανάστροφα πολωμένη. Αντίθετα, για την είσοδο που ήρθε σε χαμηλό δυναμικό η αντίστοιχη επαφή βάσης εκπομπού θα είναι ορθά πολωμένη με αποτέλεσμα το τρανζίστορ να λειτουργεί στην ενεργό περιοχή κατά τη διάρκεια της μετάβασης και μάλιστα κατά τρόπο τέτοιο ώστε να ελαττώνει την καθυστέρηση διάδοσης. Έτσι επιτυγχάνεται η μεταβολή της πύλης από χαμηλή σε υψηλή έξοδο[4].

Οι πύλες TTL ανοιχτού συλλέκτη μπορούν να χρησιμοποιηθούν και χωρίς εξωτερικές αντιστάσεις, αν συνδέονται στις εισόδους άλλων πυλών TTL, αλλά αυτό δεν συνιστάται, διότι δίνει χαμηλά περιθώρια θορύβου. Το πλεονέκτημα της συγκεκριμένης συνδεσμολογίας είναι η απόκρισή της κατά τις αλλαγές καταστάσεων. Σε αυτήν την περίπτωση το τρανζίστορ Q2 βρίσκεται στην ενεργό περιοχή λειτουργίας δρώντας πραγματικά σαν τρανζίστορ- και το μεγάλο ρεύμα του συλλέκτη του μπορεί να εκφορτώσει τα τρανζίστορ Q2 και Q3 και να αλλάξει με ταχύ ρυθμό την κατάσταση του κυκλώματος. Όταν το Q3 βρίσκεται σε αποκοπή, η έξοδος της πύλης συμπεριφέρεται σαν ανοιχτό κύκλωμα αν δεν υπάρχει εξωτερική αντίσταση. Ένα ανοιχτό κύκλωμα, για την είσοδο μιας πύλης TTL, μοιάζει με είσοδο υψηλού επιπέδου, μόνο που ένας μικρός θόρυβος μπορεί να το κάνει να φανεί χαμηλού επιπέδου[4].

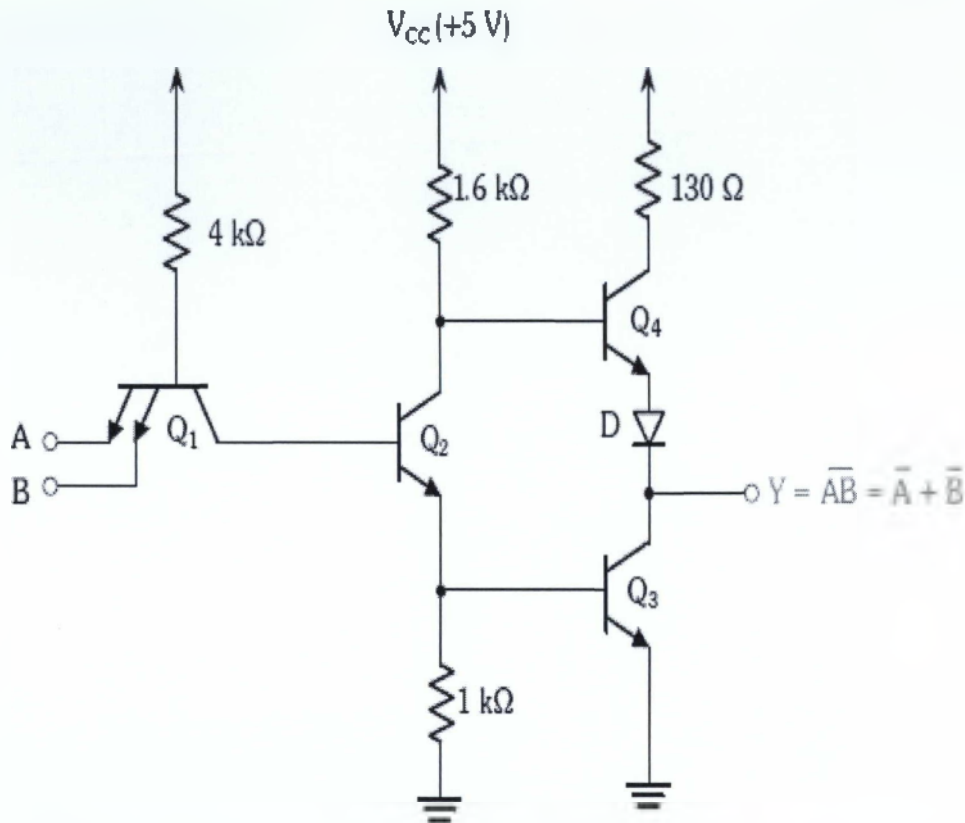
Οι πύλες ανοιχτού συλλέκτη χρησιμοποιούνται σε τρεις βασικές εφαρμογές: να οδηγούν λάμπες και ρελέδες, για καλωδιωμένη λογική και για την κατασκευή συστημάτων κοινού διαδρόμου.

1.5.2 Η έξοδος TOTEM

Το φορτίο που συνδέεται στην έξοδο μιας πύλης περιέχει συνήθως μια συνιστώσα αντίστασης και μία χωρητικότητα. Η τελευταία αποτελείται από τη χωρητικότητα του τρανζίστορ εξόδου. Όταν η έξοδος αλλάζει από την χαμηλή κατάσταση στην υψηλή, το τρανζίστορ εξόδου πάει από τον κορεσμό στην αποκοπή. Σε αυτό το κύκλωμα, το τρανζίστορ Q1 με τους δύο εκπομπούς, την αντίσταση και την τάση πόλωσης δρα σαν πύλη AND. Το υπόλοιπο κύκλωμα παίζει το ρόλο του αντιστροφέα[4].

Αν όμως αντικαταστήσουμε την αντίσταση ανέλκυσης με ένα κύκλωμα ενεργού ανέλκυστη (active pull-up), σχήμα 8, μπορούμε να μειώσουμε αυτή την καθυστέρηση

σε περίπου 10ns. Το κύκλωμα αυτό ονομάζεται 'έξοδος τοτέμ' επειδή το τρανζίστορ Q₄ κάθεται πάνω στο Q₃, όπως και στα τοτέμ[4].



Σχήμα 8. Πύλη TTL NAND θετικής λογικής με δύο εισόδους και βαθμίδα εξόδου σε συνδεσμολογία TOTEM

Στη βαθμίδα Totem η πόλωση των τρανζίστορ Q₃ και Q₄ είναι τέτοια ώστε είτε να άγει το Q₃, είτε το Q₄. Όταν άγει το Q₃ και αποκόπτεται το Q₄ η έξοδος θα είναι σε κατάσταση χαμηλής στάθμης. Αντίθετα όταν άγει (σε κατάσταση κόρου) το Q₄ και αποκόπτεται το Q₃ η έξοδος Y βρίσκεται σε υψηλό δυναμικό. Όταν μια από τις δύο εισόδους A και B βρίσκεται σε χαμηλό δυναμικό, η αντίστοιχη επαφή βάσης εκπομπού του Q₁ πολώνεται ορθά και το δυναμικό της βάσης του Q₁ φτάνει στην τιμή 0.7V. Κατά συνέπεια, η βάση του Q₂ που είναι στο ίδιο δυναμικό με το συλλέκτη του Q₁ θα βρίσκεται σε ένα σχεδόν μηδενικό δυναμικό με αποτέλεσμα το Q₂ να αποκόπτεται, η βάση του Q₃ να έρχεται σε υψηλό δυναμικό και το δυναμικό στην έξοδο Y να είναι και αυτό σε υψηλή στάθμη[4].

Όταν και οι δύο εισοδοι βρίσκονται σε υψηλό δυναμικό (λογικό "1") τότε οι αντίστοιχες επαφές βάσης εκπομπού των δύο εκπομπών πολώνονται ανάστροφα και δεν άγουν, ενώ η επαφή βάσης συλλέκτη πολώνεται ορθά και άγει σαν δίοδος κατά

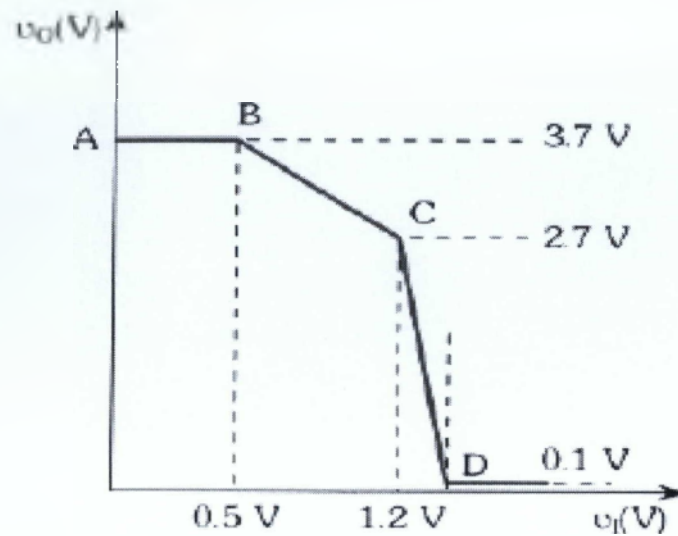
την ορθή φορά. Το τρανζίστορ Q2 έχει κάτω από αυτές τις συνθήκες ένα υψηλό δυναμικό στη βάση του με αποτέλεσμα να αρχίσει να άγει οδηγώντας σε αγωγιμότητα το Q3 και το Q4 σε αποκοπή. Έτσι η έξοδος Y βρίσκεται σε κατάσταση χαμηλού δυναμικού (λογικό "0"). Η ύπαρξη της διόδου D1 διασφαλίζει την αποκοπή του Q3 όταν άγει το Q4 κρατώντας ανάστροφα πολωμένη την επαφή βάσης-εκπομπού του Q3. Στη μεταβατική περίοδο, το Q3 αποκόπτεται πολύ γρήγορα, αλλά και πάλι υπάρχει ένα αρχικό πολύ μικρό διάστημα που και το Q4 και το Q3 άγουν και τότε τραβάνε ένα μεγάλο ρεύμα από το τροφοδοτικό. Αυτός ο σπινθήρας ρεύματος δημιουργεί θόρυβο στις γραμμές τροφοδοσίας και αν οι αλλαγές καταστάσεων είναι πολύ συχνές, τότε ανεβαίνει και η μέση κατανάλωση ισχύος, από τους τόσους πολλούς σπινθήρες ρεύματος[4].

Με τις πύλες εξόδου τοτέμ δεν μπορούμε να κάνουμε καλωδιωμένη λογική. Αν συνδέσουμε τις εξόδους δυο πυλών τοτέμ, και οι δυο αυτές πύλες δίνουν διαφορετική έξοδο η καθεμία (μία υψηλή, μία χαμηλή), τότε το ρεύμα που θα περνάει από τα τρανζίστορ εξόδου θα είναι τόσο μεγάλο, που θα μπορεί εύκολα να υπερθερμανθεί και να καταστραφεί. Αλλά υπάρχουν και μερικές πύλες TTL που είναι κατασκευασμένες έτσι που να αντέχουν τόσο μεγάλα ρεύματα[4].

Χαρακτηριστική καμπύλη μεταφοράς πύλης TTL

Στην χαρακτηριστική καμπύλη μεταφοράς της πύλης TTL στο σχήμα 9, βλέπουμε ότι:

Στο τμήμα AB, το Q₁ να βρίσκεται σε κορεσμό, το Q₂ και το Q₃ σε αποκοπή και τέλος το Q₄ και D να άγουν. Στο σημείο B ο διαχωριστής φάσης Q₂ αρχίζει να άγει. Στο επόμενο τμήμα BC, το Q₁ να βρίσκεται σε κορεσμό, το Q₂ είναι ενεργό, το Q₃ σε αποκοπή και τέλος το Q₄ και D να άγουν. Έπειτα στο σημείο C το Q₃ αρχίζει να άγει. Στο τμήμα CD, το Q₁ να βρίσκεται σε κορεσμό, το Q₂ και το Q₃ είναι ενεργό, και τέλος το Q₄ και D να άγουν. Στο σημείο D το Q₂ και το Q₃ έρχονται σε κορεσμό και το Q₄ σε αποκοπή. Και τέλος στο τμήμα $u_1 > u_{1(D)}$ το Q₁ είναι ενεργό στην ανάστροφη, το Q₂ και το Q₃ έρχονται σε κορεσμό, και το Q₄ και D σε αποκοπή[1].

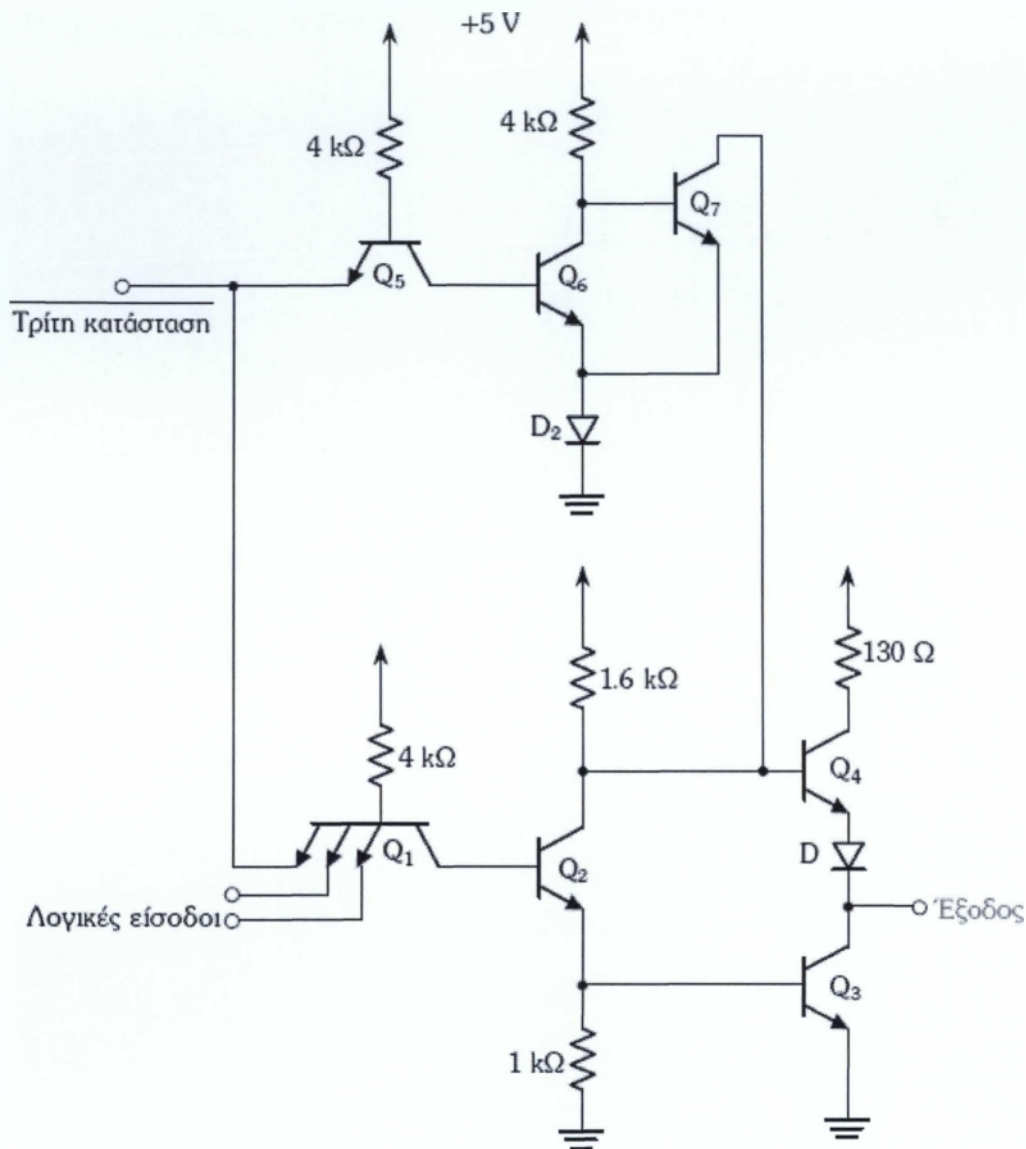


Σχήμα 9. Χαρακτηριστική καμπύλη μεταφοράς πύλης TTL

1.5.3 TTL τριών καταστάσεων εξόδου

Είναι ένας ειδικός τύπος τοτέμ που επιτρέπει τέτοιες καλωδιωμένες συνδέσεις, με σκοπό την κατασκευή διαδρόμων (buses). Τις πύλες TTL τοτέμ που έχουν αυτή την ιδιότητα τις ονομάζουμε τρικατάστατες πύλες[4]. Μια τρικατάστατη πύλη έχει τρεις καταστάσεις εξόδου:

1. μια κατάσταση εξόδου χαμηλής τάσης
2. μια κατάσταση εξόδου υψηλής τάσης
3. μια κατάσταση όπου και τα δύο τρανζίστορ είναι σε αποκοπή



Σχήμα 10. Τρικατάστατες έξοδοι tristate

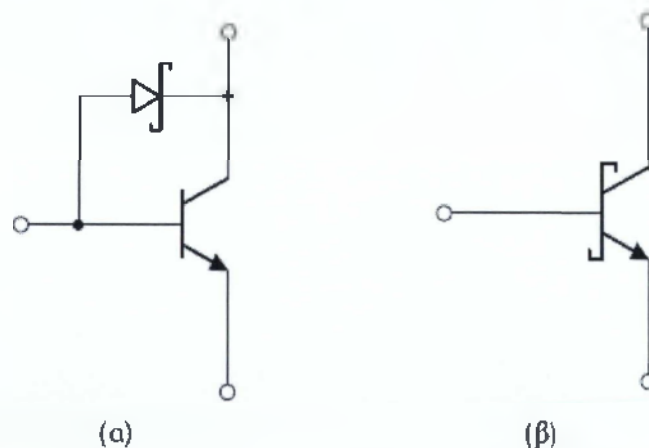
Η τεχνολογία tristate TTL επιτρέπει την σύνδεση τριών πολών σε μια κοινή γραμμή εξόδου (ή bus), σχήμα 10. Σε οποιαδήποτε χρονική στιγμή το σήμα στο bus θα καθορίζεται από μια πύλη TTL που γίνεται enabled, ανεβάζοντας τον ακροδέκτη εισόδου τρίτης κατάστασης. Όλες οι πύλες θα είναι στην τρίτη κατάσταση και έτσι δεν θα έχουν κανέναν έλεγχο πάνω στο bus[3].

Ένας τρικατάστατος διάδρομος φτιάχνεται με ένα καλώδιο, στο οποίο συνδέονται και το τροφοδοτούν πολλές τρικατάστατες έξοδοι. Σε κάθε δεδομένη στιγμή, μόνο μια από αυτές μπορεί να είναι ενεργοποιημένη, ενώ όλες οι άλλες έξοδοι πρέπει να είναι στην κατάσταση υψηλής αντίστασης[4].

Ένα σημαντικό χαρακτηριστικό των περισσότερων τρικατάστατων πυλών είναι ότι η καθυστέρηση ενεργοποίησης της εξόδου είναι μεγαλύτερη από την καθυστέρηση αδρανοποίησης της[4].

1.5.4 Η πύλη Schottky TTL

Η πρώτη υπο-οικογένεια TTL, η οποία ενσωματώνει μια σειρά τεχνολογικών εξελίξεων στα κυκλώματά της ήταν η σειρά Shottky TTL, με έτος εισαγωγής το 1970. Αυτές οι διόδους είναι η επόμενη εξέλιξη της τεχνολογίας. Τα στατικά χαρακτηριστικά της διόδου Schottky είναι παρόμοια της διόδου p-n και έχει πιο γρήγορη απόκριση, διότι δεν διαθέτει χρόνο αποθήκευσης φορτίου. Η χρησιμοποίηση των τρανζίστορ Schottky, σχήμα 11 (β), απαλείφει τον χρόνο καθυστέρησης των τρανζίστορ ώστε να μην τους επιτρέπουν να μπουν σε κορεσμό. Έτσι έχουμε αυξημένη ταχύτητα λειτουργίας χωρίς η κατανάλωση ισχύος να είναι υπερβολική. Αυτή η σειρά έχει το μικρότερο γινόμενο ταχύτητας ισχύος και είναι η πιο αποδοτική από όλες τις σειρές. Σχηματίζονται από την ένωση μετάλλου-ημιαγωγού, κατασκευάζονται εύκολα και δεν αυξάνουν το εμβαδό του CHIP. Ο συνδυασμός τρανζίστορ-διόδου Schottky αναφέρεται ως ‘Schottky τρανζίστορ’ και παρουσιάζει πολύ γρήγορες μεταβάσεις λόγω της μη εισόδου σε κορεσμό[3].

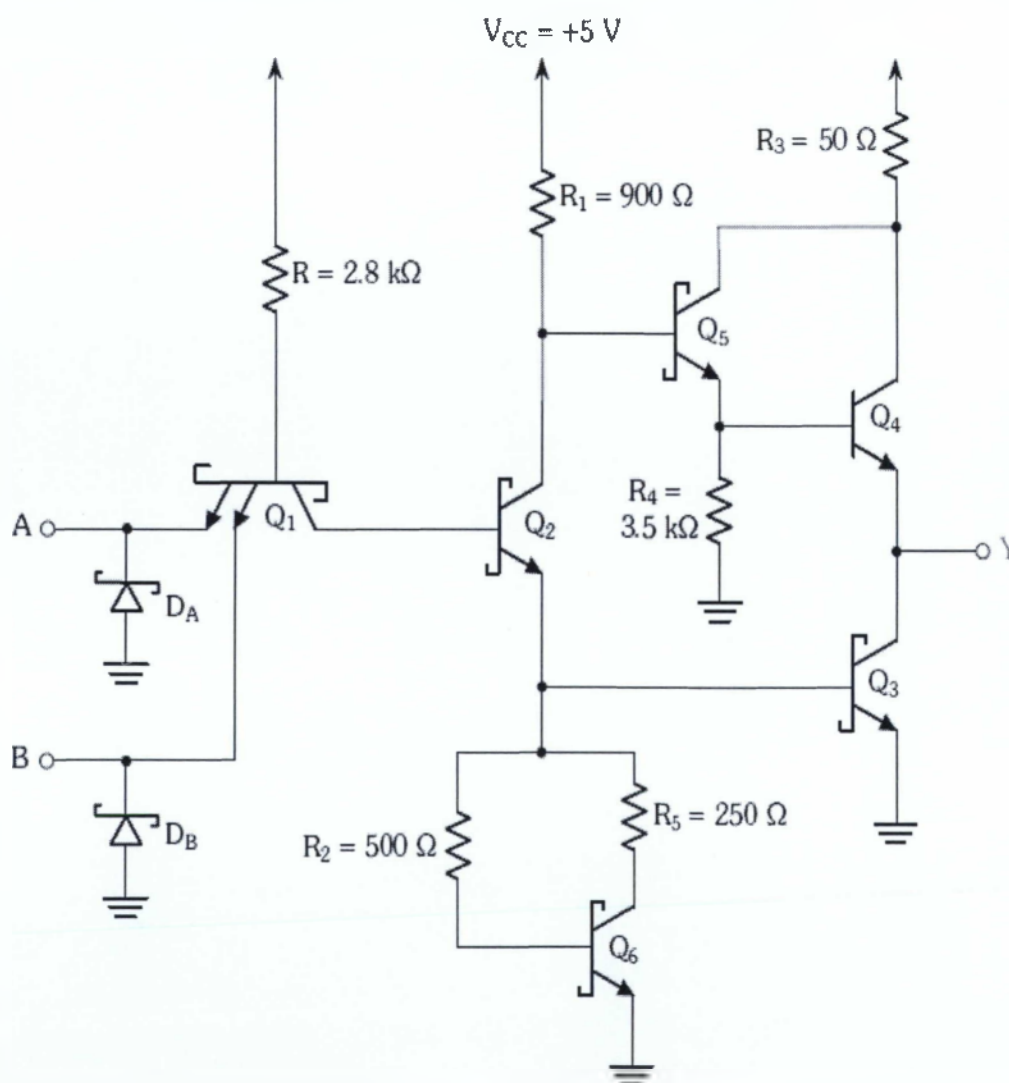


Σχήμα 11. (α) Τρανζίστορ TTL με προσθήκη Schottky, (β) Κυκλωματικό σύμβολο για την συνδεσμολογία του α που ονομάζεται και τρανζίστορ Schottky[1]

Το τρανζίστορ Schottky δεν μπαίνει στον κόρο, επειδή ένα κομμάτι από το ρεύμα βάσης του μετακινείται από τη διόδο έξω από τη βάση. Στο σημείο αυτό η διόδος άγει και προσδένει την βάση ένωσης βάσης-συλλέκτη περίπου στα 0.5V. Η τάση αυτή

είναι μικρότερη από την τιμή που είναι απαραίτητη για να πολωθεί ορθά η ένωση συλλέκτη-βάσης αυτών των μικρών τρανζίστορ. Αποφεύγοντας τον κόρο το τρανζίστορ Schottky παρουσιάζει πολύ μικρό χρόνο αποκοπής[3].

Στη συνέχεια το παρακάτω σχήμα 12 μας δείχνει μία Schottky TTL πύλης NAND στην οποία έχουν προστεθεί σε όλα τα τρανζίστορ δίοδοι Schottky εκτός από το Q4, διότι δεν μπαίνει ποτέ σε κόρο και γι'αυτό και δε χρειάζεται δίοδο Schottky. Και επιπλέον όλες οι αντιστάσεις έχουν μειωθεί στην μισή τιμή αυτών που χρησιμοποιούνται στο κλασικό κύκλωμα της πύλης TTL NAND. Αυτές οι δύο αλλαγές οδηγούν σε πολύ μικρότερες καθυστερήσεις πύλης. Η μείωση των τιμών αντιστάσεων όμως αυξάνει την κατανάλωση ισχύος της πύλης[3].



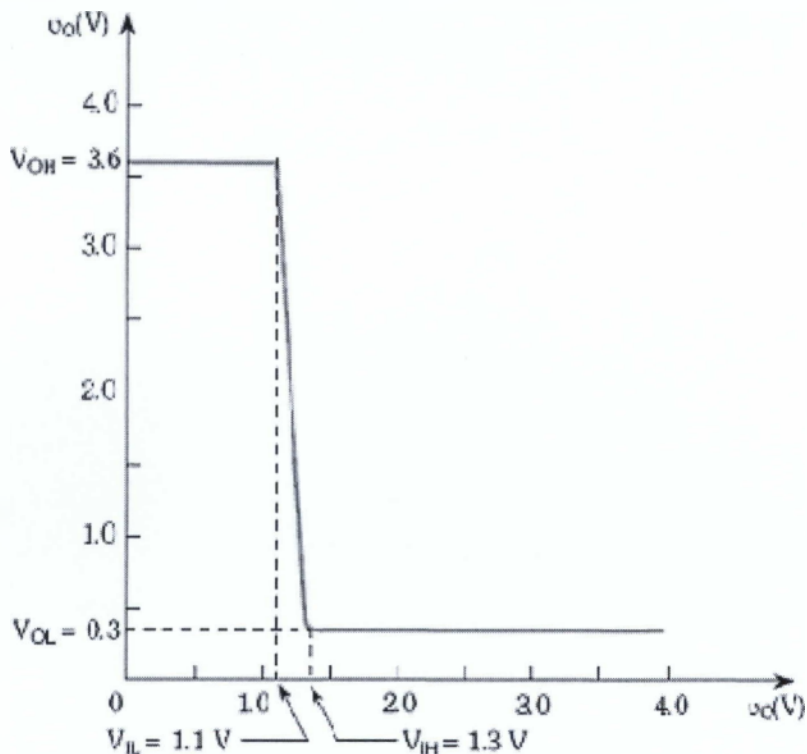
Σχήμα 12. Schottky TTL πύλης NAND

Τα Schottky TTL γνωστά και ως σειρά 74S έχουν τις ακόλουθες προδιαγραφές λειτουργίας στις χειρότερες συνθήκες : [1]

$V_{OH} = 2.7 \text{ V}$	$V_{OL} = 0.5 \text{ V}$
$V_{IH} = 2.0 \text{ V}$	$V_{IL} = 0.8 \text{ V}$
$t_p = 3 \text{ ns}$	$P_D = 20 \text{ mW}$

Χαρακτηριστική καμπύλη μεταφοράς πύλης Schottky TTL

Η ακόλουθη χαρακτηριστική καμπύλη μεταφοράς, του σχήματος 14, στην οποία παρατηρούμε ότι είναι πολύ πιο απότομη και έχει ως αποτέλεσμα την αύξηση των περιθωρίων θορύβου. Η χαρακτηριστική καμπύλη είναι πιο 'τετράγωνη' από την καμπύλη μεταφοράς της πύλης TTL σχήμα 13, γι'αυτό και ονομάζεται ως κύκλωμα τετραγωνισμού[1].



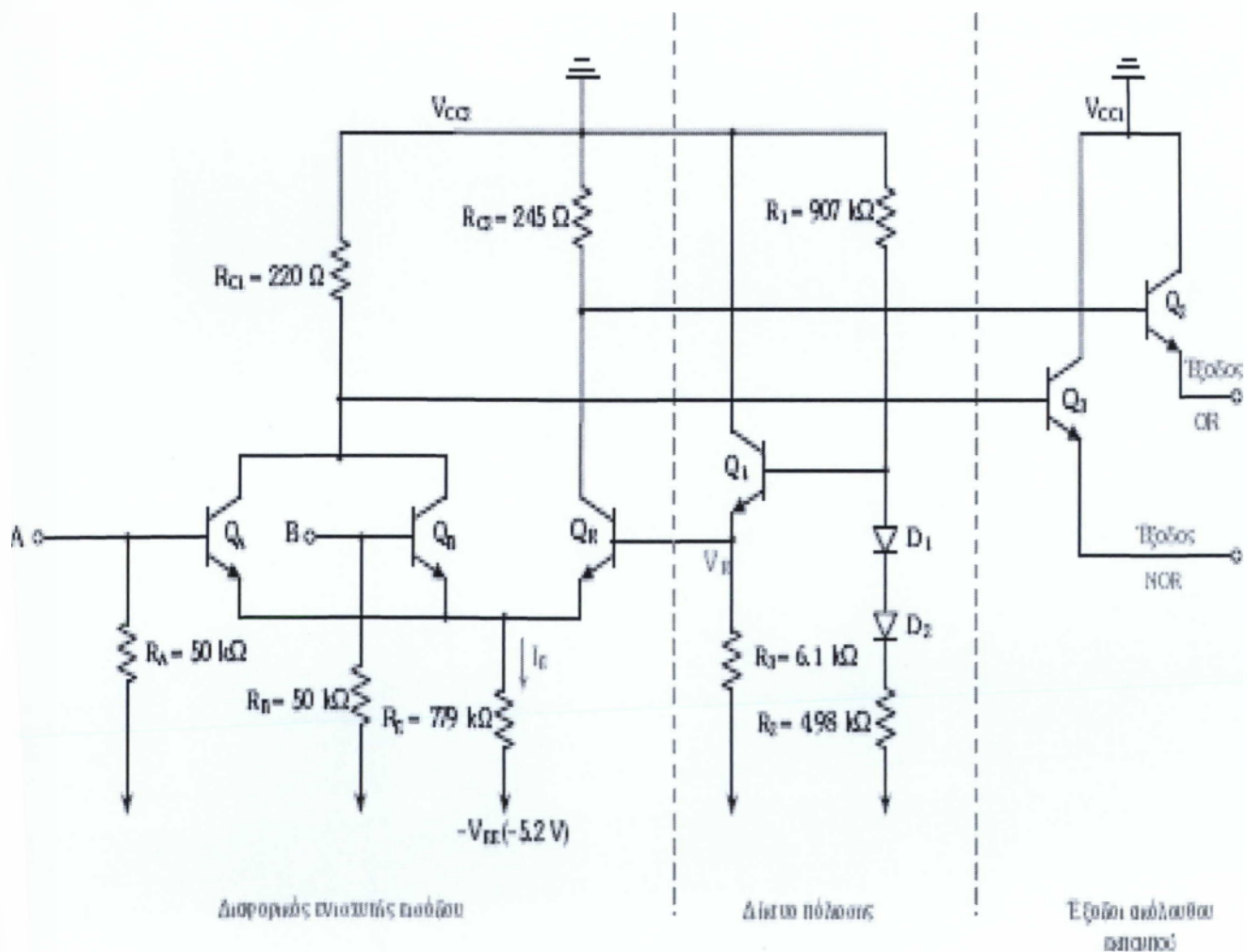
Σχήμα 13. Χαρακτηριστική καμπύλη μεταφοράς πύλης Schottky TTL

Σημειώνουμε ότι προς το παρόν η οικογένεια TTL είναι πολύ δημοφιλής για λογικά κυκλώματα. Παρόλο όμως που η κανονική TTL δε χρησιμοποιείται πια σε καινούργια κυκλώματα, οι προχωρημένες μορφές κυκλωμάτων χρησιμοποιούνται συχνά. Η ταχύτητα των προχωρημένων πυλών Schottky ανταγωνίζονται εκείνη της λογικής ζεύξης εκπομπού ECL [3].

1.6 Λογική Σύζευξη Εκπομπού ECL (Emitter Coupled Logic)

Τα τρανζίστορ διπολικής επαφής χρησιμοποιούνται ως διακόπτες, λειτουργώντας είτε στην περιοχή κορεσμού, είτε σε αποκοπή. Και επιπλέον εμφανίζονται σχετικά μεγάλες αλλαγές δυναμικού[2].

Μια διαφορετική οικογένεια λογικών κυκλωμάτων με τρανζίστορ διπολικής επαφής, ονομάζονται 'Λογική Σύζευξη Εκπομπού' και χρησιμοποιεί τα τρανζίστορ στην ενεργή μόνο περιοχή, σχήμα 14, χωρίς να εισέρχεται στην περιοχή κορεσμού, καθώς και αλλαγές δυναμικού των δύο λογικών καταστάσεων. Επειδή τα τρανζίστορ δεν μπαίνουν σε κορεσμό, μπορούμε να πετύχουμε πολύ μικρές καθυστερήσεις διάδοσης. Πρόκειται για την ταχύτερη από όλες τις οικογένειες και για αυτό χρησιμοποιείται κυρίως σε συστήματα πολύ μεγάλης ταχύτητας. Όμως η ανοχή της σε θόρυβο και η κατανάλωση ισχύος της είναι οι χειρότερες από όλες τις οικογένειες[2].



Σχήμα 14. Κύκλωμα βασικής πύλης οικογένειας ECL

Υπάρχουν έξοδοι τόσο για τη συνάρτηση OR όσο και για την NOR. Κάθε είσοδος πηγαίνει στη βάση ενός τρανζίστορ. Το κύκλωμα αποτελείται από έναν διαφορικό ενισχυτή, ένα δίκτυο πόλωσης αντισταθμισμένο ως προς την τάση και την θερμοκρασία, κι έναν ακόλουθο εκπομπού για την έξοδο. Οι εκπομποί εξόδου χρειάζονται μια αντίσταση καθέλκυσης (pull-down) για να περάσει ρεύμα από μέσα τους[4].

Επειδή η ECL είναι βασισμένη στο διαφορικό στάδιο, το ρεύμα της πύλης παραμένει περίπου σταθερό και ανάλογα μετά σήματα εισόδου οδηγείται είτε στη μια μεριά της πύλης είτε στην άλλη. Έτσι, το ρεύμα τροφοδοσίας και η κατανάλωση ισχύος της πύλης των μη τερματιζόμενων ECL παραμένουν σχετικά σταθερά, ανεξάρτητα από την λογική κατάσταση της πύλης. Δεν υπάρχουν λοιπόν σπινθήρες τάσης στη γραμμή τροφοδοσίας, οι οποίοι θα ήταν μια επικίνδυνη πηγή θορύβου σε ψηφιακό σύστημα[3].

Μια έξοδος πύλης ECL παράγει το υψηλό δυναμικό μέσω του τρανζίστορ για έξοδο OR και NOR αντίστοιχα. Η πύλη είναι σε θέση να παρέχει μεγάλη ποσότητα ρεύματος στην κατάσταση αυτή. Η οδηγούμενη πύλη έχει στην είσοδο μια αντίσταση η οποία χρησιμοποιείται για να διατηρήσει την είσοδο σε χαμηλή λογική στάθμη, όταν αυτή είναι ασύνδετη. Όταν η είσοδος βρίσκεται σε υψηλή λογική κατάσταση, το ρεύμα που διαρρέει την αντίσταση αυτή είναι αμελητέο. Και όταν η έξοδος της πύλης βρίσκεται σε χαμηλή στάθμη, δεν υπάρχει αγωγίμο μονοπάτι μεταξύ της γραμμής. Επίσης, όταν η έξοδος μεταβαίνει σε υψηλή κατάσταση, η πύλη παρέχει ρεύμα προς το οδηγούμενο φορτίο. Η φόρτιση των οδηγούμενων χωρητικότητων είναι πολύ γρήγορη, πρακτικά ανεξάρτητη από το μέγεθος τους. Από την άλλη πλευρά, όπου η έξοδος μεταβαίνει σε χαμηλή κατάσταση, η τάση στη βάση του τρανζίστορ εξόδου βρίσκεται στιγμιαία χαμηλότερα από την τάση στον εκπομπό και το τρανζίστορ οδηγείται σε αποκοπή[2].

Η ταχύτητα λειτουργίας των πυλών ECL μετριέται από την καθυστέρησης της βασικής της πύλης και από τους χρόνους ανόδου και καθόδου των κυματομορφών εξόδου. Επειδή το κύκλωμα εξόδου είναι ακόλουθος εκπομπού, ο χρόνος ανόδου του σήματος εξόδου είναι μικρότερος από τον χρόνο πτώσης του. Αυτό δικαιολογείται διότι στην ακμή ανόδου του παλμού εξόδου ο ακόλουθος εκπομπού λειτουργεί και παρέχει ρεύμα που χρειάζεται για να φορτίσει το φορτίο και τις παρασιτικές χωρητικότητες. Από την άλλη πλευρά, καθώς πέφτει το σήμα στην βάση του

ακόλουθου εκπομπού αποκόπτεται, και η χωρητικότητα του φορτίου εκφορτίζεται μέσα από τον συνδυασμό των αντιστάσεων φορτίων[3].

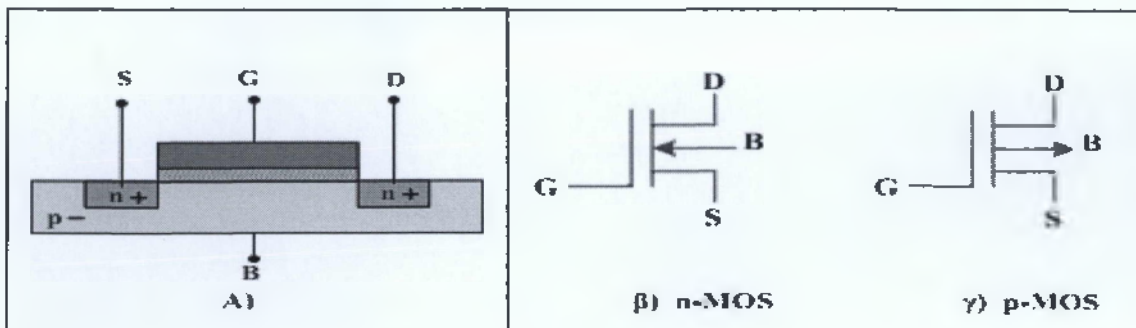
Ένα από τα βασικότερα πλεονεκτήματα της χρήσης κυκλωμάτων ECL είναι η δυνατότητα διαφορικής μετάδοσης σημάτων. Δηλαδή κάθε σήμα να μεταδίδεται στην επόμενη πύλη χρησιμοποιώντας δύο γραμμές. Κάθε γραμμή μεταφέρει το συμμετρικό σήμα της άλλης και το τελικό αποτέλεσμα προκύπτει ως η διαφορά των δύο αυτών σημάτων. Το κύριο χαρακτηριστικό της διαφορικής μετάδοσης είναι η ικανότητα απόρριψης του κοινού θορύβου, των αλλοιώσεων δηλαδή που θα εμφανιστούν ταυτόχρονα στις δύο γραμμές, εφόσον δεν επηρεάζεται η διαφορά των δύο σημάτων[2].

Η λογική οικογένεια ECL έχει εφαρμοσθεί με επιτυχία στο σχεδιασμό ψηφιακών τηλεπικοινωνιακών συστημάτων υψηλής ταχύτητας και στον σχεδιασμό υπολογιστικών συστημάτων[3].

1.7 Τα τρανζίστορ MOS (Field Effect Transistor)

Το MOS τρανζίστορ ή MOSFET είναι ένα τρανζίστορ επίδρασης πεδίου, (Field Effect Transistor), όπως δηλώνει το δεύτερο συνθετικό του ονόματός του. Είναι τρανζίστορ απομονωμένης εισόδου. Η δομή, ωστόσο, των δύο τρανζίστορ BJT και MOS είναι διαφορετική. Τα κυκλώματα με MOS τρανζίστορ παρουσιάζουν πολύ χαμηλή κατανάλωση ισχύος συγκριτικά με αντίστοιχα κυκλώματα με διπολικά τρανζίστορ, όμως, υστερούν ως προς την ταχύτητα λειτουργίας τους. Επίσης, οι διαστάσεις κατασκευής MOS τρανζίστορ, σε ολοκληρωμένη μορφή, είναι κατά πολύ μικρότερες των διπολικών τρανζίστορ, γεγονός που καθιστά την MOS τεχνολογία πολύ ελκυστική για κατασκευή ολοκληρωμένων κυκλωμάτων.

Τα MOSFET αποτελούνται από τρία υλικά, είναι τρανζίστορ μετάλλου-οξειδίου-ημιαγωγού. Η δομή αυτή δικαιολογεί την επικρατούσα ονομασία του στοιχείου ως MOSFET (Metal Oxide Semiconductor Field Effect Transistor) ή απλώς MOS τρανζίστορ. Η κατασκευή του MOSFET γίνεται με διαδοχική επίπεδη διαστρωμάτωση υλικών (planar process), με φωτολιθογραφικές διεργασίες. Στο σχήμα 16 διακρίνουμε το ημιαγωγικό υλικό, το οποίο είναι ελαφρώς νοθευμένο πυρίτιο Si τύπου p-, (εάν πρόκειται για τρανζίστορ διαύλου n, δηλαδή, nMOS), που αποτελεί το υπόστρωμα (substrate), πάνω στο οποίο δομείται το τρανζίστορ.



Σχήμα 15. α) Δομή MOSFET διαύλου-n, σε τομή, β) Σύμβολο n-MOS, γ) Σύμβολο p-MOS

Πάνω στο υπόστρωμα δημιουργούνται, με διάχυση ή άλλες τεχνικές, δυο περιοχές ισχυρής νόθευσης, τύπου n+, σε πολύ κοντινή απόσταση μεταξύ τους. Η ελάχιστη απόσταση μεταξύ των περιοχών διάχυσης καθορίζεται από την τεχνολογία κατασκευής, (π.χ. 0,18μm process). Οι περιοχές αυτές αποτελούν τον απαγωγό D (drain) και την πηγή S (source) του τρανζίστορ. Από κατασκευαστική άποψη δεν υπάρχει διάκριση μεταξύ απαγωγού και πηγής, αφού το MOS τρανζίστορ είναι συμμετρικό στη δομή του. Ο κοινός τόπος μεταξύ των περιοχών διάχυσης και πύλης καθορίζει τη γεωμετρία του τρανζίστορ, όπου με L χαρακτηρίζεται το μήκος του διαύλου του τρανζίστορ και με W χαρακτηρίζεται το εύρος του διαύλου. Για δεδομένη τεχνολογία κατασκευής, η γεωμετρία του τρανζίστορ είναι αυτή που καθορίζει την ηλεκτρική συμπεριφορά του στοιχείου, γι' αυτό και ο λόγος $a=W/L$ (aspect ratio) αποτελεί τη μοναδική σχεδιαστική παράμετρο, (design parameter), κατά το σχεδιασμό ολοκληρωμένων MOS κυκλωμάτων. Στα σχ.15.β και γ δευκνούνται, αντίστοιχα, τα σύμβολα για MOSFET διαύλου n και διαύλου p. Στα σύμβολα αυτά διακρίνεται ο ακροδέκτης B (bulk), που δηλώνει το σώμα του τρανζίστορ. Ο ακροδέκτης αυτός, σε ολοκληρωμένα κυκλώματα, συνδέεται μονίμως στο χαμηλότερο δυναμικό, για τρανζίστορ διαύλου-n, ή στο ψηλότερο δυναμικό για τρανζίστορ διαύλου-p. Επίσης σε άλλες τεχνολογίες ο ακροδέκτης B συνδέεται μονίμως με την πηγή. Χαρακτηριστικά γνωρίσματα του MOSFET είναι:

- α) οι πολύ μικρές φυσικές διαστάσεις του. Χρειάζεται περίπου το 20-30% της επιφάνειας, που απαιτείται για ένα BJT
- β) η χαμηλή κατανάλωση ισχύος
- γ) η μεγάλη αντίσταση εισόδου της τάξης των $10^{14} \Omega$
- δ) η δυνατότητα κατασκευής με διεργασία επίπεδης διαστρωμάτωσης υλικών (planar process)

Ο συνδυασμός αυτών των χαρακτηριστικών βοηθάει στην ανάπτυξη ολοκληρωμένων κυκλωμάτων μεγάλης κλίμακας ολοκλήρωσης, VLSI (Very Large Scale Integration)[17].

1.8 Εισαγωγή στα CMOS (COMPLEMENTARY METAL OXIDE SEMICONDUCTOR)

Η συνεχή απαίτηση για κυκλώματα χαμηλής κατανάλωσης ισχύος, οδήγησε στη συνεχή αυξανόμενη χρήση της CMOS. Μια δομή MOS δημιουργείται από την υπέρθεση πολλαπλών αγώγιμων στρωμάτων και μονωτικών υλικών. Ένα CMOS αποτελείται από στοιχεία p-MOS και n-MOS .

Σε ένα τρανζίστορ n-MOS και ένα p-MOS τρανζίστορ η πύλη ελέγχει τη ροή του ρεύματος μεταξύ πηγής και απαγωγού, όπου η πηγή και ο απαγωγός είναι συμμετρικοί ακροδέκτες.

Ένα τρανζίστορ MOS ορίζεται ως στοιχείο φορέων πλειονότητας (majority - carrier device) του οποίου το ρεύμα στο κανάλι αγωγής (πηγή - απαγωγός) διαμορφώνεται από την τάση πύλης. Η τάση κατωφλίου (V_t) ορίζεται ως η τάση πύλης στην οποία αρχίζει να άγει το στοιχείο MOS. Για τάσεις μικρότερες από V_t το κανάλι βρίσκεται σε κατάσταση αποκοπής (πολύ μικρό ρεύμα από πηγή σε απαγωγό). Η τάση κατωφλίου V_t είναι η τάση που εφαρμόζεται μεταξύ πύλης και πηγής ενός στοιχείου MOS κάτω από την οποία το ρεύμα απαγωγού – πηγής πέφτει στο μηδέν[12].

1.8.1 Δομές MOSFET

Τα τρανζίστορ MOSFET είναι ελεγχόμενες διατάξεις από τάση όπου τα οδηγητήρια ρεύματα που απαιτούν δεν είναι τόσο μεγάλα, όσο των αντίστοιχων διπολικών διατάξεων.

Τα MOSFET μπορούν να κατασκευαστούν τόσο μεμονωμένα (διακριτά τρανζίστορ) όσο και ως μέρη ενός ευρύτερου ολοκληρωμένου κυκλώματος. Η ενεργή τους περιοχή είτε είναι ένα κανάλι p-τύπου οπότε το τρανζίστορ χαρακτηρίζεται ως PMOS, είτε είναι ένα κανάλι n-τύπου οπότε το τρανζίστορ χαρακτηρίζεται ως NMOS, σχήμα 16 και 17. Το μεγάλο πλεονέκτημα των MOSFET είναι η πολύ μικρή

ισχύ τους εξαιτίας του μονωτικού στρώματος που παρεμβάλλεται μεταξύ πύλης και καναλιού[16].



Σχήμα 16. NMOS τρανζίστορ



Σχήμα 17. PMOS τρανζίστορ

1.8.2 Η λειτουργία του MOSFET

Η ιδέα της λειτουργίας των MOSFET είναι η εφαρμογή μιας διαφοράς δυναμικού μεταξύ πύλης και πηγής όπου δημιουργεί ένα ηλεκτρικό πεδίο το οποίο διαπερνά το διηλεκτρικό της πύλης και δημιουργεί (MOSFET προσαύξησης) ή τροποποιεί (MOSFET διακένωσης) ένα στρώμα αναστροφής. Το στρώμα αναστροφής έχει αντίθετο τύπο αγωγιμότητας από αυτόν του υποβάθρου και ταυτόσημο με αυτόν των διαχύσεων σε πηγή και απαγωγό. Όταν ένα NMOS εφαρμοστεί σε θετική τάση στην πύλη, τότε έχουμε συσσώρευση θετικού φορτίου στην περιοχή του υποστρώματος. Ακόμα όταν η τάση πύλης – πηγής V_{GS} υπερβεί την τάση κατωφλίου (κρίσιμη τιμή) V_T , αυτή η περιοχή αντιστρέφεται από τύπο -p σε τύπο -n. Με αυτήν την αντιστροφή σχηματίζεται κανάλι μεταξύ πηγής και απαγωγού. Ενώ όταν ένα PMOS εφαρμοστεί σε αρνητική τάση στην πηγή, τότε έχουμε συσσώρευση αρνητικού φορτίου στην περιοχή του υποστρώματος, ακόμα όταν η τάση πύλης – πηγής V_{GS} υπερβεί την τάση κατωφλίου(κρίσιμη τιμή) V_T , αυτή η

περιοχή αντιστρέφεται από τύπο $-n$ σε τύπο $-p$. Με αυτήν την αντιστροφή σχηματίζεται κανάλι μεταξύ πηγής και απαγωγού.

Η τάση κατωφλίου σε ένα MOSFET εξαρτάται από τα κατασκευαστικά υλικά του, τη θερμοκρασία (όσο αυξάνεται η θερμοκρασία η τάση κατωφλίου, η κινητικότητα των φορέων φορτίου και η ταχύτητα λειτουργίας του τρανζίστορ μειώνονται, ενώ το ρεύμα διαρροής στην περιοχή αποκοπής αυξάνεται) και από την διαφορά δυναμικού του (V_{SB}) μεταξύ πηγής και υποστρώματος. Η επίδραση του V_{SB} ονομάζεται body effect και τείνει να αυξάνει την τάση κατωφλίου όσο μεγαλώνει το V_{SB} .

Ο παρακάτω πίνακας 3 μας δείχνει τις διάφορες καταστάσεις που μπορεί να βρεθεί ένα τρανζίστορ MOSFET[16].

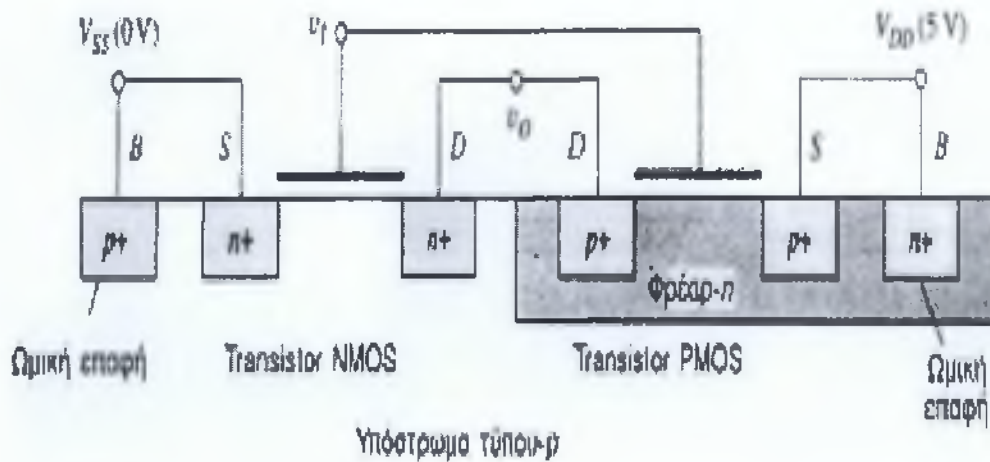
Πίνακας 3. Περιοχές λειτουργίας τρανζίστορ MOS

Αποκοπή(cutoff region)	NMOS: $V_{GS} < V_T$ PMOS: $V_{GS} > V_T$	Όσο η τάση V_{GS} είναι μικρότερη (μεγαλύτερη) από την τάση κατωφλίου V_T τότε το ρεύμα I_{DS} πρακτικά είναι μηδέν $I_{DS} = 0$	Το τρανζίστορ μπορεί να θεωρηθεί πρακτικά ως ανοικτό κύκλωμα.
Περιοχής Αντίστασης (resistive region)	NMOS: $V_{GS} \geq V_T$ $V_{DS} \leq (V_{GS} - V_T)$ PMOS: $V_{GS} \leq V_T$ $V_{DS} \geq (V_{GS} - V_T)$	Όταν η τάση V_{GS} είναι μεγαλύτερη(μικρότερη) από την τάση κατωφλίου V_T και η τάση μικρότερη(μεγαλύτερη) από την τιμή V_{DS} τότε το ρεύμα ισούται με: $I_{DS} = k[(V_{GS} - V_T) V_{DS} + V_{DS}^2/2]$ Όπου το k είναι ο συντελεστής κέρδους $k = \mu \epsilon_{ox} (W/L)$	Το τρανζίστορ συμπεριφέρεται ως μεταβλητή αντίσταση ελεγχόμενη από την τάση της πύλης α) Το ρεύμα I_{DS} είναι ανάλογο του V_{GS} . β) Το ρεύμα I_{DS} είναι επίσης ανάλογο του V_{DS} .
Περιοχή Κορεσμού(saturation region)	NMOS : $V_{GS} \geq V_T$ $V_{DS} \geq (V_{GS} - V_T)$ PMOS: $V_{GS} \leq V_T$ $V_{DS} \leq (V_{GS} - V_T)$	Όταν η τάση V_{DS} είναι μεγαλύτερη (μικρότερη) από την τιμή $V_{GS} - V_T$, τότε το φορτίο του καναλιού απομακρύνεται από την καταβόθρα (drain). Το κανάλι μεταξύ πηγής και καταβόθρας ελαττώνεται (pinch off) και το ρεύμα I_{DS} ισούται με: $I_{DS} = k (V_{GS} - V_T)^2/2$	Το τρανζίστορ συμπεριφέρεται ως πηγή ρεύματος ελεγχόμενη από την τάση της πύλης α) Το ρεύμα I_{DS} είναι ανάλογο του V^2 ες β)

			Το ρεύμα I_{DS} δεν εξαρτάται σε μεγάλο βαθμό από το V_{DS}
--	--	--	---

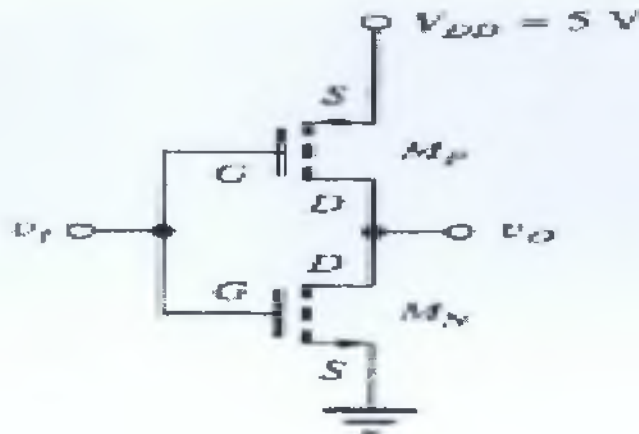
1.9 Αντιστροφέας CMOS

Η τεχνολογία αντιστροφή CMOS απαιτεί τεχνολογία τέτοια ώστε να επιτρέπει σε τρανζίστορ p-MOS και n-MOS, να συνυπάρχουν. Έτσι γίνεται χρήση δύο καναλιών MOSFET που να ταιριάζουν (ενός καναλιού n και ενός καναλιού p).



Σχήμα 18.

Στην παραπάνω εικόνα, σχήμα 18, βλέπουμε τη βασική δομή ενός IC και οι συνδέσεις για το σχηματισμό του βασικού αντιστροφέα CMOS. Επίσης καταλαβαίνουμε ότι η διάδοος pn ανάμεσα στο Φρέαρ p-n και στο υπόστρωμα τύπου -p πρέπει να διατηρείται πάντα ανάστροφα πολωμένη. Όπως φαίνεται στην εικόνα το τρανζίστορ PMOS μετάγεται μεταξύ των καταστάσεων on (αγωγή) και off (αποκοπή) από το σήμα εισόδου U_1 . Ενώ το τρανζίστορ NMOS λειτουργεί όπως και στις πύλες NMOS.



Σχήμα 19

Το παραπάνω σχήμα (σχήμα 19) απεικονίζει το βασικό κύκλωμα του αντιστροφέα CMOS. Από το σχήμα φαίνεται ότι δεν υπάρχει ποτέ αγωγή διαδρομή μεταξύ της θετικής και αρνητικής τάσης τροφοδοσίας κάτω από στατικές συνθήκες. Επίσης όταν ένα NMOS είναι on, τότε ένα PMOS είναι off και αντίστροφα. Ακόμα οι ακροδέκτες απαγωγού (D) των δύο MOSFET συνδέονται μεταξύ τους για να σχηματίσουν τον κόμβο εξόδου και οι ακροδέκτες υποστρώματος (B) συνδέονται με τις αντίστοιχες πηγές(S). Με αυτόν τον τρόπο το αποτέλεσμα είναι το φαινόμενο σώματος να απαλείφεται και στα δύο MOSFET. Τέλος από το σχήμα βλέπουμε ότι[6][15]:

$$A) V_{GS(NMOS)} = V_{IN} \text{ και } V_{DS(NMOS)} = V_{OUT} \quad [1.9(i)]$$

$$B) V_{GS(PMOS)} = V_{IN} - V_{DD} \text{ και } V_{DS(PMOS)} = V_{OUT} - V_{DD} \quad [1.9(ii)]$$

1.10 Λογικές Δομές CMOS [10]

Μια σωστά κατασκευασμένη συμπληρωματική πύλη CMOS θα λειτουργεί πάντα αξιόπιστα όταν τροφοδοτείται με σωστές τροφοδοσίες ισχύος. Οι δυναμικές πύλες και οι πύλες με λόγο διαστάσεων παρέχουν μέτρια σχεδίαση, φτωχό φυσικό σχέδιο και μη προβλέψιμο θόρυβο.

Ένα σημαντικό τμήμα του κύκλου σχεδίασης ενός ολοκληρωμένου CMOS αφιερώνεται στη βελτιστοποίηση της ταχύτητας του κυκλώματος. Συγκεκριμένα:

$$t_{r/f} = kx \frac{C_{load}}{\beta_{eff} V_{DD}} \quad [1.10(i)]$$

Όπου $k = \text{σταθερά} (\approx 2-4)$, $C_{load} = \text{χωρητικότητα που φαίνεται από την πύλη}$, $V_{DD} = \text{τάση τροφοδοσίας ισχύος}$, $\beta_{eff} = \text{ενεργό } \beta \text{ της αλυσίδας του οδηγού για τον χρόνο ανόδου ή για τον χρόνο καθόδου}$. Συγκεκριμένα το β_{eff} επηρεάζεται από τον αριθμό και το μέγεθος των εν-σειρά (ή παράλληλων) τρανζίστορ στον οδηγό του χρόνου ανόδου ή στον οδηγό του χρόνου καθόδου). Η χωρητικότητα C_{load} εξαρτάται από το μέγεθος και τον αριθμό των τρανζίστορ στα οποία είναι συνδεδεμένη η πύλη, τη χωρητικότητα διασυνδέσεων μεταξύ μίας πύλης και αυτών που οδηγεί. Η ταχύτητα μιας πύλης επηρεάζεται και από το χρόνο ανόδου/καθόδου της εισόδου.

Σε πολλές σχεδιάσεις υπάρχουν αρκετά λογικά μονοπάτια τα οποία δεν απαιτούν ιδιαίτερη μελέτη χρονισμού υπάρχει όμως ένας αριθμός μονοπατιών, που καλούνται κρίσιμα μονοπάτια (critical paths), τα οποία απαιτούν προσοχή σε θέματα χρονισμών. Αυτά τα κρίσιμα μονοπάτια μπορούν να επηρεαστούν από τις αποφάσεις στο αρχιτεκτονικό επίπεδο (αποδοτικοί αλγόριθμοι), στο επίπεδο λογικής πύλης (διοχέτευση, επιλογή πυλών), στο επίπεδο κυκλώματος (μεταβολή διαστάσεων τρανζίστορ) και τέλος στο επίπεδο φυσικής σχεδίασης (επανατοποθέτηση στοιχείων).

Υπάρχουν όμως και κάποιοι παράγοντες που μπορούν να οδηγήσουν μια λογική πύλη CMOS σε λανθασμένες λειτουργίες. Οι παράγοντες αυτοί είναι οι λανθασμένες ή ανεπαρκείς τροφοδοσίες ισχύος (θόρυβος στις τροφοδοσίες ισχύος), ο θόρυβος στις εισόδους πυλών, τα λανθασμένα τρανζίστορ, οι λανθασμένες συνδέσεις σε τρανζίστορ, οι λανθασμένοι λόγοι τρανζίστορ στη λογική με λόγο διαστάσεων και τέλος ο καταμερισμός φορτίου.

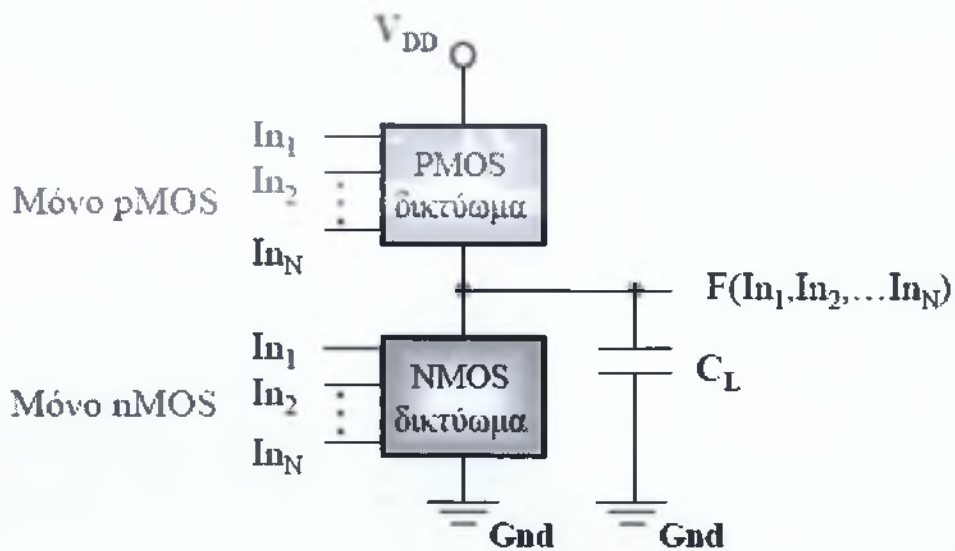
Πολλές φορές οι προδιαγραφές μιας σχεδίασης δεν καλύπτονται από τις συμπληρωματικές πύλες CMOS (πχ επιφάνεια και ταχύτητα). Τότε απαιτούνται άλλες δομές που παρέχουν τα απαιτούμενα χαρακτηριστικά με κόστος την αυξημένη σχεδιαστική και λειτουργική πολυπλοκότητα και πιθανώς το μειωμένο περιθώριο θορύβου[10].

1.10.1 Στατική λογική δομή CMOS

Η στατική λογική CMOS περιλαμβάνει ένα δικτύωμα NMOS μεταξύ της γείωσης και του κόμβου εξόδου μιας βαθμίδας και ένα δεύτερο PMOS μεταξύ της τροφοδοσίας και του κόμβου εξόδου. Τα τρανζίστορ NMOS υλοποιούν την

απαιτούμενη συνάρτηση, ενώ τα PMOS την δυαδική. Η μεγάλη αποδοχή της λογικής αυτής βασίζεται στη ευκολία σχεδιασμού που παρέχει, στα υψηλά περιθώρια θορύβου, στην ικανοποιητική ταχύτητα (ειδικά για μικρές πύλες), στους συγκριτικούς χρόνους ανόδου και καθόδου και στο γεγονός ότι η λειτουργικότητα των κυκλωμάτων δεν εξαρτάται από το λόγο W/L των τρανζίστορ.

Για να επιτευχθεί ικανό ρεύμα ώστε να οδηγηθούν μεγάλα φορτία εξόδου το μέγεθος των τρανζίστορ πρέπει να αυξηθεί με αποτέλεσμα να αυξάνεται η χωρητικότητα εισόδου οδηγώντας σε υψηλή καθυστέρηση και κατανάλωση ενέργειας.



Σχήμα 20. Στατική CMOS Πύλη

Τα λογικά δικτυώματα PMOS και NMOS είναι συμπληρωματικά μεταξύ τους, για αυτό το λόγο μόνο ένα από τα δύο άγει σε σταθερή κατάσταση.

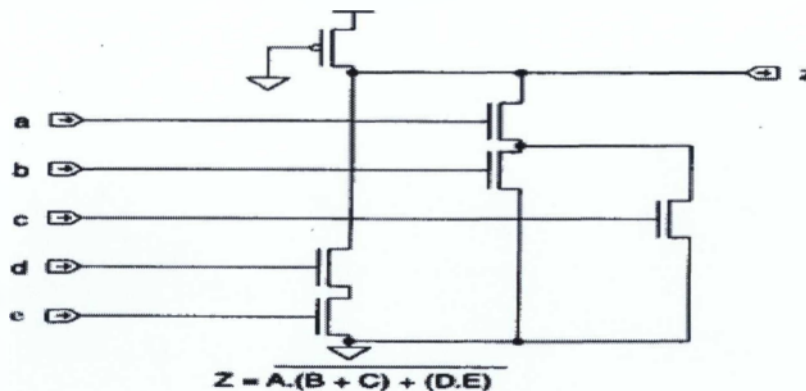
Σε κάθε χρονική στιγμή (εκτός των περιόδων, που οι εισοδοί αλλάζουν τιμές), η έξοδος μιας CMOS είναι πάντα συνδεδεμένη ή με την τροφοδοσία V_{DD} ή με την γείωση Gnd. Ποτέ όταν ένα CMOS βρίσκεται σε ηρεμία δεν μπορούν οι τροφοδοσίες V_{DD} και Gnd να είναι βραχυκυκλωμένες μεταξύ τους.

Η σύνδεση αυτή πραγματοποιείται μέσω είτε μέσω του P – net δικτυώματος, είτε μέσω του N – net, αντίστοιχα. Τα δικτυώματα αυτά όταν άγουν, συμπεριφέρονται ως μία αντίσταση χαμηλής τάσης, στη αντίθετη περίπτωση η αντίστασή τους θεωρείται ιδανικά άπειρη[14].

1.10.2 Λογική Ψευδό – Nmos [10]

Μια εναλλακτική λογική δομή είναι η λογική ψευδό – NMOS. Στο κύκλωμα ψευδό – NMOS το τρανζίστορ PMOS βρίσκεται μονίμως σε αγωγή. Όταν στο τμήμα NMOS δεν υπάρχει αγωγίμο μονοπάτι προς τη γείωση η έξοδος είναι σε υψηλή λογική στάθμη (V_{DD}). Όταν όμως το τμήμα NMOS άγει, τότε η τάση εξόδου καθορίζεται από την οδηγητική ικανότητα και τον “ανταγωνισμό” μεταξύ PMOS και NMOS.

Η λογική ψευδό – NMOS χρησιμοποιείται σπανίως σήμερα, διότι καταναλώνει στατική ισχύ. Λόγο της σημαντικής κατανάλωσης ισχύος η λογική ψευδό – NMOS καθίσταται ακατάλληλη για μεγάλη ολοκλήρωση.



Σχήμα 21. Μορφή κυκλώματος λογικής ψευδό - NMOS

Πλεονεκτήματα:

1. **Καλή Οδήγηση Προηγούμενων Βαθμίδων.** Το χωρητικό φορτίο στην είσοδο είναι το μισό από τις συμπληρωματικές πύλες CMOS αφού τα οδηγούμενα τρανζίστορ είναι τα μισά
2. **Μεγάλη πυκνότητα.** Σε μία ψευδό - NMOS πύλη n-εισόδων απαιτούνται n+1 τρανζίστορ

Μειονεκτήματα:

1. **Στατική Κατανάλωση Ισχύος.** Όταν το δίκτυο των nmos τρανζίστορ άγει, υπάρχει μονοπάτι από την τροφοδοσία στη γείωση κατά τη στατική λειτουργία

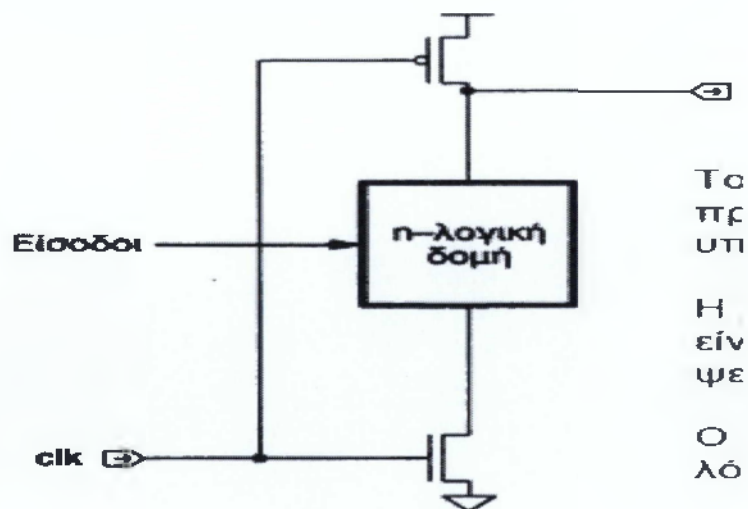
2. Απαιτεί σχεδίαση **Ratio λογικής** (περιθώρια θορύβου, απόκλιση παραμέτρων κατασκευής)[10]

1.10.3 Δυναμικές Λογικές Δομές CMOS

Η λειτουργία μιας δυναμικής λογικής δομής επιτυγχάνεται σε δύο φάσεις:

α) Στη φάση προφόρτισης, όταν το clock είναι σε υψηλή λογική στάθμη, οι παρασιτικές χωρητικότητες της εξόδου φορτίζονται μέσω του PMOS σε τάση V_{DD} . Το τρανζίστορ άγει.

β) Στη φάση υπολογισμού, το clock είναι σε υψηλή στάθμη, το PMOS σε αποκοπή και το NMOS άγει.



Σχήμα 22. Δυναμική λογική δομή CMOS

Το σήμα clock καθορίζει τη φάση της προφόρτισης και τη φάση του υπολογισμού. Η χωρητικότητα εισόδου της πύλης, σχήμα 22, είναι ίδια με τη χωρητικότητα της ψευδο-nMOS πύλης. Ο χρόνος καθόδου είναι αυξημένος λόγω του διακόπτη γείωσης. Ο διακόπτης της γείωσης μπορεί να παραληφθεί αν εξασφαλιστεί ότι οι εισοδοί παραμένουν στο μηδέν κατά τη διάρκεια της προφόρτισης. Τα προβλήματα είναι ότι οι εισοδοί μπορούν να αλλάζουν μόνο κατά τη διάρκεια της φάσης προφόρτισης και πρέπει να παραμένουν σταθερές κατά τη διάρκεια του κύκλου υπολογισμού.

Στις δυναμικές λογικές δομές CMOS χρησιμοποιείται προφόρτιση με σκοπό την αύξηση της ταχύτητας. Χρησιμοποιείται τρανζίστορ PMOS προφόρτισης (ενεργό όταν $clock = '0'$) και τρανζίστορ NMOS υπολογισμού (ενεργό όταν $clock = '1'$). Επειδή στις δυναμικές λογικές δομές κάθε κόμβος πρέπει να προφορτίζεται σε κάθε

κύκλο ρολογιού, η δυναμική κατανάλωση είναι μεγαλύτερη από ότι στη στατική λογική. Επίσης καταναλώνεται επιπρόσθετη ενέργεια λόγω του δικτύου διάδοσης του clock. Ωστόσο, αποφεύγονται οι ανεπιθύμητες μεταβάσεις και η κατανάλωση βραχυκυκλώματος.

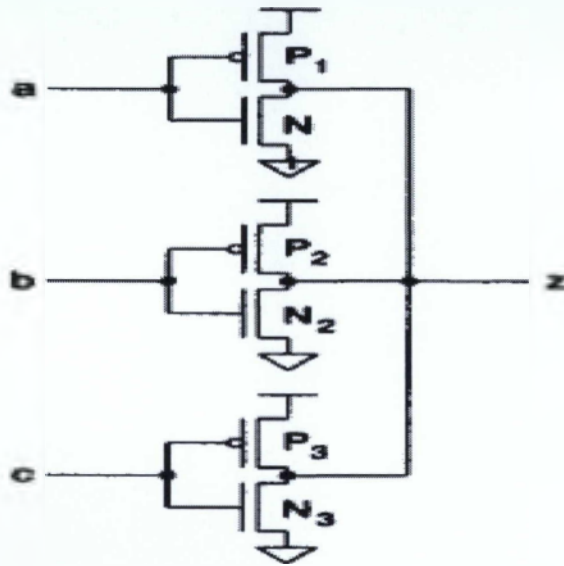
Ο παρακάτω πίνακας 4 μας δείχνει τις διαφορές των χαρακτηριστικών μεταξύ Στατικών και Δυναμικών λογικών δομών CMOS[10].

Πίνακας 4: Χαρακτηριστικά Στατικών και Δυναμικών δομών CMOS

ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ	ΣΤΑΤΙΚΕΣ ΛΟΓΙΚΕΣ	ΔΥΝΑΜΙΚΕΣ ΛΟΓΙΚΕΣ
ΑΝΕΠΙΘΥΜΗΤΕΣ ΜΕΤΑΒΑΣΕΙΣ	ΕΠΙΠΡΟΣΘΕΤΗ ΚΑΤΑΝΑΛΩΣΗ ΕΩΣ ΚΑΙ 30%	ΔΕΝ ΥΠΑΡΧΟΥΝ
ΚΑΤΑΝΑΛΩΣΗ ΒΡΑΧΥΚΥΚΛΩΜΑΤΟΣ	ΠΕΡΙΠΟΥ 15% ΤΗΣ ΣΥΝΟΛΙΚΗΣ ΚΑΤΑΝΑΛΩΣΗΣ ΕΝΕΡΓΕΙΑΣ	ΔΕΝ ΥΠΑΡΧΕΙ
ΣΥΧΝΟΤΗΤΑ ΜΕΤΑΒΑΣΕΩΝ	ΕΞΑΡΤΑΤΑΙ ΑΠΟ ΤΗΝ ΠΡΟΗΓΟΥΜΕΝΗ ΚΑΤΑΝΑΛΩΣΗ	ΚΑΤΑΝΑΛΩΝΕΤΑΙ ΕΝΕΡΓΕΙΑ ΚΑΘΕ ΦΟΡΑ ΠΟΥ Η ΕΞΟΔΟΣ ΕΙΝΑΙ ΣΕ ΛΟΓΙΚΟ "0"
ΠΑΡΑΣΙΤΙΚΕΣ ΧΩΡΗΤΙΚΟΤΗΤΕΣ	ΧΡΗΣΙΜΟΠΟΙΟΥΝ ΠΕΡΙΣΣΟΤΕΡΑ ΤΡΑΝΖΙΣΤΟΡ, ΑΡΑ ΠΑΡΟΥΣΙΑΖΟΥΝ ΜΕΓΑΛΥΤΕΡΕΣ ΠΑΡΑΣΙΤΙΚΕΣ ΧΩΡΗΤΙΚΟΤΗΤΕΣ	ΧΡΗΣΙΜΟΠΟΙΟΥΝ ΛΙΓΟΤΕΡΑ ΤΡΑΝΖΙΣΤΟΡ, ΑΡΑ ΠΑΡΟΥΣΙΑΖΟΥΝ ΛΙΓΟΤΕΡΕΣ ΠΑΡΑΣΙΤΙΚΕΣ ΧΩΡΗΤΙΚΟΤΗΤΕΣ
ΚΑΤΑΝΑΛΩΣΗ ΛΟΓΩ ΚΥΚΛΩΜΑΤΩΝ ΡΟΛΟΓΙΟΥ	ΔΕΝ ΥΠΑΡΧΕΙ	ΕΠΙΠΡΟΣΘΕΤΗ ΚΑΤΑΝΑΛΩΣΗ ΛΟΓΩ ΤΩΝ ΤΡΑΝΖΙΣΤΟΡ ΠΡΟΦΟΡΤΙΣΗΣ ΚΑΙ ΤΟΥ ΔΙΚΤΥΟΥ ΔΙΑΔΟΣΗΣ ΤΟΥ ΡΟΛΟΓΙΟΥ

1.10.4 Συνδυασμένη Λογική CMOS

Η συνδυασμένη λογική CMOS είναι ένα άλλο κύκλωμα ψευδο - NMOS που καλείται και συμμετρική πύλη NOR CMOS. Απαιτεί την κατάλληλη επιλογή του λόγου των διαστάσεων των p, n τρανζίστορ για να λειτουργήσει σωστά. Με κατάλληλη επιλογή του λόγου των διαστάσεων των p, n τρανζίστορ μπορεί να λειτουργήσει ως πύλη NAND[10].



Σχήμα 23. Μορφή κυκλώματος συνδυασμένης λογικής CMOS

1.11 Διατάξεις Εισόδου – Εξόδου κυκλωμάτων CMOS

Οι διατάξεις εισόδου εξόδου ενός CMOS κυκλώματος διασυνδέουν τα εσωτερικά κυκλώματα με τον έξω κόσμο. Είναι έτσι φτιαγμένα ώστε να αντεπεξέρχονται σε τάσεις και σε ρεύματα πολύ μεγαλύτερα από όσο στους εσωτερικούς κόμβους του κυκλώματος.

Οι διατάξεις εισόδου – εξόδου αποτελούνται από έναν αντιστροφέα CMOS με πρόσθετες διαστάσεις (διόδους, αντιστάσεις, κ.α.), υλοποιημένες στα επίπεδα πυριτίου – μετάλλου[11].

1.11.1 Βαθμίδες Εισόδου CMOS

Οι βαθμίδες εισόδου ως κύριο μέλημά τους έχουν την απομάκρυνση των θετικών και αρνητικών υπερτάσεων από τις πύλες των τρανζίστορ. Η σύνθετη αντίσταση εισόδου είναι πολύ μεγάλη, για αυτόν τον λόγο όταν η λογική στάθμη των εισόδων

είναι σταθερή το ρεύμα είναι πρακτικά μηδέν. Το κυριότερο χαρακτηριστικό τους είναι η χωρητικότητά τους, η οποία αποτελείται από τις χωρητικότητες της βαθμίδας εισόδου MOSFET, των κυκλωμάτων προστασίας και της συσκευασίας από τον ακροδέκτη μέχρι την επιφάνεια του πυριτίου[11].

1.11.1.1 Μη οδηγούμενες εισόδοι / εισόδοι αργής μετάβασης

Οι βαθμίδες εισόδου πρέπει πάντοτε να οδηγούνται από ένα ισχυρό σήμα είτε προς την υψηλή (V_{DD}), είτε προς την χαμηλή (GND) λογική στάθμη, ουσιαστικά μια είσοδος δεν πρέπει να αφήνεται ασύνδετη. Σε περίπτωση που αφηθεί ‘‘ελεύθερη’’ μια είσοδος, πάει στην περιοχή του κατωφλίου και άγει ρεύμα βραχυκυκλώματος. Αν μείνει εκεί για μεγάλο χρονικό διάστημα, βραχυκυκλώνει το σύστημα, για αυτό το λόγο οι εισόδοι πρέπει να συνδέονται είτε στη υψηλή λογική στάθμη (V_{DD}), είτε στη γείωση. Επίσης όταν μία έξοδος μεταδίδει σήματα σε πολλές εισόδους, πρέπει να είμαστε σίγουροι ότι ο δίαυλος θα καθοδηγείται και από μία έξοδο.

Βάση των παραπάνω περιγραφών καταλήγουμε ότι τα κυκλώματα CMOS υψηλών ταχυτήτων είναι ευαίσθητα στα σήματα εισόδου με αργούς ρυθμούς ανόδου – καθόδου. Η αργή μετάβαση μιας εισόδου από τη μία λογική στάθμη στην άλλη μπορεί να προκαλέσει λογικά σφάλματα ή ταλαντώσεις στην έξοδο[11].

1.11.2 Βαθμίδες Εξόδου CMOS

Οι βαθμίδες εξόδου αποτελούνται από έναν συνδυασμό στοιχείων ανύψωσης (pullup) και καταβύθισης (pulldown) της τάσης εξόδου, ως κύριο μέλημά τους έχουν να αποτρέπουν το υπερβολικό ρεύμα, να περάσει μέσα από την πηγή του τρανζίστορ. Οι δίοδοι στις βαθμίδες εξόδου λειτουργούν παρασιτικά, αν και συνήθως προστίθενται και επιπλέον δίοδοι προστασίας στο τρανζίστορ. Ανάλογα με την λογική στάθμη της εξόδου ένα από τα δύο τρανζίστορ MOSFET άγει συνδέοντας την έξοδο είτε με V_{DD} , είτε με τη γείωση. Στις εξόδους το ρεύμα αυξάνεται όταν αυξάνεται η τάση τροφοδοσίας και μειώνεται με την αύξηση της θερμοκρασίας. Επίσης όταν η έξοδος δεν οδηγεί κανένα φορτίο τότε η υψηλή τάση εξόδου (V_{OH}) ισούται με την V_{DD} , ενώ στην ίδια κατάσταση η χαμηλή τάση εξόδου οδηγεί στην γείωση. Από τα παραπάνω προκύπτει ο τύπος :

$$R_{ON(H)} = \frac{|V_{DD} - V_{OH(\min)}|}{I_{OH}} \quad [1.12.2(i)]$$

$$R_{ON(L)} = \frac{|GND - V_{OL(\max)}|}{I_{OL}} \quad [1.12.2(ii)]$$

Η οδηγητική ικανότητα μίας εξόδου εξαρτάται από τα φορτία που μετακινούνται κατά την αλλαγή της λογικής στάθμης της. Η μετάβαση της εξόδου από τη μία λογική στάθμη στην άλλη, είναι σταδιακή και καθορίζεται από τη σταθερά χρόνου του απλού RC κυκλώματος[11].

1.11.2.1 Άλλες Δομές Εξόδου CMOS

Εκτός από τις κλασικές βαθμίδες εξόδου υπάρχουν και άλλες μορφές εξόδου CMOS, που χρησιμοποιούνται σε διαφορετικές περιπτώσεις διασύνδεσης. Μία τέτοια περίπτωση είναι η έξοδος ανοικτής καταβόθρας και χρησιμοποιείται για την υλοποίηση wired – AND συνδέσεων. Όπου στη δημιουργία αυτής της εξόδου παραλείπεται το CMOS τρανζίστορ και απαιτείται μια εξωτερική αντίσταση pullup προς το V_{DD} για τη δημιουργία υψηλής λογικής στάθμης. Άλλη δομή είναι η έξοδος τριών καταστάσεων, η οποία μπορεί να κατασκευαστεί απομονώνοντας τον ακροδέκτη εξόδου υπό τον έλεγχο ενός σήματος enable. Ο απομονωμένος ακροδέκτης εξόδου δεν άγεται προς το V_{DD} ή το GND, αλλά παρουσιάζει χωρητικότητα εξόδου[16].

1.12 Κατανάλωση ισχύος Κυκλωμάτων CMOS

Η τεχνολογία CMOS είναι ιδανική για λογικά κυκλώματα μεγάλης ολοκλήρωσης και χαμηλής κατανάλωσης. Οι πηγές της κατανάλωσης ισχύος στα CMOS κυκλώματα είναι η στατική ισχύς και η δυναμική κατανάλωση ισχύος[8][9].

1.12.1 Στατική Κατανάλωση Ισχύος

Με τον όρο στατική ισχύς αναφερόμαστε στην ισχύ που καταναλώνεται σε ένα κύκλωμα, όταν αυτό βρίσκεται σε κατάσταση ηρεμίας. Η στατική ισχύς σε CMOS κυκλώματα οφείλεται κυρίως στα ρεύματα διαρροής των τρανζίστορ, γι' αυτό και συχνά αναφέρεται ως ισχύς διαρροής. Αν και η δυναμική ισχύς είναι η κύρια

συνιστώσα της κατανάλωσης ισχύος σε CMOS κυκλώματα, η στατική ισχύς αυξάνεται με εκθετικό ρυθμό καθώς μικραίνει η τεχνολογία ολοκλήρωσης. Μέχρι πρόσφατα θεωρούνταν μηδενικής σημασίας, αλλά στους σημερινούς επεξεργαστές οφείλεται για το 20% περίπου της συνολικής κατανάλωσης ισχύος. Για την στατική κατανάλωση ισχύος ισχύει ο τύπος

$$P_S = I_{CC} \cdot V_{CC}, \quad [1.13.1(i)]$$

όπου P_S η στατική κατανάλωση ισχύος, I_{CC} το ρεύμα διαρροής και V_{CC} η τάση τροφοδοσίας[8][9].

1.12.2 Δυναμική Κατανάλωση Ισχύος

Η δυναμική ισχύς ευθύνεται για το μεγαλύτερο ποσοστό της καταναλισκόμενης ισχύος ενός ολοκληρωμένου κυκλώματος CMOS (περίπου το 80%), αλλά αυτή η ισορροπία αναμένεται να αλλάξει καθώς μικραίνει η τεχνολογία ολοκλήρωσης. Γενικά, η κατανάλωση δυναμικής ισχύος προέρχεται από την φόρτιση και εκφόρτιση των παρασιτικών χωρητικοτήτων των κυκλωμάτων. Κάθε μετάβαση από 0 σε 1 και 1 σε 0 συνεπάγεται αύξηση της καταναλισκόμενης δυναμικής ισχύος και κατ' επέκταση της θερμοκρασίας του κυκλώματος. Πιο συγκεκριμένα, η δυναμική ισχύς που καταναλώνεται σε ένα CMOS κύκλωμα (προσέγγιση πρώτης τάξης) δίνεται από τον τύπο

$$P_L = C_L \cdot V_{CC}^2 \cdot f_0 \cdot N \quad [1.13.2(i)]$$

όπου P_L είναι η δυναμική ισχύς, C_L είναι η χωρητικότητα του κυκλώματος, V_{CC} είναι η τάση τροφοδοσίας, f_0 η συχνότητα λειτουργίας και N είναι ο διακοπτικός ρυθμός δραστηριότητας.

Συγκεκριμένα για τις παραπάνω παραμέτρους:

- Χωρητικότητα (C_L): Η χωρητικότητα ουσιαστικά καθορίζεται από το πλήθος των τρανζίστορ και τις μεταξύ τους διασυνδέσεις, που υπάρχουν στις δομές ενός ολοκληρωμένου κυκλώματος
- Τροφοδοσίας (V_{CC}): Η τάση τροφοδοσίας μειώνεται με σταθερό ρυθμό καθώς μικραίνει η τεχνολογία ολοκλήρωσης
- Διακοπτικός Ρυθμός Δραστηριότητας (N): Ο διακοπτικός ρυθμός δραστηριότητας εκφράζει το πόσο συχνά γίνονται μεταβάσεις σε ένα

καλώδιο από 0 σε 1 ή από 1 σε 0. Είναι δηλαδή ένας παράγοντας που μας δείχνει το ποσοστό του κυκλώματος που κάνει μεταβάσεις σε κάθε κύκλο.

- Συχνότητα Λειτουργίας (f_0): Η συχνότητα έχει σημαντική επίδραση στην κατανάλωση της δυναμικής ισχύος. Αυτό συμβαίνει, γιατί υπάρχει μια σχέση αλληλεπίδρασης μεταξύ συχνότητας (f_0) και τάσης τροφοδοσίας (V_{CC}). Για να αυξηθεί η συχνότητα, θα πρέπει να αυξηθεί αντίστοιχα και η τάση τροφοδοσίας. Από την άλλη μεριά, όταν μειώνεται η συχνότητα, αυξάνεται ο χρόνος εκτέλεσης ενός προγράμματος και άρα η ενέργεια που καταναλώνεται. Γι' αυτό το λόγο το γινόμενο ($V_{CC} \cdot f_0$) αντιμετωπίζεται σαν μια ενιαία ποσότητα, που και οι δύο παράμετροι πρέπει να αλλάζουν ταυτόχρονα[8][9].

1.12.2.1 Ρεύμα Βραχυκυκλώματος

Τα ρεύματα βραχυκυκλώματος και κατ' επέκταση η ισχύς βραχυκυκλώματος, εμφανίζονται κατά την αλλαγή λογικής κατάστασης λόγω της στιγμιαίας ταυτόχρονης αγωγής των τρανζίστορ PMOS και NMOS των διάφορων βαθμιδών ενός ολοκληρωμένου CMOS κυκλώματος. Η ισχύς βραχυκυκλώματος συνεισφέρει απειροελάχιστα στην συνολική κατανάλωση ισχύος των CMOS κυκλωμάτων. Κατά τη διάρκεια της μετάβασης σε μια στατική πύλη CMOS τα PMOS και τα NMOS τρανζίστορ είναι ταυτόχρονα ενεργοποιημένα για ένα σύντομο χρονικό διάστημα, στο διάστημα αυτό σχηματίζεται ένα απευθείας μονοπάτι ρεύματος μεταξύ του V_{DD} και το GND. Η ισχύς του ρεύματος αυτού καταναλίσκεται στα τρανζίστορ χωρίς να συνεισφέρει στη φόρτιση της χωρητικότητας εξόδου. Η διάρκεια αυτού του χρονικού διαστήματος εξαρτάται από το χρόνο ανόδου ή καθόδου των εισόδων και του σήματος της εξόδου (σε ένα καλά σχεδιασμένο κύκλωμα (χρόνοι ανόδου/καθόδου – μέτρηση 10%-90% μεταξύ 1 – 1.5) η κατανάλωση ισχύος λόγω του ρεύματος βραχυκυκλώματος είναι το 5 – 10%). Αυτή η απώλεια ισχύος πραγματοποιείται μόνο όταν η πύλη αλλάζει κατάσταση. Ουσιαστικά είναι μέρος της δυναμικής κατανάλωσης ισχύος απλά αντιμετωπίζεται χωριστά. Το ρεύμα βραχυκυκλώματος εξαρτάται από την τιμή του V_{CC} [7][9][13].

1.12.2.2 Ρεύματα Διαρροής

Το τρανζίστορ CMOS διαρρέεται από μια ποσότητα ρεύματος η οποία δυστυχώς με τη σμίκρυνση της τεχνολογίας συνεχώς αυξάνει, επομένως ουσιαστικά το κύκλωμα παρουσιάζει κατανάλωση ισχύος ακόμη και όταν δεν έχουμε μεταβάσεις στην έξοδο της πύλης.

Τα ρεύματα διαρροής αυξάνουν με την άνοδο της θερμοκρασίας, με τη μείωση της τάσης κατώφλιου των τρανζίστορ και μάλιστα εκθετικά (τη μείωση αυτή τη χρειαζόμαστε για την αύξηση της ταχύτητας του κυκλώματος, γιατί το χαμηλό κατώφλι συνεπάγεται με μεγάλο ρεύμα και γρήγορη φόρτιση/εκφόρτιση χωρητικοτήτων εξόδου). Τα ρεύματα διαρροής εξαρτώνται σημαντικά από την τάση τροφοδοσίας του κυκλώματος. Ξεκίνησε σαν ένα αμελητέο ποσό της συνολικής κατανάλωσης ισχύος, στις μέρες μας η κατανάλωση λόγω των ρευμάτων διαρροής μπορεί να αγγίξει έως και το 30% της συνολικής κατανάλωσης ισχύος. Προς το παρόν οι καινούριες τεχνολογίες μαζί με τις σχεδιαστικές τεχνικές που προέκυψαν έχουν ανταποκριθεί και κρατούν τα ρεύματα διαρροής σε ανεκτά επίπεδα[7][13][16].

1.12.3 Συνολική Κατανάλωση Ισχύος

Η συνολική κατανάλωση ισχύος αποτελείται από την δυναμική κατανάλωση ισχύος, τη συνεισφορά του ρεύματος βραχυκυκλώματος και τα ρεύματα διαρροής. Οι μικρότερου μεγέθους τεχνολογίες δυσκολεύουν ολοένα και περισσότερο το πρόβλημα. Οι επιδόσεις των κυκλωμάτων περιορίζονται πια από την κατανάλωση ισχύος τους, τα οποία είναι προβλήματα θερμοκρασίας, πακεταρίσματος του ολοκληρωμένου, χρόνος αντοχής μπαταρίας για φορητές συσκευές. Ο τύπος που ισχύει για την κατανάλωση της ισχύος είναι:

$$P = P_S + P_L + P_T = I_{CC} \cdot V_{CC} + \Sigma(C_{L(i)} \cdot f_{O(i)}) \cdot V_{CC}^2 + C_{PD} \cdot V_{CC}^2 \cdot f \quad [1.12.3(i)],$$

όπου P_S είναι η στατική κατανάλωση, P_L είναι η καταναλισκόμενη ισχύς για τη φόρτιση/εκφόρτιση των εξωτερικών χωρητικοτήτων, P_T είναι η εσωτερικά καταναλισκόμενη ισχύς, I_{CC} είναι το ρεύμα διαρροής, V_{CC} είναι η τάση τροφοδοσίας, $C_{L(i)}$ ισούται με το φορτίο, η $f_{O(i)}$ ισούται με την ενιαία συχνότητα εναλλαγής εξόδων, C_{PD} είναι μια ισοδύναμη κατανάλωση ισχύος και τέλος όπου f η συχνότητα λειτουργίας του κυκλώματος[7][16].

1.12.4 Μέγιστη Κατανάλωση Ισχύος

Η μέγιστη κατανάλωση ισχύος καθορίζεται από την μέγιστη επιτρεπόμενη θερμοκρασία επαφής (T_j - Εσωτερική θερμοκρασία του κυκλώματος), όπου η θερμοκρασία επαφής ισούται με τη θερμοκρασία του περιβάλλοντος (T_A), προσαυξανόμενη ανάλογα με την κατανάλωση ισχύος (P). Ο τύπος για την μέγιστη κατανάλωση ισχύος είναι:

$$P_{MAX} = (T_{jMAX} - T_A) / \theta_{JA} \quad [1.12.4(i)]$$

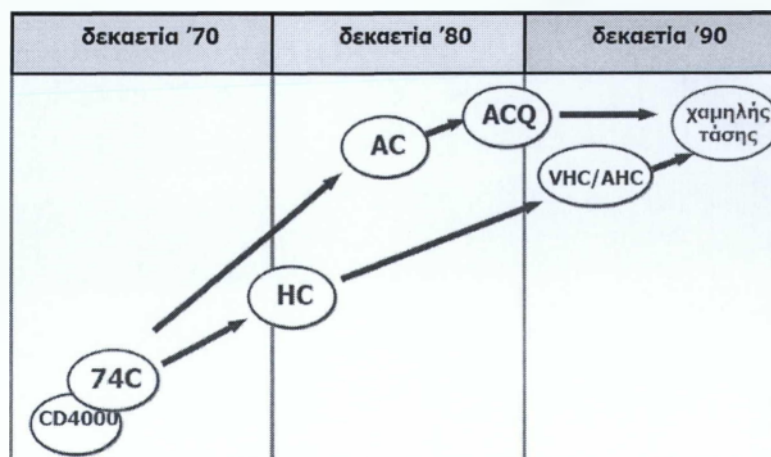
όπου θ_{JA} είναι ο συντελεστής θερμικής κατάστασης και εξαρτάται από τη συσκευασία του ολοκληρωμένου κυκλώματος.

Για να καταφέρουμε να έχουμε την μέγιστη κατανάλωση ισχύος πρέπει να κλείσουμε τις ανενεργές περιοχές του κυκλώματος, να μειώσουμε τον αριθμό των μεταβάσεων. Να έχουμε παραλληλισμό για μείωση της κατανάλωσης και όχι της απόδοσης[16].

1.13 Λογικές Οικογένειες CMOS

Παλιότερα κάθε λογικό σύστημα περιείχε ένα μεγάλο αριθμό τυποποιημένων λογικών κυκλωμάτων (πύλες, καταχωρητές κτλ.). Πλέον στα σύγχρονα λογικά κυκλώματα CMOS το σύνολο της λειτουργικότητας τους καλύπτεται από λίγα ολοκληρωμένα κυκλώματα μεγάλης ολοκλήρωσης, έτσι οι CMOS υλοποιούν κυρίως λειτουργίες διασύνδεσης (απομονωτές, καταχωρητές) και μεμονωμένες λογικές συναρτήσεις (μονές ή διπλές πύλες) [11].

1.13.1 Συμβατικές Λογικές Οικογένειες CMOS



Σχήμα 24. CMOS Λογικές οικογένειες

Όπως φαίνεται και στο σχήμα 24 οι συμβατικές λογικές οικογένειες χρονολογικά είναι οι εξής:

- Δεκαετία '70, οι πρώτες λογικές οικογένειες.
 - ✓ CD 4000, αυτή η οικογένεια προσέφερε μηδενική στατική κατανάλωση ισχύος σε σχέση με τα TTL, αλλά είχε πολύ μικρή συχνότητα λειτουργίας
 - ✓ 74C, ολοκληρωμένα κυκλώματα αντίστοιχα με τα TTL, οι οικογένειες αυτές υλοποίησαν τις πύλες MOSFET με αλουμίνιο και χρησιμοποιήθηκαν αποκλειστικά σε εφαρμογές χαμηλής ισχύος
- Δεκαετία '80, αναπτύχθηκαν ολοκληρωμένα κυκλώματα CMOS με πύλες τρανζίστορ και πολυκρυσταλλικό πυρίτιο
 - ✓ 74 HC
 - ✓ 74A

Οι δύο παραπάνω λογικές οικογένειες καθιερώθηκαν ως βάση για όλες τις μετέπειτα οικογένειες. Διαθέτουν και κάποιες παραλλαγές την HCT, ACT με στάθμες εισόδων TTL για διασύνδεση με τέτοιου τύπου ολοκληρωμένα κυκλώματα.

- Δεκαετία '90,
 - ✓ Παρουσία βελτιωμένων εκδόσεων τις σειρές 74AC, με καλύτερα χαρακτηριστικά θορύβου εξόδων
 - ✓ Οι VHC / AHC βελτίωσαν τα χαρακτηριστικά της σειράς 74HC
- Στη συνέχεια η τεχνολογία εξελίχθηκε στις λογικές οικογένειες χαμηλής τάσης τροφοδοσίας[11].

1.13.1.1 Τάση Τροφοδοσίας

Στον παρακάτω πίνακα 5 βλέπουμε αντίστοιχα για κάθε οικογένεια, ανάλογα με την τιμή της τάσης τροφοδοσίας ποιες προδιαγραφές δίνονται

Πίνακας 5. Τάση τροφοδοσίας

Λογική Οικογένεια	Τάση Τροφοδοσίας V_{CC}	Δίδονται Προδιαγραφές για
CD 40000	3 – 15V	5, 10, 15V
74C	3 – 15V	5, 10, 15V
74HC	2 – 6V	2, 4.5, 6V
74AC	2 – 6V	3, 4.5, 6V

AHC / VHC	2 – 5.5V	2, 3, 4.5V
-----------	----------	------------

Από την τάση τροφοδοσίας εξαρτώνται βασικά χαρακτηριστικά λειτουργίας, όπως οι λογικές στάθμες εισόδου – εξόδου και η καθυστέρηση διάδοσης (μειώνεται όσο αυξάνεται το V_{CC})[11].

1.13.1.2 Οδηγητική Ικανότητα

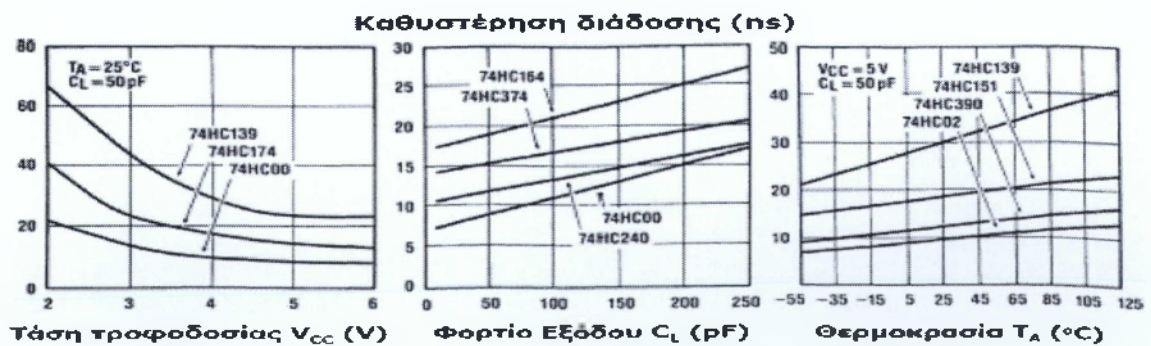
Είναι η ικανότητα στην παροχή ή καταβύθιση ρεύματος στις εξόδους του λογικού κυκλώματος CMOS για την οδήγηση ενός φορτίου με την τάση εξόδου να παραμένει εντός λογικών σταθμών[11].

Στο παρακάτω πίνακα 6 φαίνεται σε κάθε λογική οικογένεια ποιες είναι οι τιμές του λόγου I_{OL} / I_{OH}

Πίνακας 6. Λόγος I_{OL} / I_{OH}

Λογική Οικογένεια	I_{OL} / I_{OH} ($V_{CC} = 5V, C_L = 50pF$)
CD 40000	+0.4mA
74C	+1.6mA
74HC	+6mA
74AC	+24mA
AHC / VHC	+8mA

1.13.1.3 Καθυστέρηση διάδοσης



Σχήμα 25. Οι καμπύλες που αφορούν την Καθυστέρηση διάδοσης

Πίνακας 7. Καθυστέρηση Διάδοσης

Λογική Οικογένεια	Καθυστέρηση Διάδοσης ($V_{CC} = 5V, C_L = 50pF$) t_{PD}
74C	70ns
74HC	25ns
74AC	7.5ns
AHC / VHC	8.5ns

Η καθυστέρηση διάδοσης εξαρτάται από την θερμοκρασία, την τάση τροφοδοσίας και το φορτίο της εξόδου, όπως βλέπουμε παραπάνω στον πίνακα 7[11].

1.13.1.4 Λογικές Στάθμες Εισόδου – Εξόδου

Οι λογικές στάθμες εισόδου (V_{IL}, V_{IH}) των ολοκληρωμένων κυκλωμάτων CMOS είναι $V_{IL} = 0.3V_{CC}$ και $V_{IH} = 0.7V_{CC}$, οι σχέσεις αυτές δεν ισχύουν για πολύ μικρές τάσεις τροφοδοσίας.

Οι λογικές στάθμες εξόδου (V_{OL}, V_{OH}), ορίζονται πάντοτε σε σχέση με συγκεκριμένες τιμές του ρεύματος εξόδου (I_{OL}, I_{OH}) (βλέπε πίνακα 8)[16].

Πίνακας 8. Λογικές στάθμες εξόδου

Λογική Οικογένεια	$V_{OHmin}, V_{OLmax}, I_O, V_{CC}$
74C	4.35 / 0,4V(+4.5mA, 4,75V)
74HC	3.84 / 0,33V (+4mA, 4,5V)
74AC	3.76 / 0,44V (+24mA, 4,5V)
AHC / VHC	3.8 / 0,44V (+8mA, 4,5V)

1.13.1.5 Θόρυβος Εξόδων

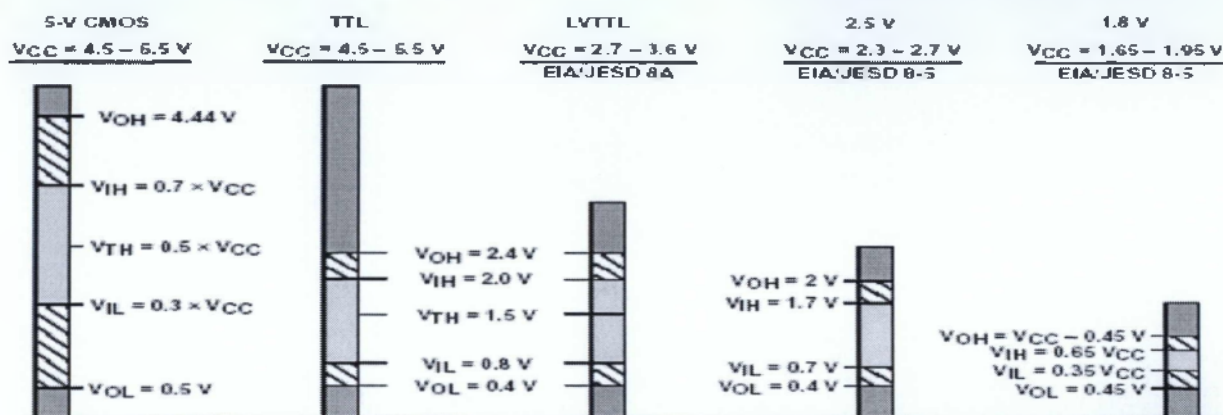
Όσο τα λογικά κυκλώματα CMOS γίνονται γρηγορότερα τόσο οι εναλλαγές στην κατάσταση των εξόδων και η αντίστοιχη απότομη ροή ρεύματος προκαλούν παρασιτικές αιχμές τάσης σε γειτονικούς εξόδους του ίδιου κυκλώματος.

Πίνακας 9. Θόρυβος εξόδων

Λογική Οικογένεια	V_{OLP}/V_{OLV} (*244, $C_L = 50pF$)
74C	0.5/-0.3V
74AC	1.6/-1.5V
74ACQ	0.9/-0.5V
AHC / VHC	0.6/-0.8V

Στον πίνακα 9 παρατηρούμε ότι το μεγαλύτερο θόρυβο εξόδων έχουμε στην ταχύτερη οικογένεια (74AC). Για αυτό το λόγο η παραλλαγή της (74ACQ) χρησιμοποιεί ειδικά κυκλώματα στις βαθμίδες εξόδου με τη βοήθεια των οποίων μεταβάλλει σταδιακά την μορφή της κυματομορφής εξόδου, αποφεύγοντας έτσι τις απότομες μεταβολές ρεύματος που προκαλούν τον θόρυβο, αυτή η τεχνική χρησιμοποιείται σε όλα τα CMOS[16].

Πρότυπες λογικές στάθμες τάσης



Σχήμα 26. Το γράφημα που αφορά τις λογικές στάθμες τάσης

1.13.2 Λογικές Οικογένειες CMOS Χαμηλής Τάσης Τροφοδοσίας

Για την καθιέρωση των οικογενειών χαμηλής τάσης σημαντικό ρόλο έπαιξε η μείωση του V_C , η οποία αποφέρει σημαντικά οφέλη στην κατανάλωση ισχύος και είναι καθοριστικός παράγοντας στα σύγχρονα κυκλώματα CMOS. Και αφού πλέον οι διαστάσεις των MOSFET συνεχώς μειώνονται και το επίπεδο οξειδίου του πυριτίου λεπταίνει, οι τάσεις άνω των 5V, αν εφαρμοστούν υπάρχει κίνδυνος διάσπασης του επιπέδου απομόνωσης(πίνακας 10).

Πίνακας 10. Χαρακτηριστικά του 74HC 244

Ολοκληρωμένο Κύκλωμα 74HC244	Με Κανονική Τάση V_{CC} (4.5V)	Με Ελάχιστη Δυνατή V_{CC} (2V)
Μέγιστη Καθυστέρηση Διάδοσης t_{PD}	28ns	140ns
Μέγιστη Οδηγητική Ικανότητα $I_{OL(H)}$	6Ma	0.02Ma

Οι οικογένειες χαμηλής τάσης χωρίζονται σε δύο κύριες ομάδες, που χωρίζονται σε μικρότερα μέλη ανάλογα με την κατασκευάστρια εταιρεία. Οι ομάδες έχουν αύξουσα επίδοση και τα αντίστοιχα μέλη τους είναι σχεδόν ισοδύναμα σε επιδόσεις

(πίνακας 11). Η κάθε οικογένεια έχει σχεδιαστεί για βέλτιστη λειτουργία σε μια συγκεκριμένη τάση V_{CC} [16].

Πίνακας 11. Οικογένειες χαμηλής τάσης

Οικογένεια	LV	LVC	ALVC	AVC	LVX	LCX	VXC
V_{CC}	2 - 2.5	1.65 - 3.6	1.65 - 3.6	1.4 - 3.6	2.0 - 3.6	2.0 - 3.6	1.4 - 3.6
Πλήρης Προδιαγραφές Λειτουργίας για V_{CC}	2.5 , 3.3V	2.5, 3.3V	1.8, 2.5 , 3.3V	1.8, 2.5, 3.3V	3.3V	2.5, 3.3V	1.8, 2.5, 3.3V
Βέλτιστη Λειτουργία σε V_{CC}	3.3V	3.3V	3.3V	2.5V	3.3V	3.3V	2.5V
Ανοχή σε Υπερτάσεις	5V	5V	5V	3.3V	5V	5V	3.3V

1.13.2.1 Είσοδοι Ανεκτικοί σε Υπερτάσεις

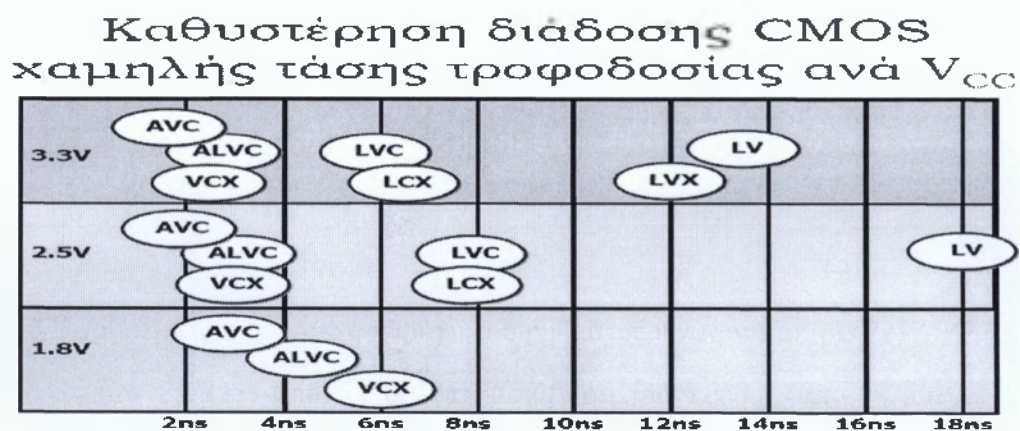
Οι λογικές οικογένειες χαμηλής τάσης χαρακτηρίζονται από την ικανότητα των εισόδων να οδηγούνται από τάσεις μεγαλύτερες του V_{CC} . Η ιδιότητα αυτή επιτρέπει την απευθείας σύνδεση κυκλωμάτων CMOS με διαφορετικές τάσεις τροφοδοσίας όταν αυτά συνυπάρχουν στο ίδιο διάστημα. Η απευθείας σύνδεση ισχύει μόνο όταν το κύκλωμα τροφοδοτείται με χαμηλότερη τάση V_{CC} από εκείνη του κυκλώματος καθοδήγησης. Ενώ όταν το κύκλωμα τροφοδοτείται με μεγαλύτερη τάση V_{CC} από αυτή του κυκλώματος καθοδήγησης, πρέπει να δημιουργηθούν ειδικά ολοκληρωμένα κυκλώματα μετατόπισης του επιπέδου του σήματος. Αυτά τα κυκλώματα τροφοδοτούνται με δυο διαφορετικές τάσεις V_{CC} και μεταφράζουν προς τις δύο κατευθύνσεις τις λογικές στάθμες των σημάτων. Επίσης σε περίπτωση σήματος εισόδου με στάθμη μεγαλύτερη από V_{CC} η διάοδος προστασίας θα πολωθεί σωστά σχηματίζοντας ένα αγώγιμο μονοπάτι μεταξύ εισόδου και V_{CC} , για όση ώρα η είσοδος βρίσκεται στην υψηλή στάθμη. Όσο αφορά τις εξόδους, εάν ο δίαυλος οδηγείται από ένα ολοκληρωμένο κύκλωμα, με στάθμη μεγαλύτερη του V_{CC} , τότε η παρασιτική χωρητικότητα του τρανζίστορ PMOS μεταξύ καταβόθρας και υποστρώματος θα πολωθεί ορθά, άγοντας πολύ ποσότητα ρεύματος [16].

1.13.2.2 Καθυστέρηση Διάδοσης

Η καθυστέρηση διάδοσης, σε όλες τις περιπτώσεις αυξάνεται, όσο το V_{CC} μειώνεται. Όμως οι οικογένειες AVC, ALVC και VCX παρουσιάζουν μικρότερη απόκλιση στην απόδοση τους (σχήμα 28)[16].

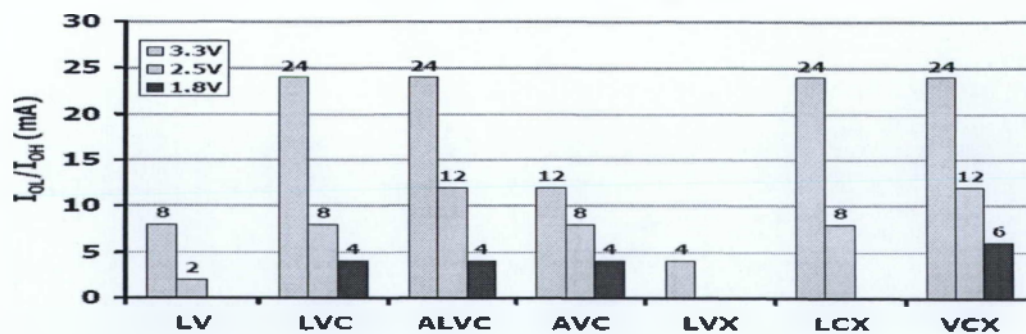
1.13.2.3 Οδηγητική Ικανότητα

Στην οδηγητική ικανότητα η παροχή του ρεύματος είναι συμμετρική ($I_{OL} = I_{OH}$), όπως σε όλα τα CMOS. Επίσης κατά τη μετάβαση των εξόδων από τη μία λογική κατάσταση στην άλλη, το δυναμικό παρεχόμενο ρεύμα είναι μεγαλύτερο από το κανονικό (σχήμα 28) [16].



Σχήμα 27. Καθυστέρηση διάδοσης CMOS χαμηλής τάσης τροφοδοσίας

Οδηγητική ικανότητα (I_{OL}/I_{OH}) CMOS χαμηλής τάσης τροφοδοσίας



Σχήμα 28. Οδηγητική ικανότητα CMOS χαμηλής τάσης τροφοδοσίας

1.14 Εξέλιξη Της Τεχνολογίας CMOS

Η μεγάλη εξάπλωση των CMOS στην ψηφιακή λογική οφείλεται στην συνεχώς αυξανόμενη ολοκλήρωση. Από το παρελθόν μέχρι σήμερα η ταχύτητά τους αυξάνεται, ενώ η διαστάσεις τους και το κόστος παραγωγής τους μειώνεται.

Μέχρι τώρα οι βελτιώσεις συνέβαιναν με σταθερό ρυθμό, όμως αυτό προφανώς θα σταματήσει στο έμμεσο μέλλον. Οι λόγοι που θα το προκαλέσουν αυτό είναι οι εξής :

A) Οι συμβατικές οπτικές τεχνικές λιθογραφίας, πλησιάζουν στα όριά τους, όσο μειώνονται οι διαστάσεις των τρανζίστορ και ενδεχομένως οι νέες τεχνικές κατασκευής, θα αυξήσουν το κόστος κατασκευής

B) Σε ένα τρανζίστορ το επίπεδο απομόνωσης των πυλών δεν μπορεί να μειωθεί περισσότερο από 2 nm, χωρίς να χάσει τις διηλεκτρικές ικανότητές του, επίσης η απόσταση πηγής – καταβόθρας δεν μπορεί να είναι μικρότερη από 25nm, για αυτούς τους λόγους είναι προφανές ότι η μείωση των διαστάσεων του, θα σταματήσει κάποια στιγμή

Γ) Τέλος η επίδραση της θερμοκρασίας σε κυκλώματα πολύ μικρών διαστάσεων είναι σημαντική για βασικά χαρακτηριστικά λειτουργίας τους, οδηγώντας σε μη λειτουργικά τρανζίστορ

Για τους παραπάνω λόγους δοκιμάζεται μια σειρά βελτιώσεων για την περαιτέρω εξέλιξη των κυκλωμάτων CMOS που είναι οι εξής :

A) Έχουν κατασκευαστεί πειραματικά τρανζίστορ MOSFET με διαφορετικά υλικά και δομές από τα συμβατικά, τα οποία παρουσιάζουν λειτουργικά χαρακτηριστικά σε πολύ μικρές διαστάσεις

B) Ερευνάται η δυνατότητα λειτουργίας τους σε πολύ χαμηλές θερμοκρασίες, ώστε να διπλασιαστεί η απόδοσή τους

Γ) Νέα υλικά που να ρυθμίζουν την αντίσταση και τη χωρητικότητα των γραμμών μετάδοσης, βελτιώνοντας την καθυστέρηση διάδοσης

Δ) Τέλος πρέπει να υπάρξει σημαντική βελτίωση σε αρχιτεκτονικό επίπεδο των διαφόρων τμημάτων του κυκλώματος, ανάλογα με τη λειτουργικότητα και τη συχνότητα λειτουργίας του

Βιβλιογραφία

- [1] Κωνσταντίνος Ευσταθίου, “Ψηφιακά ολοκληρωμένα κυκλώματα και συστήματα 2008”, Σημειώσεις, Εργαστήριο Ηλεκτρονικών Εφαρμογών, Τομέας Ηλεκτρονικής & Υπολογιστών, Τμήμα Ηλεκτρολόγων Μηχανικών & Τεχνολογίας Υπολογιστών, Πολυτεχνική Σχολή, Πανεπιστήμιο Πατρών
- [2] Δ.Λιούπης – Μ.Στεφανιδάκης, “Ψηφιακά Κυκλώματα με τρανζίστορ διπολικής επαφή”, Σημειώσεις Ψηφιακών Ηλεκτρονικών, Τμήμα Μηχανικών Η/Υ & Πληροφορικής, Πανεπιστήμιο Πατρών
- [3] Adel S. Sedra, Kenneth C. Smith “Μικροηλεκτρονικά Κυκλώματα”, μετάφραση Ελένη Γκαγκάτσιου 5η Έκδοση, Τόμος Α, Παπασωτηρίου, 2010
- [4] MORRIS MANO M., “Ψηφιακή Σχεδίαση”, Παπασωτηρίου, 1992.
- [5] Χρ. Καβουσιανός, “Σχεδίαση CMOS”, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων
- [6] Παπαμιχαήλ Μιχαήλ, “Ψηφιακά Ολοκληρωμένα Κυκλώματα και Συστήματα”, Τομέας Ηλεκτρονικής & Υπολογιστών, Τμήμα Ηλεκτρολόγων Μηχανικών & Τεχνολογίας Υπολογιστών, Πολυτεχνική σχολή, Πανεπιστήμιο Πατρών
- [7] Γιώργος Δημητρακόπουλος, “Στατικές πύλες CMOS και και πύλες με τρανζίστορ διέλευσης”, Τμήμα Επιστήμης Υπολογιστών, Πανεπιστήμιο Κρήτης
- [8] Γ. Τσιατούχας, “Τεχνικές χαμηλής κατανάλωσης Τεχνικές σχεδίασης κυκλωμάτων CMOS”, Επιστήμη Υπολογιστών, Πανεπιστήμιο Ιωαννίνων
- [9] Γάκη Μαρία, “Αποτίμηση τεχνικών μείωσης της δυναμικής ισχύος σε κρυφές μνήμες σε περιβάλλον Unisim”, Διπλωματική εργασία, Εργαστήριο Ηλεκτρονικών Εφαρμογών, Τομέας Τεχνολογίας Πληροφορικής & Υπολογιστών, Τμήμα Ηλεκτρολόγων Μηχανικών & Τεχνολογίας Υπολογιστών, Πολυτεχνική σχολή, Πανεπιστήμιο Πατρών
- [10] Δ. Μπάκαλης, “Κυκλώματα CMOS και λογική σχεδίαση”, Σημειώσεις μαθήματος Ηλεκτρονικών, Τμήμα Φυσικής, Πανεπιστήμιο Πατρών
- [11] Δ. Λιούπης, 6^ο Μάθημα, Σημειώσεις των Ψηφιακών Ηλεκτρονικών, Τμήμα Μηχανικών Η/Υ & Πληροφορικής, Πανεπιστήμιο Πατρών
- [12] Παπανάνος Ιωάννης, “Σχεδίαση αναλογικών μικροηλεκτρονικών κυκλωμάτων”, Εργαστήριο Ηλεκτρονικής, Εθνικό Μετσόβιο Πολυτεχνείο
- [13] Λάμπρος Μπισδούνης, “Ανάλυση κατανάλωσης ενέργειας & καθυστέρησης κυκλωμάτων CMOS & τεχνικές σχεδιασμού αριθμητικών κυκλωμάτων με χαμηλή κατανάλωση ενέργειας & υψηλή ταχύτητα”, Πανεπιστήμιο Κρήτης

[14] Γ. Τσιατούχας, “CMOS Ψηφιακά κυκλώματα, Ολοκληρωμένα ψηφιακά κυκλώματα”, Επιστήμη Υπολογιστών, Πανεπιστήμιο Ιωαννίνων

[15] Γιώργος Δημητρακόπουλος, “Κατανάλωση ισχύος ψηφιακών κυκλωμάτων”, Τμήμα Επιστήμης Υπολογιστών, Πανεπιστήμιο Κρήτης

[16] Δ. Λιούπης – Μ. Στεφανιδάκης, “Ψηφιακά κυκλώματα CMOS”, Τμήμα Μηχανικών Η/Υ & Πληροφορικής, Πανεπιστήμιο Πατρών

[17] Σουλιώτης Γεώργιος, “Ολοκληρωμένα Αναλογικά Κυκλώματα” Τμήμα Φυσικής, Πανεπιστήμιο Πατρών

Κεφάλαιο 2

ΠΡΟΣΩΜΟΙΩΣΗ ΟΙΚΟΓΕΝΕΙΩΝ ΛΟΓΙΚΩΝ ΠΥΛΩΝ

2.1 Εισαγωγή

Τα ολοκληρωμένα κυκλώματα έγινε δυνατό να κατασκευαστούν χάρη σε πειραματικές ανακαλύψεις που έδειξαν ότι τα ημιαγώγιμα στοιχεία μπορούσαν να εκτελούν τις λειτουργίες των λυχνιών κενού, καθώς και χάρη στην τεχνολογική πρόοδο στον τομέα της επεξεργασίας ημιαγώγιμων στοιχείων που έγινε στα μέσα του 20ού αιώνα. Η ολοκλήρωση (ενσωμάτωση) ενός μεγάλου αριθμού από μικροσκοπικά τρανζίστορ σε ένα λεπτό CHIP αποτέλεσε μία πολύ σημαντική βελτίωση σε σχέση με χειροκίνητη συναρμολόγηση κυκλωμάτων με χρήση διακριτών ηλεκτρονικών στοιχείων. Η δυνατότητα μαζικής παραγωγής ολοκληρωμένων κυκλωμάτων, η αξιοπιστία που παρείχαν καθώς και η δυνατότητα προσθήκης περαιτέρω πολυπλοκότητας σε αυτά, συνέβαλαν στην ταχύτατη αντικατάσταση των λυχνιών κενού και των διακριτών κυκλωμάτων από αυτά.

Τα ολοκληρωμένων κυκλωμάτων έχουν δύο κύρια πλεονεκτήματα έναντι των διακριτών κυκλωμάτων, το κόστος και την απόδοση. Το κόστος είναι χαμηλό επειδή τα τσιπ, μαζί με όλα τα στοιχεία τους, τυπώνονται ενιαία σαν μία μονάδα με τη χρήση φωτολιθογραφίας, αντί να κατασκευάζεται το κάθε τρανζίστορ ξεχωριστά. Επιπλέον, χρησιμοποιούνται πολύ λιγότερα υλικά για να κατασκευαστεί ένα κύκλωμα ως CHIP, παρά ως διακριτό κύκλωμα. Η απόδοση είναι υψηλή αφού τα στοιχεία μεταστρέφονται γρήγορα και καταναλώνουν λιγότερη ενέργεια σε σχέση με τα αντίστοιχα των διακριτών κυκλωμάτων, επειδή τα στοιχεία είναι μικρά και κοντά το ένα στο άλλο. Τα ολοκληρωμένα κυκλώματα χρησιμοποιούνται για την υλοποίηση της συντριπτικής πλειοψηφίας των ηλεκτρονικών ψηφιακών διατάξεων.

Με βάση τα ηλεκτρονικά τους χαρακτηριστικά τα ολοκληρωμένα κυκλώματα κατατάσσονται σε λογικές οικογένειες (logic families). Κάθε λογική οικογένεια αποτελείται από ένα σύνολο ολοκληρωμένων κυκλωμάτων που έχουν κοινά ηλεκτρονικά χαρακτηριστικά, υλοποιούν όμως διαφορετικές λογικές συναρτήσεις. Οι πρώτες τέτοιες οικογένειες που εμφανίστηκαν ήταν η RTL (Resistor-Transistor Logic) και η DTL (Diode- Transistor Logic), οι οποίες σήμερα δεν χρησιμοποιούνται. Άλλες οικογένειες είναι: ECL (Emitter Coupled Logic), TTL (Transistor-Transistor Logic), MOS (Metal Oxide Semiconductor), CMOS (Complementary MOS)

Κυρίαρχη τεχνολογία σήμερα είναι η CMOS με την TTL να την ακολουθεί. Βασικότερα πλεονεκτήματα της οικογένειας CMOS είναι:

- Πολύ υψηλή πυκνότητα ολοκλήρωσης
- Μικρή κατανάλωση ισχύος
- Ταχύτητα συγκρίσιμη με τα TTL (Δεν ισχύει για όλες τις σειρές)

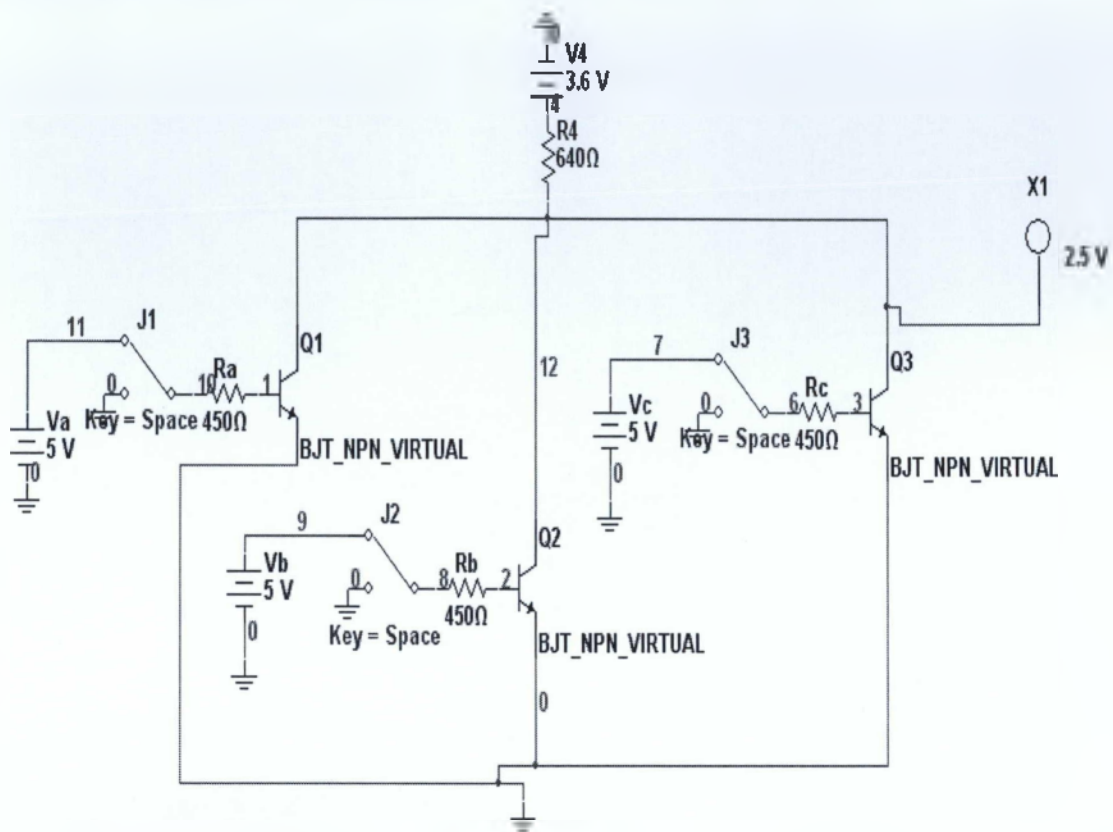
Μειονεκτήματα για τη CMOS τεχνολογία:

- Η ταχύτητα
- Η μεγάλη ευαισθησία, όχι όλων των σειρών, στο στατικό ηλεκτρισμό

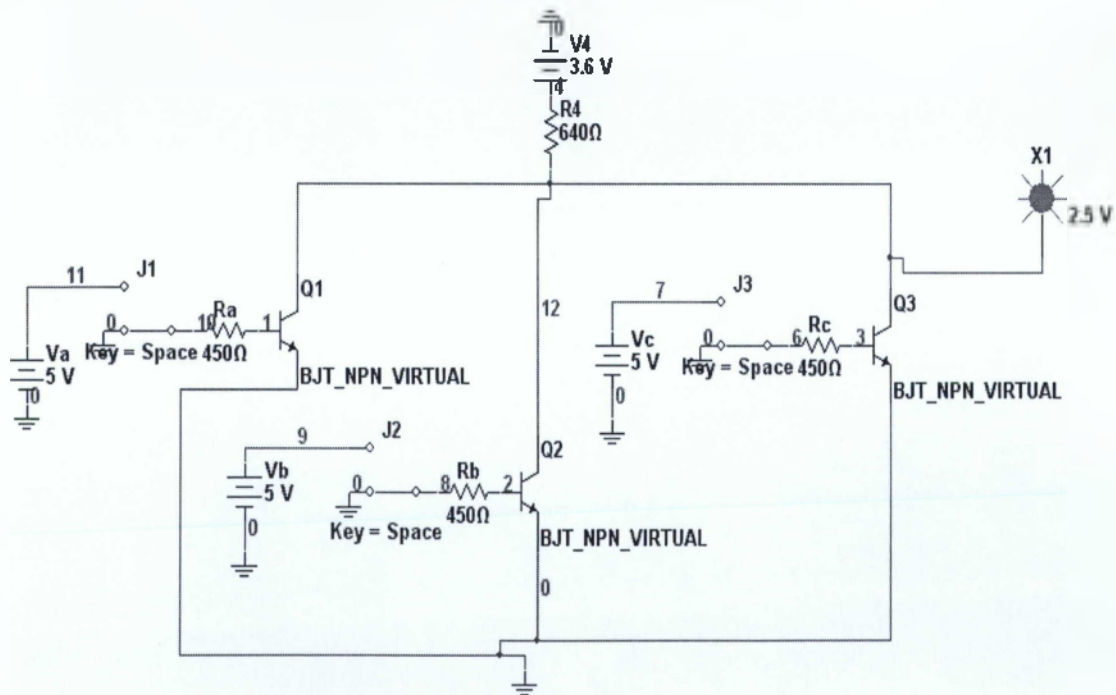
Το πλεονέκτημα της TTL τεχνολογίας είναι οι μεγάλες ταχύτητες των πυλών της με σημαντικό μειονέκτημα, σε σχέση με τη CMOS τεχνολογία, την υψηλή κατανάλωση ισχύος. Η σειρά 74HCT είναι πλήρως συμβατή με τα TTL. Τις δύο τελευταίες δεκαετίες κυκλοφόρησαν αρκετές ακόμα σειρές της οικογένειας CMOS, με πιο ευέλικτες τις VHC (CMOS πολύ υψηλής ταχύτητας) και VHCT (CMOS πολύ υψηλής ταχύτητας, συμβατά με TTL). Και οι δύο σειρές είναι περίπου δύο φορές γρηγορότερες από τις HC και HCT, ενώ διατηρούν τη συμβατότητα με τις προηγούμενες τους[1].

Στο παρόν κεφάλαιο θα ασχοληθούμε με την προσωμοίωση των βασικών πυλών των διαφόρων οικογενειών λογικών κυκλωμάτων.

2.2 RTL NOR



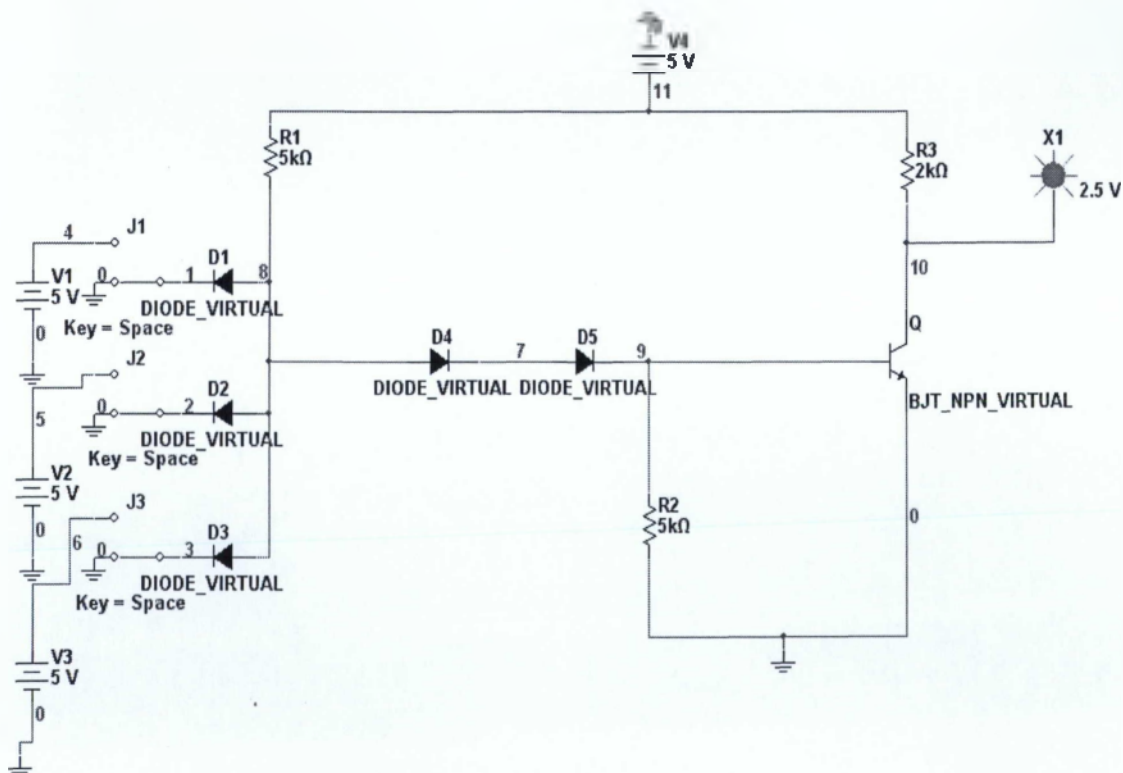
Σχήμα 29(α). Πύλη RTL NOR σε λογικό "0"



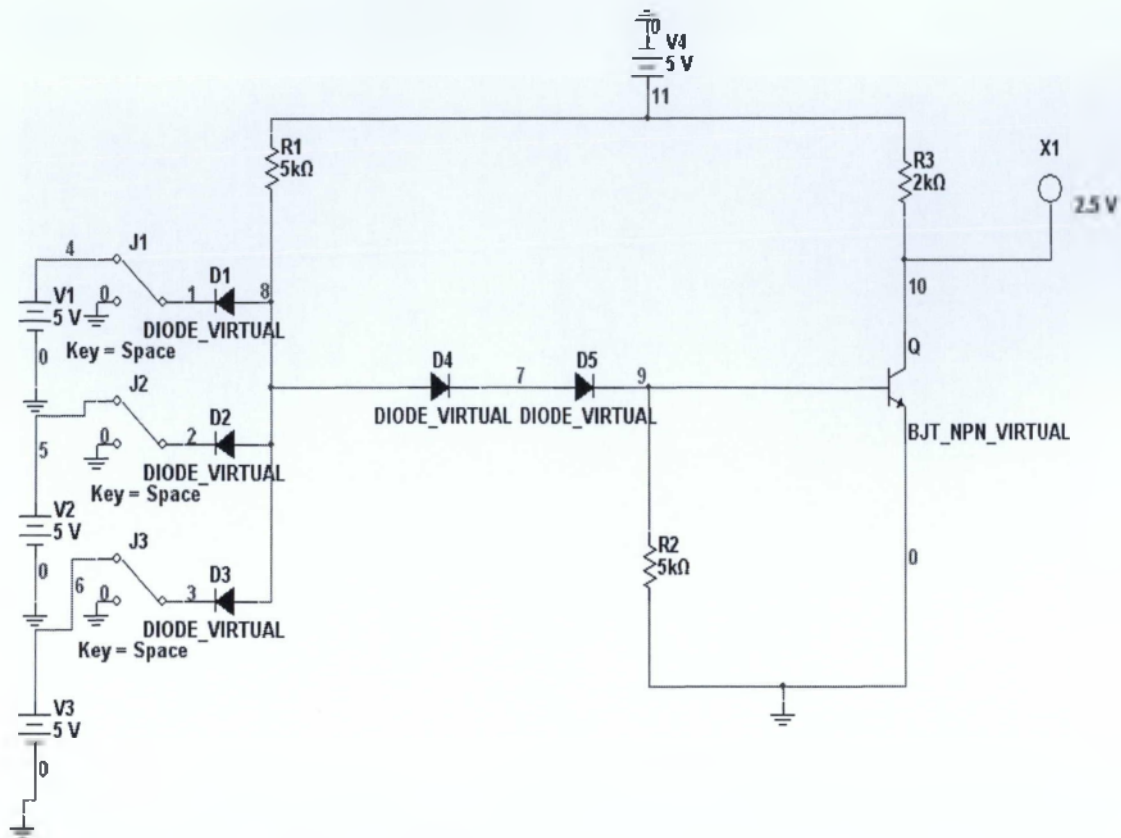
Σχήμα 29(β). Πύλη RTL NOR σε λογικό "1"

Μια από τις πρώτες οικογένειες λογικών πύλων είναι η πύλη RTL και στο παραπάνω σχήμα 29, εικονίζεται μια τέτοια πύλη RTL NOR τριών εισόδων. Το κύκλωμα αυτό λειτουργεί ως εξής: όταν μια από τις εισόδους, έστω A είναι στο λογικό 1 τότε το αντίστοιχο τρανζίστορ Q_1 θα άγει και θα είναι στον κόρο. Εάν οι άλλες εισοδοι B και C είναι επίσης στο λογικό 1, τότε τα αντίστοιχα τρανζίστορ Q_2 και Q_3 θα άγουν και θα είναι στον κόρο επίσης, σχήμα 29(α), οπότε θα βοηθάει την έξοδο να μείνει στο λογικό μηδέν. Επίσης βλέπουμε ότι για να είναι η έξοδος στο λογικό 1, πρέπει ταυτόχρονα τα Q_1 , Q_2 και Q_3 να είναι αποκομμένα. Αυτό πετυχαίνεται όταν και οι τρεις εισοδοι είναι ταυτόχρονα στο λογικό 0, σχήμα 29(β). Το fan-in της RTL πύλης NOR μπορεί να αυξηθεί, αν προσθέσουμε περισσότερα τρανζίστορ στην είσοδο [5].

2.3 DTL NAND



Σχήμα 30(α). Πύλη DTL NAND σε λογικό "1"



Σχήμα 30(β). Πύλη DTL NAND σε λογικό "0"

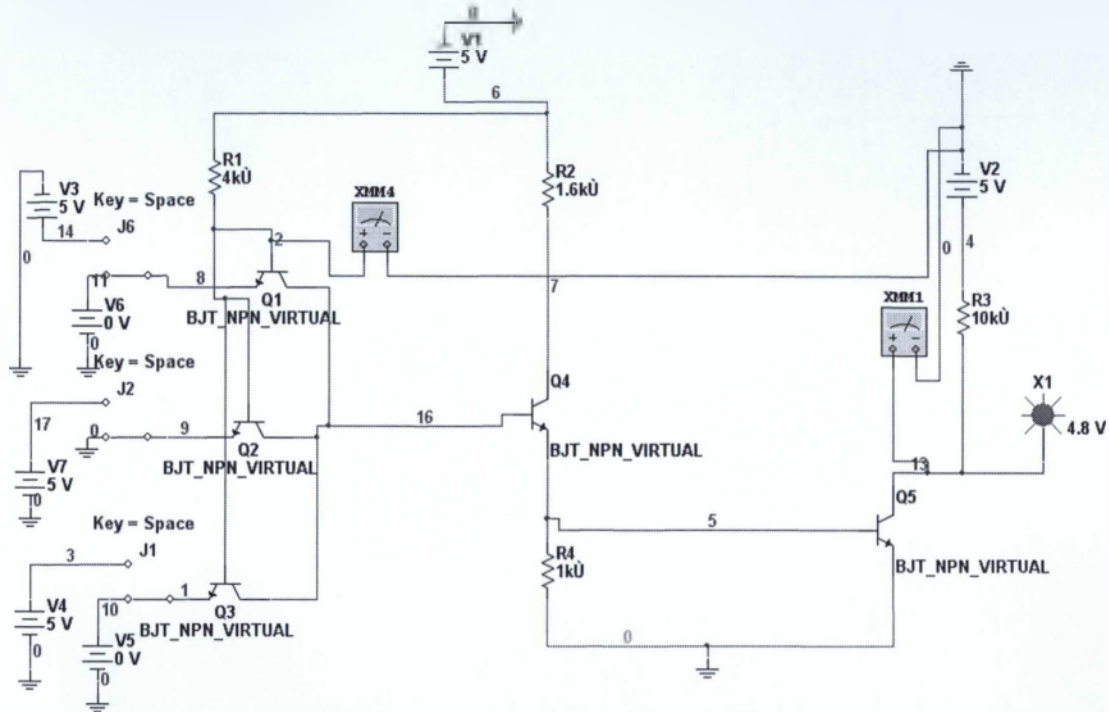
Μια άλλη λογική οικογένεια κυκλωμάτων BJT είναι η λογική DTL, παράδειγμα της οποίας είναι η λογική πύλη NAND τριών εισόδων, σχήμα 2. Με δεδομένο ότι πρόκειται για μια NAND πύλη, θα πρέπει όταν έστω μια από τις εισόδους είναι σε χαμηλό δυναμικό (λογικό "0") η έξοδος να βρίσκεται σε υψηλό δυναμικό (λογικό "1"). Αντίθετα, όταν όλες οι εισοδοί είναι σε υψηλό δυναμικό (λογικό "1") η έξοδος θα βρίσκεται σε χαμηλό δυναμικό (λογικό "0").

Όταν έστω μια είσοδος βρίσκεται σε χαμηλό δυναμικό λογικό "0" η αντίστοιχη διάοδος που συνδέεται σε αυτήν την είσοδο θα άγει, σχήμα 30(α), επειδή θα βρίσκεται σε ορθή πόλωση. Όταν η διάοδος άγει το δυναμικό γίνεται χαμηλό. Λόγω του χαμηλού αυτού δυναμικού, οι διάοδοι D1, D2 και D3 βρίσκονται σε αποκοπή με αποτέλεσμα το τρανζίστορ Q να βρίσκεται σε κατάσταση αποκοπής οδηγώντας την έξοδο σε υψηλό δυναμικό λογικό "1".

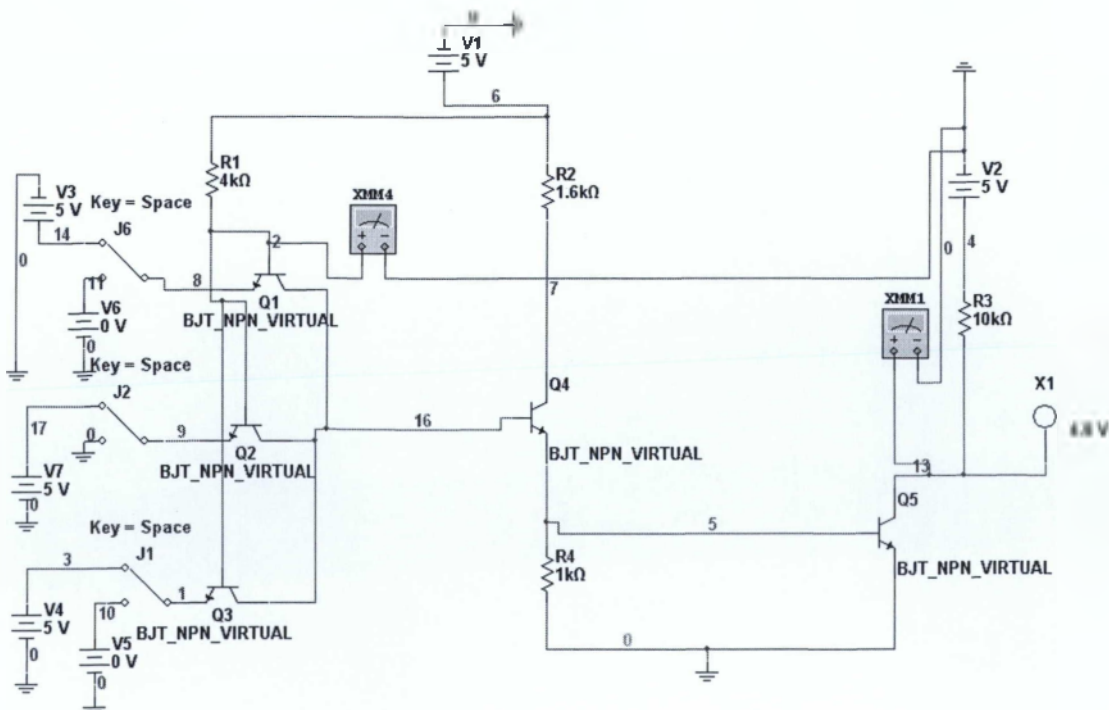
Όταν τώρα όλες οι εισοδοί βρίσκονται σε υψηλό δυναμικό λογικό "1" οι τρεις διάοδοι αποκόπτονται και το δυναμικό έχει την τάση να ανέβει προς την τιμή VCC. Η αυξητική όμως αυτή τάση του δυναμικού θα φέρει κάποια στιγμή τις διάοδους D1, D2 και D3 σε ορθή πόλωση με αποτέλεσμα αυτές να αρχίσουν να άγουν, σχήμα 30(β), και να τροφοδοτούν με ρεύμα βάσης το τρανζίστορ. Το κύκλωμα είναι έτσι

σχεδιασμένο ώστε το ρεύμα βάσης να είναι τόσο υψηλό ώστε να οδηγεί το τρανζίστορ Q στον κόρο με αποτέλεσμα το δυναμικό στην έξοδο να γίνεται χαμηλό, αντιστοιχώντας στην αναμενόμενη κατάσταση του λογικού "0"[4].

2.4 TTL NAND



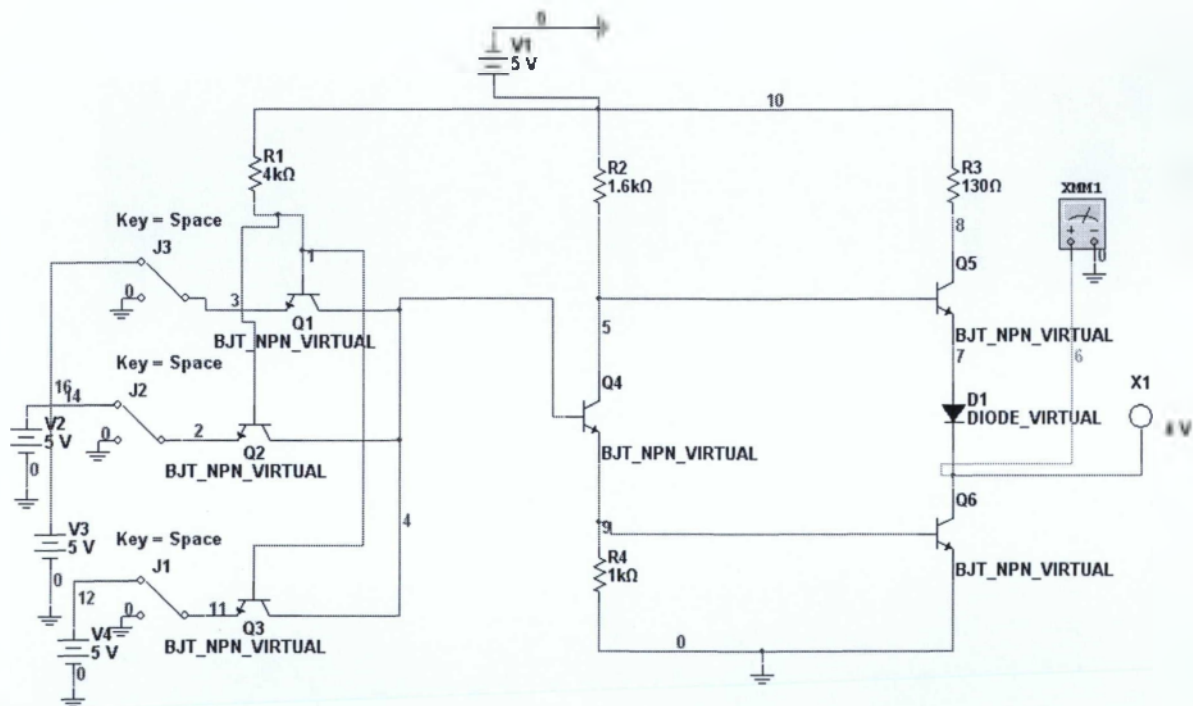
Σχήμα 31(α). Πύλη TTL NAND σε λογικό "1"



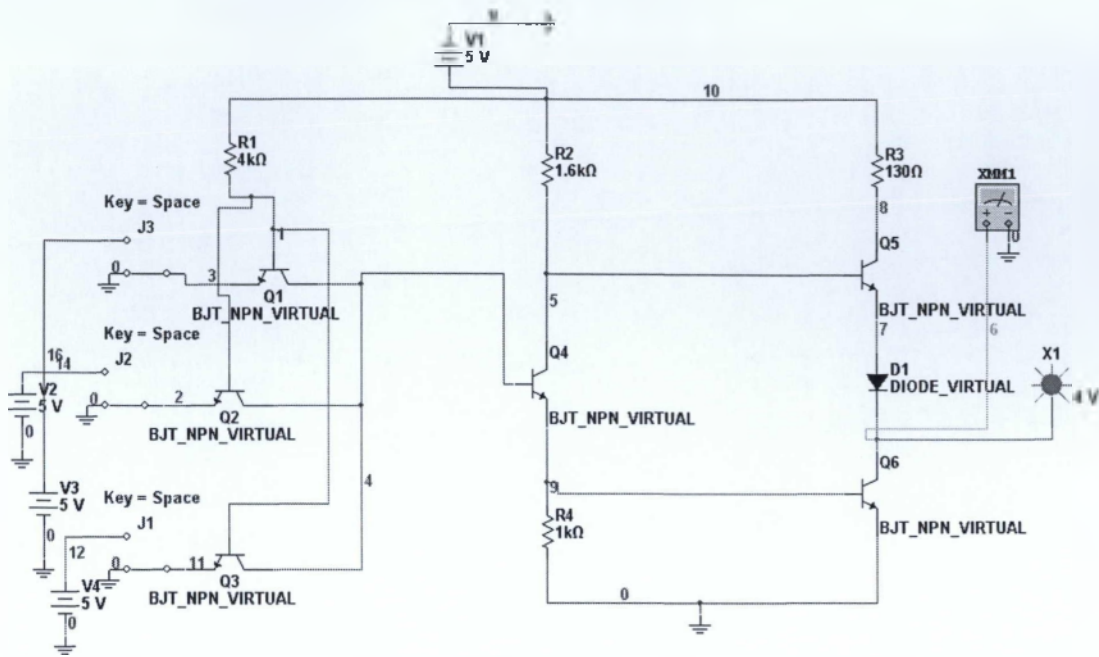
Σχήμα 31(β). Πύλη TTL NAND σε λογικό "0"

Η βασική διαφορά του από τη DTL NAND με την TTL NAND είναι η αποκλειστική χρήση τρανζίστορ, σχήμα 31, αντί διόδων. Όταν έστω μια από τις εισόδους βρίσκεται σε χαμηλό δυναμικό λογικό "0" τότε το δυναμικό αυτό δεν είναι ικανό να εξασφαλίσει την ορθή πόλωση της επαφής βάσης-συλλέκτη και τη λειτουργία των τρανζίστορ Q4, Q5. Έτσι τα τρανζίστορ Q4 και Q5 θα βρίσκονται σε αποκοπή, με αποτέλεσμα η έξοδος, σχήμα 31(α), της πύλης να είναι σε κατάσταση λογικού "1". Όταν όλες οι εισοδοί βρεθούν σε υψηλό δυναμικό, οι τρεις επαφές βάσης-εκπομπού των τρανζίστορ Q1 Q2 Q3 πολώνονται ανάστροφα, οδηγώντας τα τρανζίστορ Q4 και Q5 στον κόρο, σχήμα 3(β), στο λογικό "0"[4].

2.5 TTL TOTEM



Σχήμα 32(α). Πύλη TTL TOTEM σε λογικό "0"

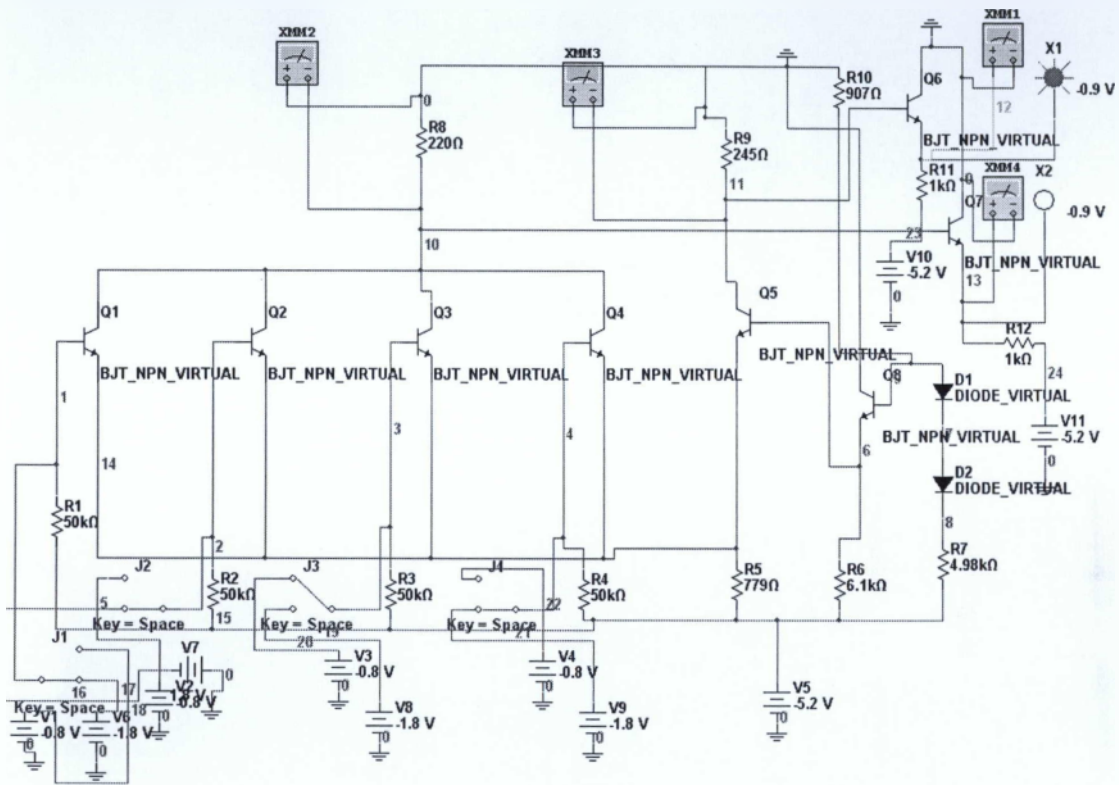


Σχήμα 32(β). Πύλη TTL TOTEM σε λογικό "1"

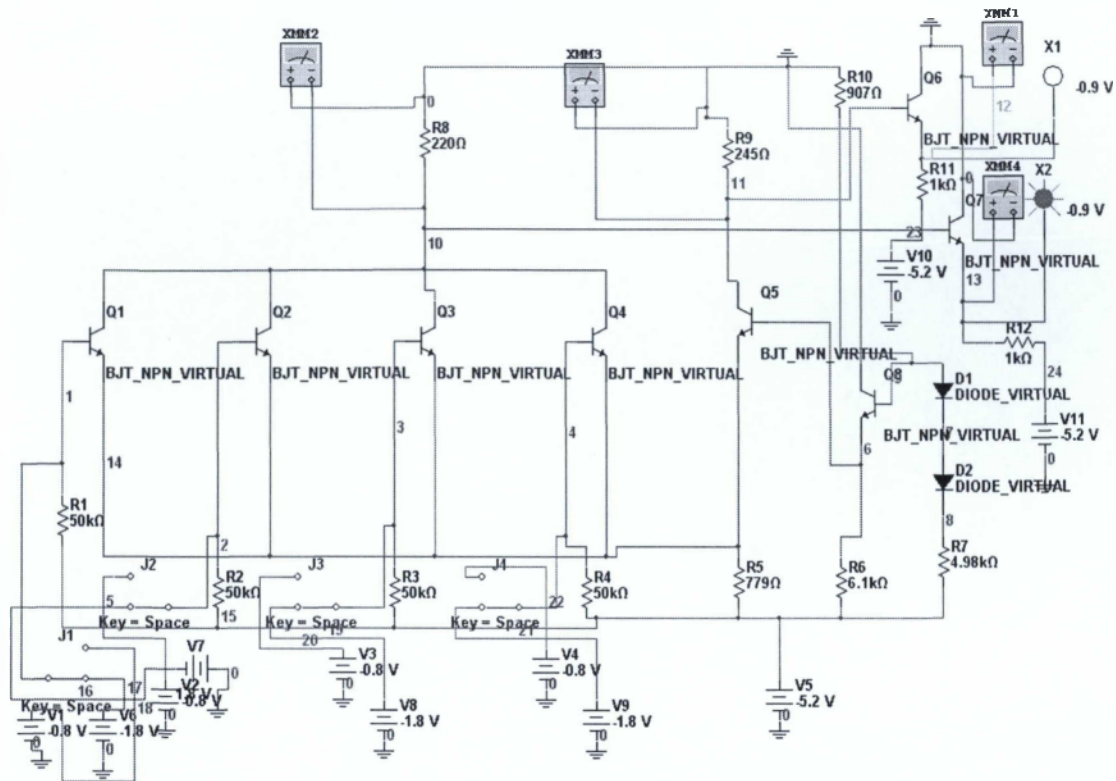
Στο παραπάνω κύκλωμα, σχήμα 4, TTL TOTEM. Τα τρανζίστορ Q5 και Q6 συνδέονται σε μια διάταξη Totem (σύνδεση ενός npn τρανζίστορ σε σειρά με άλλο ένα npn τρανζίστορ) η οποία είναι πολύ συνηθισμένη σε διατάξεις TTL. Στη βαθμίδα Totem η πόλωση των τρανζίστορ Q5 και Q6 είναι τέτοια ώστε είτε να άγει το Q5, είτε το Q6. Όταν άγει το Q5 και αποκόπτεται το Q6 η έξοδος θα είναι σε κατάσταση υψηλής στάθμης. Αντίθετα όταν άγει (σε κατάσταση κόρου) το Q6 και αποκόπτεται το Q5 η έξοδος βρίσκεται σε χαμηλό δυναμικό. Όταν μια από τις εισόδους βρίσκεται σε χαμηλό δυναμικό, η αντίστοιχη επαφή βάσης εκπομπού του τρανζίστορ πολώνεται ορθά. Κατά συνέπεια, η βάση του Q4 θα βρίσκεται σε ένα σχεδόν μηδενικό δυναμικό με αποτέλεσμα να αποκόπτεται, η βάση του Q5 να έρχεται σε υψηλό δυναμικό και το δυναμικό στην έξοδο να είναι και αυτό σε υψηλή στάθμη, σχήμα 32(β). Όταν και οι τρεις εισοδοί βρίσκονται σε υψηλό δυναμικό λογικό "1" τότε οι αντίστοιχες επαφές βάσης εκπομπού των δύο εκπομπών πολώνονται ανάστροφα και δεν άγουν, ενώ η επαφή βάσης συλλέκτη πολώνεται ορθά και άγει σαν δίοδος κατά την ορθή φορά. Το τρανζίστορ Q4 έχει κάτω από αυτές τις συνθήκες ένα υψηλό δυναμικό στη βάση του με αποτέλεσμα να αρχίσει να άγει οδηγώντας σε αγωγιμότητα το Q6 και το Q5 σε αποκοπή, σχήμα 32(α). Έτσι η έξοδος βρίσκεται σε κατάσταση χαμηλού δυναμικού

(λογικό "0"). Η ύπαρξη της διόδου D1 διασφαλίζει την αποκοπή του Q6 όταν άγει το Q5 [4].

2.6 ECL OR NOR



Σχήμα 33(α). Πύλη ECL OR NOR

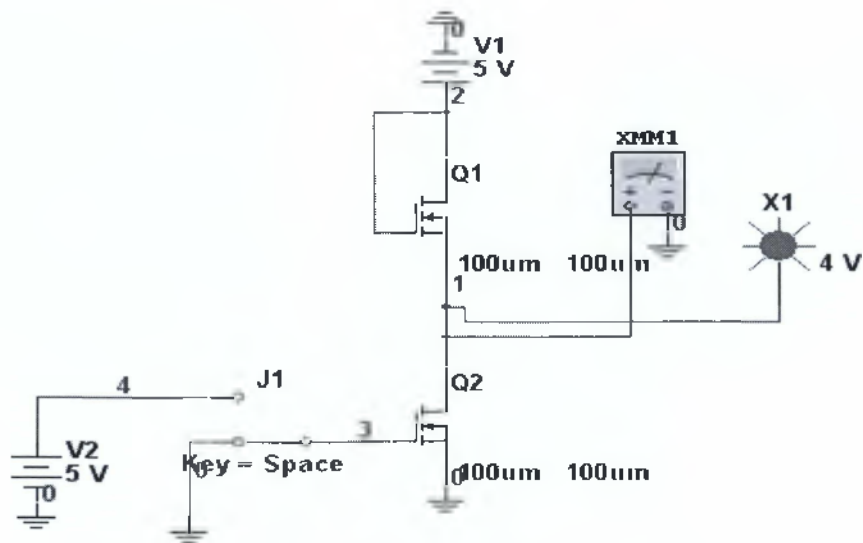


Σχήμα 33(β). Πύλη ECL OR NOR

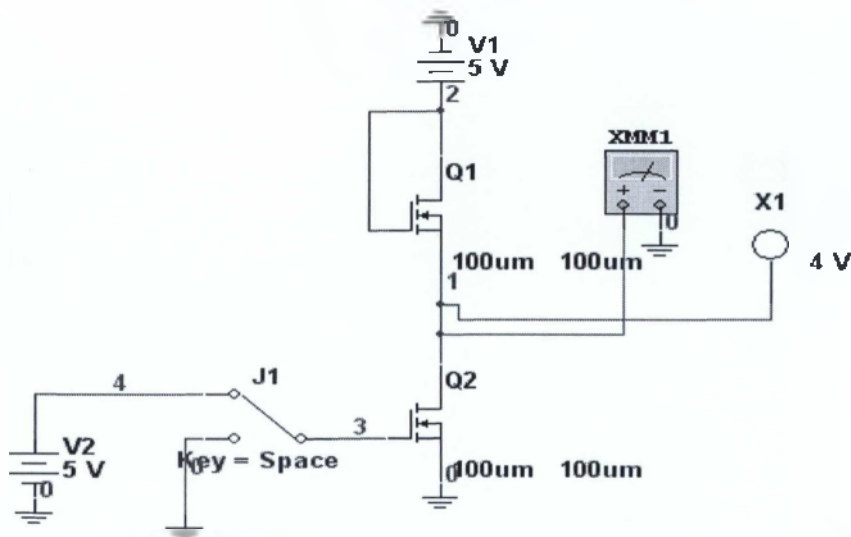
Στο παραπάνω σχήμα 33, εικονίζεται η πύλη ECL OR NOR, στην οποία υπάρχουν έξοδοι και για τη συνάρτηση OR όσο και για την NOR. Κάθε είσοδος πηγαίνει στην βάση ενός τρανζίστορ. Εάν μια οποιαδήποτε είσοδος της πύλης ECL είναι υψηλή, τότε το αντίστοιχο τρανζίστορ άγει και το Q5 αποκόπτεται. Δεδομένου αυτού, το ρεύμα της αντίστασης R9 ρέει προς την βάση του Q6. Αυτό το ρεύμα είναι πολύ μικρό, και η έξοδος OR έρχεται σε υψηλή κατάσταση. Και από την άλλη μεριά, σχήμα 5(α), το ρεύμα περνάει από το R8, από το τρανζίστορ που άγει και από την R5, κι έτσι η έξοδος NOR έρχεται σε χαμηλή κατάσταση.

Αν πάλι όλες οι εισόδους βρεθούν σε χαμηλή κατάσταση, τότε όλα τα τρανζίστορ εισόδου αποκόπτονται ενώ το Q5 άγει. Αφού όλες οι εισόδους είναι στο χαμηλό επίπεδο, τα αντίστοιχα τρανζίστορ είναι αποκομμένα. Το ρεύμα που περνάει από την R9, το Q5 και την R5 μας δείχνει ότι η έξοδος OR έχει λογικό 0. Από την άλλη μεριά πάλι, σχήμα 5(β), το ρεύμα που περνάει από την R8 είναι αμελητέο, κι έτσι η έξοδος NOR έχει λογικό 1.

2.7 MOS NOT



Σχήμα 34(α). Πύλη MOS NOT σε λογικό "1"

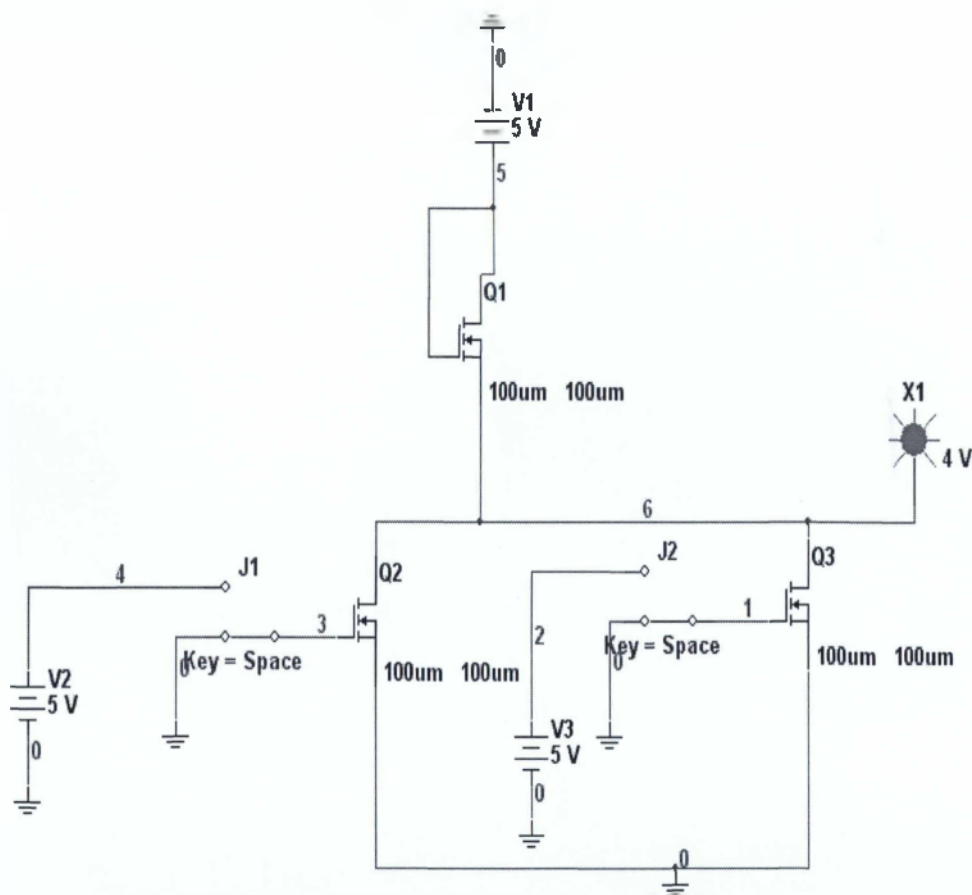


Σχήμα 34(β). Πύλη MOS NOT σε λογικό "0"

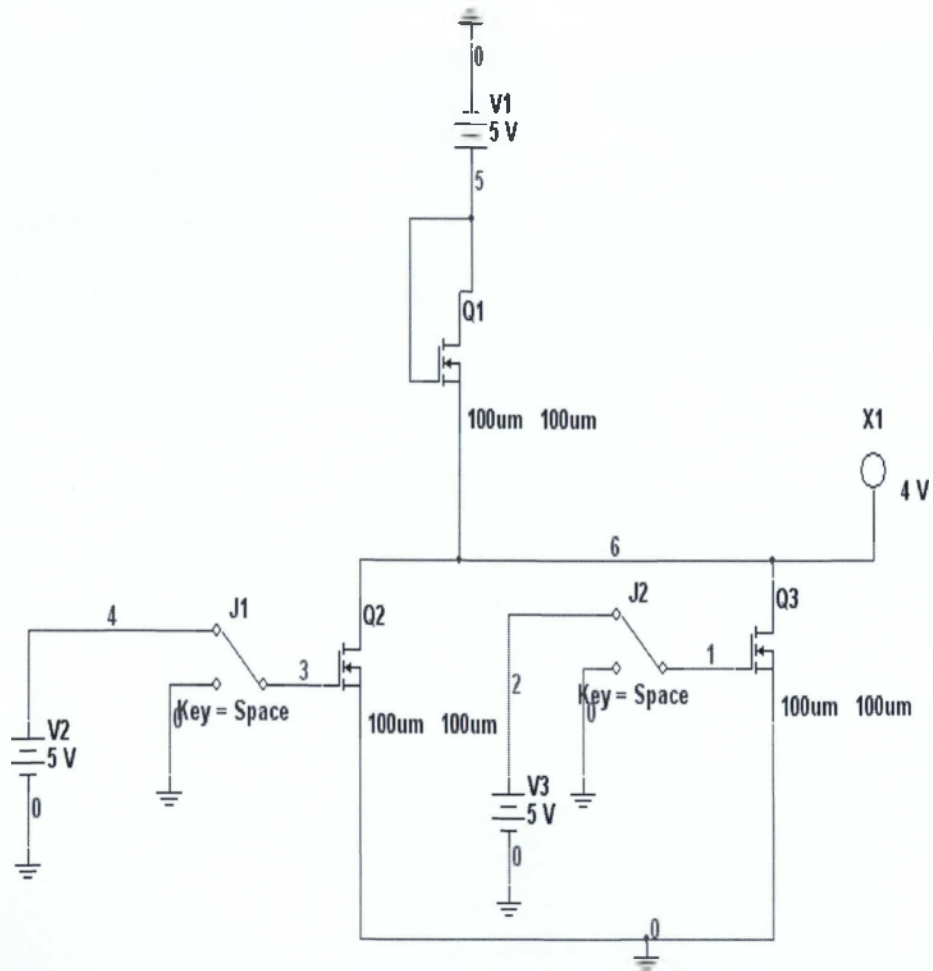
Ο αναστροφέας MOSFET (πύλη NOT) αποτελείται από δυο MOSFET συνδεδεμένα σε σειρά εκ των οποίων το ένα διαδραματίζει ρόλο φορτίου (αντίστασης) και το άλλο ρόλο οδηγού (διακόπτη). Στα παραπάνω σχήματα (σχήμα 32(α) και 32(β)) παρουσιάζεται ένας τέτοιος αναστροφέας σε τεχνολογία MOS, όπου το ρόλο του διακόπτη διαδραματίζει το τρανζίστορ Q2 και το ρόλο του φορτίου το τρανζίστορ τύπου Q1. Στο κύκλωμα (σχήμα 6α) παρατηρούμε ότι όταν η είσοδος βρίσκεται στο λογικό "0" (διακόπτης ανοικτός) δε διέρχεται ρεύμα, με αποτέλεσμα το

δυναμικό στην έξοδο να είναι ίσο με την τάση τροφοδοσίας V1 (λογικό "1"). Αντίθετα όταν η τάση εισόδου είναι υψηλή τότε το Q2 άγει και αρχίζει να περνάει ρεύμα μέσω της αντίστασης φορτίου Q1 και του Q2. Για αυτό το λόγο οι γεωμετρικές διατάξεις των Q1 και Q2 πρέπει να είναι τέτοιες ώστε η αντίσταση του Q1 να είναι πολύ μεγαλύτερη από αυτή του Q2, όταν το Q2 άγει, έτσι ώστε η έξοδος να πέφτει σε χαμηλότερη τάση από το V_T με αποτέλεσμα να επιτελείται τελικά η λογική πράξη της άρνησης[4].

2.8 MOS NOR



Σχήμα 35(α). MOS NOR σε λογικό "1"



Σχήμα 35(β). MOS NOR σε λογικό "0"

Πρόκειται για μια συνδεσμολογία που χρησιμοποιεί δύο οδηγούς συνδεδεμένους μεταξύ τους παράλληλα. Όταν και οι δύο εισοδοί βρίσκονται σε χαμηλό δυναμικό κάτω από την τιμή κατωφλίου V_T (λογικό "0") τα δύο NMOSFET προσαύξεσης θα βρίσκονται στην αποκοπή (cut off) και η έξοδος σε υψηλή στάθμη V_1 (λογικό "1"). Όταν τουλάχιστον μία είσοδος βρεθεί σε υψηλό δυναμικό (λογικό "1") το αντίστοιχο τρανζίστορ θα άγει θέτοντας την έξοδο σε χαμηλό δυναμικό (λογικό "0") και επιβεβαιώνοντας έτσι τη λειτουργία της πύλης ως πύλης NOR.

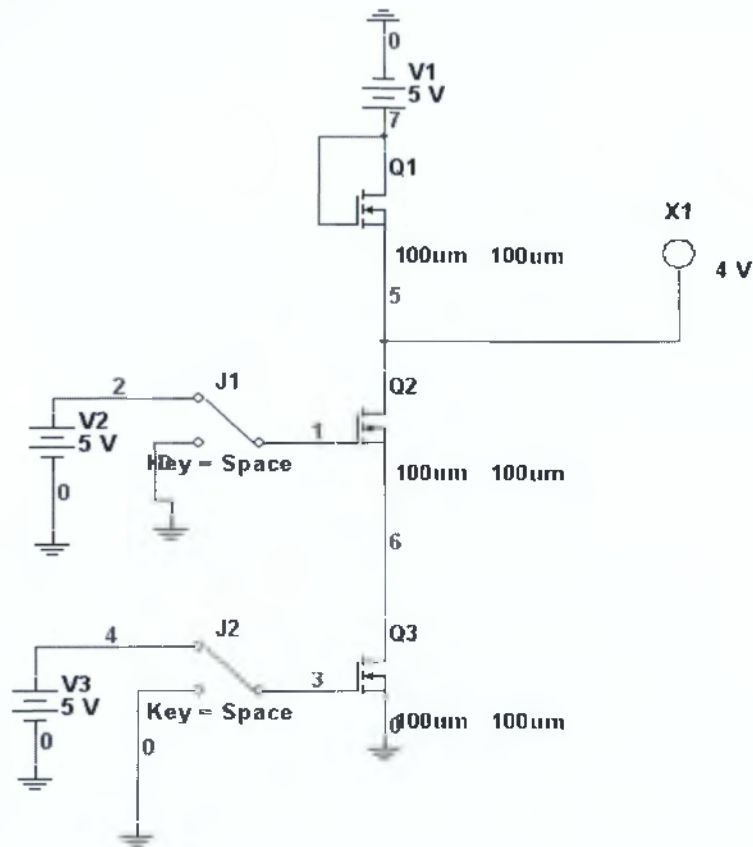
Πιο απλά:

- i) $0\ 0 \rightarrow 1$ Όταν οι δύο εισοδοί έχουν χαμηλό δυναμικό, η έξοδό τους είναι λογικό "1".
- ii) $0\ 1 \rightarrow 0$ Όταν η είσοδο A είναι σε χαμηλό δυναμικό και η είσοδο B σε υψηλό δυναμικό, τότε η έξοδό τους είναι σε λογικό "0".

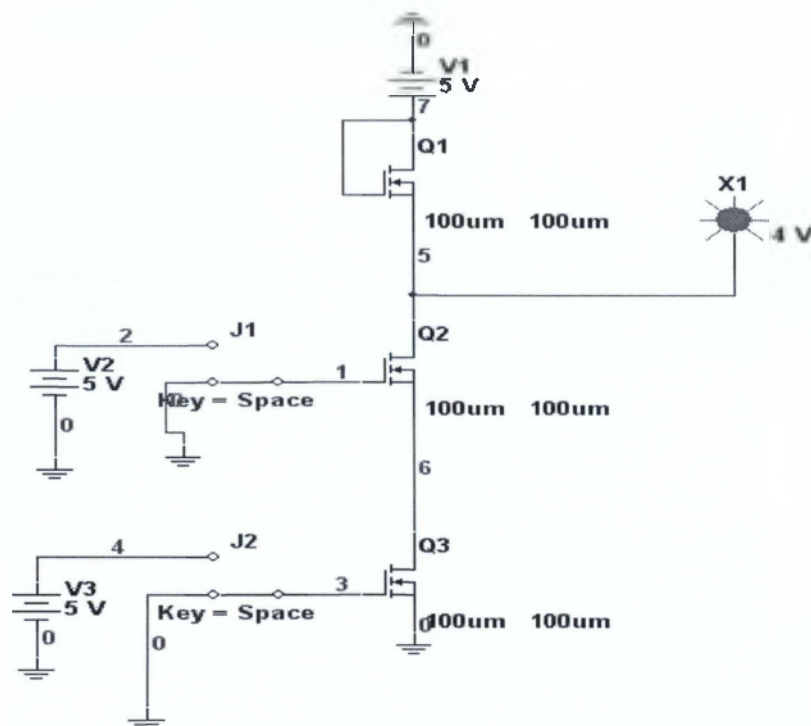


- iii) 1 0 → 0 Όταν η είσοδο A είναι σε υψηλό δυναμικό και η είσοδο B σε χαμηλό δυναμικό, τότε η έξοδος τους είναι σε λογικό "0"
- iv) 1 1 → 0 Όταν οι δύο εισοδοι έχουν υψηλό δυναμικό, η έξοδος τους είναι λογικό "0"[4]

2.9 MOS NAND



Σχήμα 36(α). Πύλη MOS NAND σε λογικό "0"



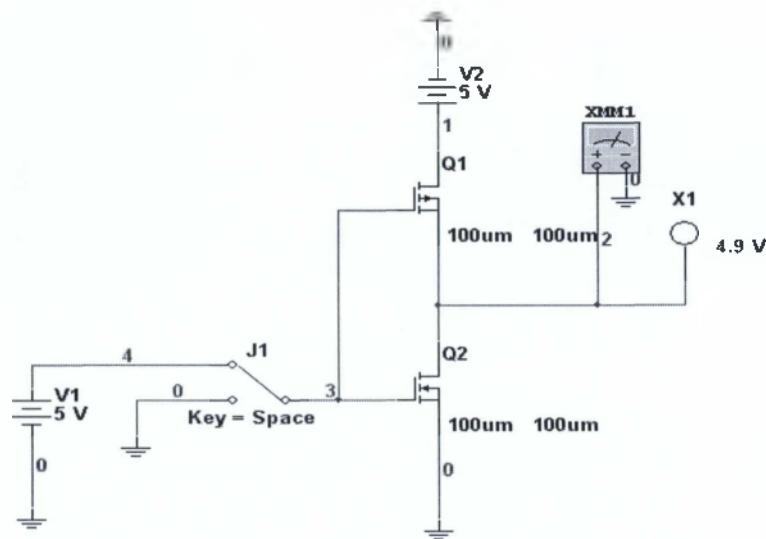
Σχήμα 36(β). Πύλη MOS NAND σε λογικό "1"

Όπως και η πύλη MOS NOR, έτσι και η λογική πύλη MOS NAND αποτελείται από ένα φορτίο και δύο οδηγούς μόνο που τώρα οι δύο οδηγοί συνδέονται μεταξύ τους σε σειρά, όπως φαίνεται στα παραπάνω σχήματα (σχήμα 36(α) και 36(β)). Όταν και οι δύο εισοδοί βρίσκονται σε υψηλό δυναμικό (λογικό "1") τα τρανζίστορ-οδηγοί θα άγουν (κλειστοί διακόπτες) και η έξοδος Y θα βρίσκεται σε χαμηλό δυναμικό (λογικό "0"). Αν έστω και μια είσοδος βρεθεί σε χαμηλό δυναμικό, κάτω από την τάση κατωφλίου V_T , το αντίστοιχο τρανζίστορ θα αποκόπτεται θέτοντας την έξοδο Y σε υψηλή στάθμη V_1 (λογικό "1") και επιβεβαιώνοντας τη δράση του κυκλώματος ως λογικής πύλης NAND.

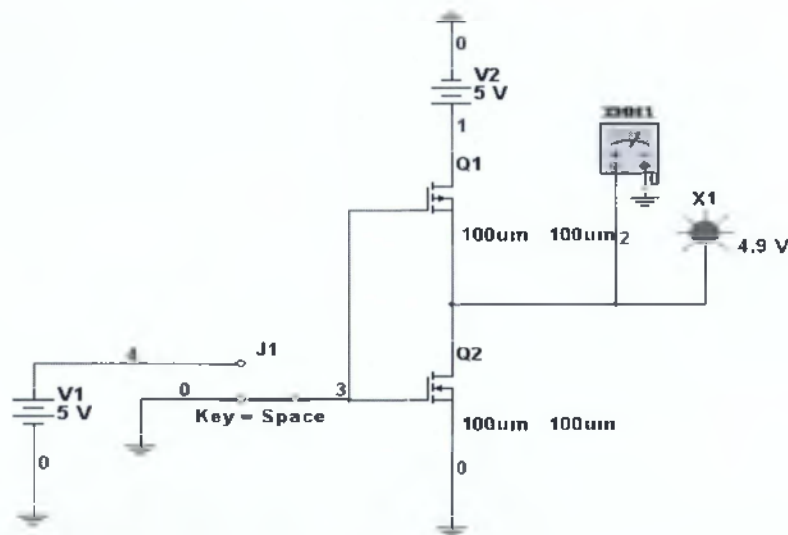
Πιο απλά:

- i) $0\ 0 \rightarrow 1$ Όταν οι δύο εισοδοί έχουν χαμηλό δυναμικό, η έξοδό τους είναι λογικό "1"
- ii) $0\ 1 \rightarrow 1$ Όταν η είσοδο A είναι σε χαμηλό δυναμικό και η είσοδο B σε υψηλό δυναμικό, τότε η έξοδός τους είναι σε λογικό "1"
- iii) $1\ 0 \rightarrow 1$ Όταν η είσοδο A είναι σε υψηλό δυναμικό και η είσοδο B σε χαμηλό δυναμικό, τότε η έξοδός τους είναι σε λογικό "1"
- iv) $1\ 1 \rightarrow 0$ Όταν οι δύο εισοδοί έχουν υψηλό δυναμικό, η έξοδό τους είναι λογικό "0" [4]

2.10 CMOS NOT



Σχήμα 37(α). Πύλη CMOS NOT σε λογικό "0"



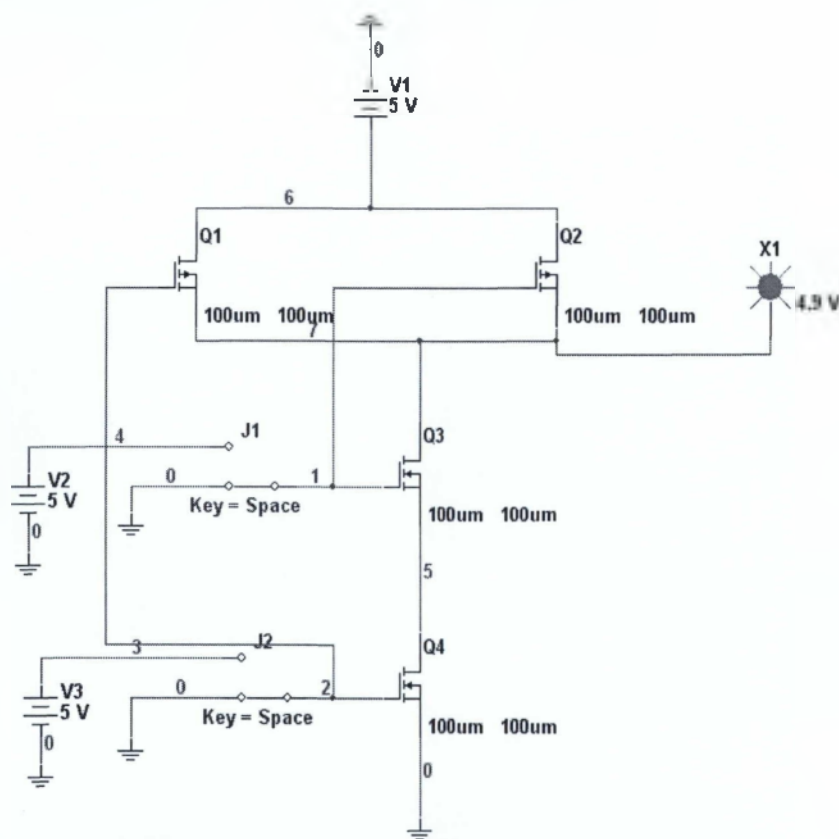
Σχήμα 37(β). Πύλη CMOS NOT σε λογικό "1"

Στα παραπάνω σχήματα (σχήμα 37(α) και 37(β)) παρουσιάζεται η συνδεσμολογία CMOS NOT. Η δομή συμπληρωματικών MOS τρανζίστορ (Complementary MOS – CMOS) αποτελείται από ένα MOSFET PMOS τρανζίστορ (Q1), το οποίο έχει τον ρόλο του φορτίου και ένα NMOS τρανζίστορ (Q2), το οποίο αποτελεί την βαθμίδα οδήγησης (διακόπτης) της πύλης, συνδεδεμένα σε σειρά. Το

βασικό πλεονέκτημα της πύλης CMOS NOT είναι η μηδενική κατανάλωση ενέργειας όταν αυτός βρίσκεται σε κάποια σταθερή λογική κατάσταση. Ενέργεια καταναλώνεται μόνο όταν ο αναστροφέας μεταβαίνει από τη μια λογική κατάσταση στην άλλη, ενώ ο κατάλληλος συνδυασμός δομών CMOS μπορεί να δώσει λειτουργίες που αντιστοιχούν σε λογικές πύλες NOR και NAND, που θα δούμε παρακάτω.

Από το σχήμα 37(α) καταλαβαίνουμε ότι όταν η είσοδος είναι 1, η έξοδος μας δίνει λογικό "0". Ενώ όταν η είσοδος είναι 0, η έξοδος μας δίνει λογικό "1"[4].

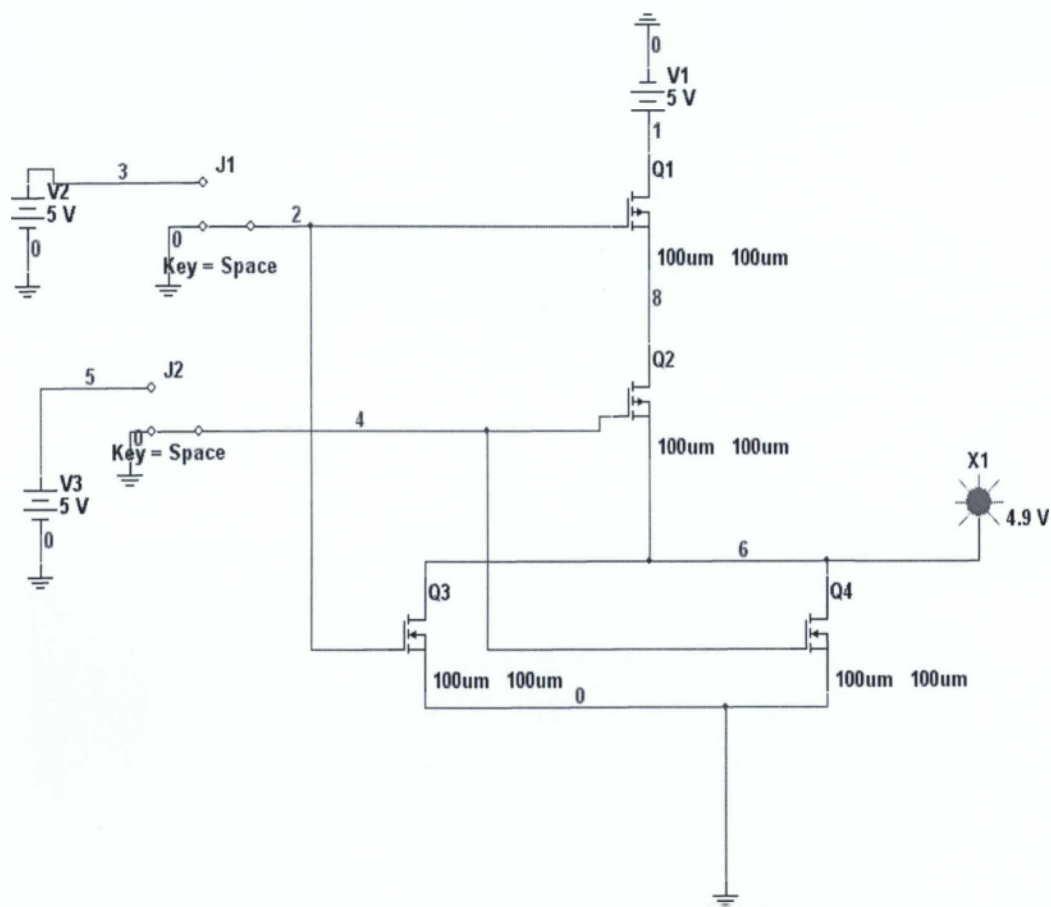
2.11 CMOS NAND



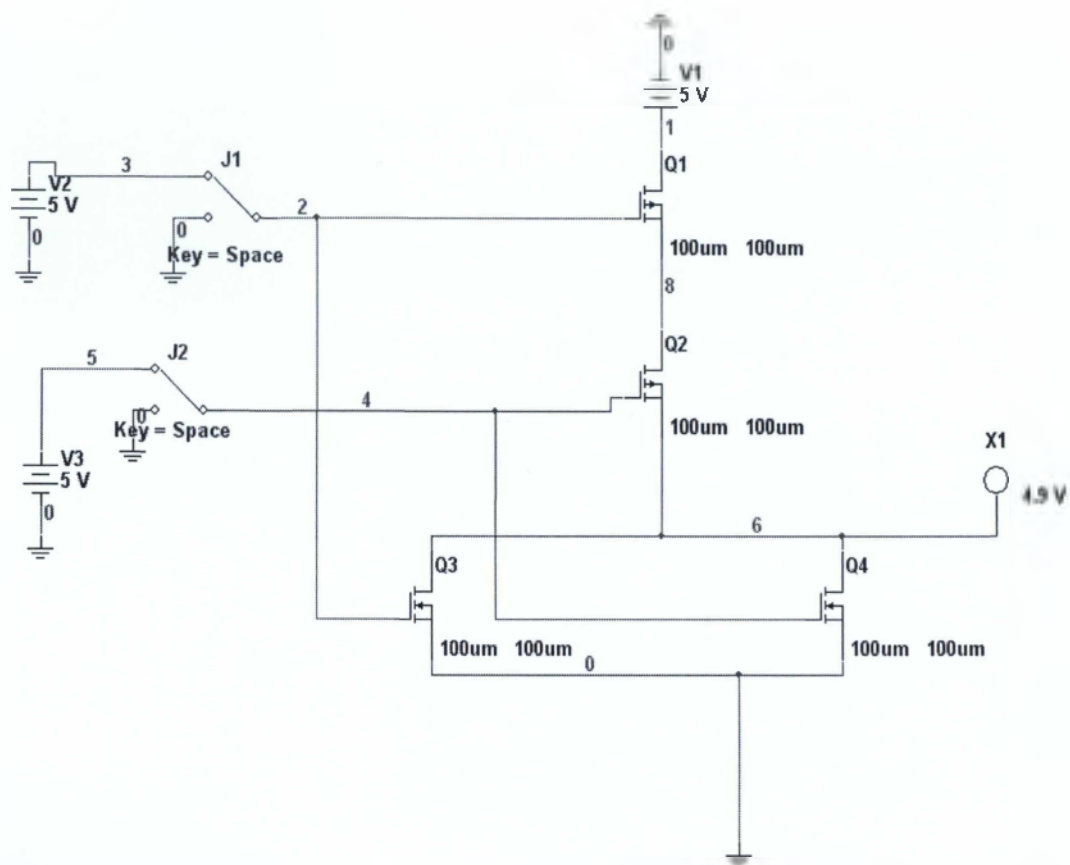
Σχήμα 38(α). Πύλη CMOS NAND σε λογικό "1"

- iii) $1\ 0 \rightarrow 1$ Όταν η είσοδο A είναι σε υψηλό δυναμικό και η είσοδο B σε χαμηλό δυναμικό, τότε η έξοδος τους είναι σε λογικό "1"
- iv) $1\ 1 \rightarrow 0$ Όταν οι δύο εισοδοι έχουν υψηλό δυναμικό, η έξοδος τους είναι λογικό "0"[4]

2.12 CMOS NOR



Σχήμα 39(α). Πύλη CMOS NOR σε λογικό "1"



Σχήμα 39(β). Πύλη CMOS NOR σε λογικό "0"

Στα παραπάνω σχήματα (σχήμ 39(α) και (β)) παρουσιάζεται η συνδεσμολογία CMOS NOR. Σχηματίζονται δύο δομές CMOS η πρώτη αποτελείται από το ζευγάρι των Q1 και Q2 και η δεύτερη από το ζευγάρι Q3 και Q4. Το σχήμα 39 αναλύει την πύλη CMOS NOR σε ένα φορτίο που αποτελείται από τα δύο PMOS τρανζίστορ (Q1 και Q2) συνδεδεμένα σε σειρά και σε έναν οδηγό που αποτελείται από τα δύο NMOS τρανζίστορ (Q3 και Q4) συνδεδεμένα παράλληλα. Από το σχήμα παρατηρούμε ότι η έξοδος έρχεται σε κατάσταση υψηλού δυναμικού, δηλαδή λογικό "1", μόνο όταν και τα δύο τρανζίστορ Q1 και Q2 άγουν. Η έξοδος θα έρχεται σε χαμηλό δυναμικό, όταν ένα εκ των τρανζίστορ Q3 και Q4 άγει. Λόγω της συμπληρωματικότητας, παρατηρούμε επίσης στο σχήμα ότι όταν το Q3 είναι κλειστός διακόπτης το Q1 είναι ανοικτός διακόπτης. Το ίδιο συμβαίνει και με το ζευγάρι Q2 και Q4. Ακολουθεί αναλυτική περιγραφή των τεσσάρων δυνατών ενδεχομένων στη λειτουργία της πύλης NOR.

i) 0 0 → 1 Όταν και οι δύο εισοδοι βρίσκονται σε κατάσταση χαμηλού δυναμικού, τα τρανζίστορ Q1 και Q2 άγουν, ενώ τα Q3 και Q4 βρίσκονται σε αποκοπή. Τα

τρανζίστορ Q1 και Q2 συμπεριφέρονται σαν κλειστοί διακόπτες σε σειρά και από τη μικρή τους αντίσταση το δυναμικό της εξόδου αποκτά υψηλή τιμή μέσω της V1 (λογικό "1")

ii) 0 1 → 0 Όταν η είσοδος A βρίσκεται σε χαμηλό δυναμικό και η B σε υψηλό, τότε λόγω της υψηλής στάθμης της εισόδου B, το Q4 θα άγει και θα φέρνει την έξοδο σε χαμηλό δυναμικό μέσω της γείωσης. Να σημειωθεί ότι η έξοδος Y αποκόπτεται από τη V1 επειδή το τρανζίστορ Q2 (το αντίστοιχο PMOS που συνδέεται με την είσοδο B) αποκόπτεται

iii) 1 0 → 0 Όταν η είσοδος A βρίσκεται σε υψηλό δυναμικό και η είσοδος B σε χαμηλό, τότε λόγω της υψηλής στάθμης της εισόδου A, το Q3 θα άγει και θα φέρνει την έξοδο σε χαμηλό δυναμικό μέσω της γείωσης, λογικό "0". Η έξοδος Y αποκόπτεται από τη V1 επειδή το τρανζίστορ Q1 (το αντίστοιχο PMOS που συνδέεται με την είσοδο A) αποκόπτεται

iv) 1 1 → 0 Με παρόμοιο σκεπτικό με αυτό των περιπτώσεων ii και iii η έξοδος Y θα βρίσκεται σε κατάσταση λογικού "0" με τα τρανζίστορ Q3 και Q4 να άγουν φέρνοντας την έξοδο σε χαμηλό δυναμικό και τα Q1 και Q2 να βρίσκονται σε αποκοπή

2.13 Σύγκριση Λογικών Οικογενειών

Η συνεισφορά των προαναφερθέντων αυτών οικογενειών ήταν ανεκτίμητη. Συγκεκριμένα η κάθε μια από αυτές βοήθησε εξελικτικά στην χρήση της πλέον αρτιότερης οικογενείας. Πιο αναλυτικά, οι πύλες RTL σπαταλούσαν μεγάλη ισχύ και τα περιθώρια θορύβου ήταν στενά. Γεγονός που οδήγησε στην απόσυρση των κυκλωμάτων RTL αν και ήταν η πρώτη εμπορική οικογένεια που χρησιμοποιήθηκε εκτενώς. Έπειτα είδαμε την πύλη DTL η οποία αντικαταστάθηκε σταδιακά από την πύλη TTL, η οποία είναι μια παραλλαγή της DTL. Υπάρχουν αρκετές παραλλαγές των TTL. Οι βασικότερες από αυτές και τα κύρια χαρακτηριστικά τους φαίνονται στον ακόλουθο πίνακα 12:

Πίνακας 12: Κύρια χαρακτηριστικά των TTL

Όνομα Παραλλαγής	Συντομογραφία	Propagation delay (nSec)	Power Dissipation (mW)/πύλη	Speed power Product (pJ)	Παράδειγμα συμβολισμού πύλης
STANDARD	TTL	10	10	100	7400
LOW-POWER	LTTL	33	1	33	74L00
HIGH-SPEED	HTTL	6	22	132	74H00
SCHOTTKY	STTL	3	19	57	74S00
LOW-POWER					
SCHOTTKY	LSTTL	11.5	2	19	74LS00

Παρατηρούμε ότι και οι προχωρημένες πύλες Schottky χαμηλής ισχύος προσφέρουν πολύ χαμηλό γινόμενο καθυστέρησης ισχύος. Παρόλο που η κανονική TTL δε χρησιμοποιείται πια σε καινούργια κυκλώματα, οι προχωρημένες μορφές

κυκλωμάτων χρησιμοποιούνται συχνά. Η ταχύτητα των προχωρημένων πυλών Schottky ανταγωνίζεται εκείνη της λογικής ζεύξης εκπομπού ECL. Κύρια χαρακτηριστικά της ECL είναι η πολύ μεγάλη ταχύτητα, ο λίγος παραγόμενος θόρυβος στο εσωτερικό της, η καλή αναισθησία θορύβου (μεγάλη), λόγω μικρών σύνθετων αντιστάσεων. Η μεγάλη κατανάλωση ισχύος και πολλές και διάφορες στάθμες τάσεων τροφοδοσίας, τις κάνει δύσχρηστες και δύσκολες στην προσαρμογή τους με άλλες κατηγορίες ηλεκτρονικών πυλών. Γενικά η χρήση τους είναι ανεπιθύμητη εκεί που δεν απαιτείται υψηλή ταχύτητα. Βρίσκουν ευρεία εφαρμογή στους ηλεκτρονικούς υπολογιστές. Για αυτούς τους λόγους αντικαταστάθηκαν από τις πύλες MOS και CMOS.

Πρώτα ήρθαν τα MOS και μετά για να τα "συμπληρώσουν" ήρθαν τα συμπληρωματικά CMOS τρανζίστορ. Αυτό που τα καθιέρωσε ήταν:

- Οικονομικοί λόγοι. Τα τελευταία δέκα χρόνια τα bits που αποθηκεύονται σε ένα CHIP τετραπλασιάζονται κάθε τρία χρόνια, ενώ το κόστος μειώνεται στο ήμισυ κάθε τρία χρόνια
- Ελάττωση μεγέθους. Ο χώρος που απαιτούν οι μνήμες ημιαγωγών είναι μικρότερος από το μισό του απαιτούμενου χώρου από την ισοδύναμη μνήμη παλαιότερης τεχνολογίας
- Υψηλές ταχύτητες που εξασφάλιζαν. Η μνήμη MOS είναι ταχύτερη από τις μνήμες παλαιότερας τεχνολογίας. Η χαμηλή κατανάλωση ισχύος και η δυνατότητα κατασκευής με διεργασία επίπεδης διαστρωμάτωσης υλικών.

Στους παρακάτω πίνακες 13 και 14 φαίνονται τα χαρακτηριστικά των πιο σημαντικών λογικών οικογενειών που χρησιμοποιούνται μέχρι σήμερα.

Πίνακας 13: Οικογένειες Λογικών Πολών

Οικογένειες Ψηφιακών Ολοκληρωμένων Κυκλωμάτων

- Χαρακτηρίζονται από την τεχνολογία με την οποία υλοποιείται η βασική πυλή της οικογένειας.
- Οι πιο συνηθισμένες είναι οι:

– TTL – Transistor-transistor Logic	Σειρά 74XX
– ECL – Emitter Coupled Logic	Σειρά 10k ή 100k
– MOS – Metal Oxide Semiconductor	
– NMOS – N-type MOS	
– CMOS – Complementary MOS	Σειρά 4000 ή 14000 ή 4500
– I ² L – Integrated Injection Logic	
- Βαθμός ολοκλήρωσης:

– SSI – Small Scale Integration	10 gates/chip
– MSI – Medium Scale Integration	100 gates/chip
– LSI – Large Scale Integration	1000 gates/chip
– VLSI – Very Large Scale Integration	10.000 gates/chip
– VHSL – Very High Scale Integration	100.000 gates/chip

Πίνακας 14: Βασικά χαρακτηριστικά των οικογενειών λογικών πολών

Βασικά χαρακτηριστικά των οικογενειών ICs

• Οικογ.	Τάση τροφοδ.	Επίπεδο τάσης	
		HIGH	LOW
TTL	+5 V	2.4 ... 5.0	0 ... 0.4
ECL	-5.2 V	-0.95 ... -0.7	-1.9 ... -1.6
CMOS	3 ... 15 V	V _{DD}	0 ... 0.5

• Ειδικά χαρακτηριστικά:	TTL	Schottky TTL	LS TTL	CMOS	ECL
1. Δυνατότητα οδήγησης	10	10	20	50	25
2. Καταναλωση ισχυος (mW)	10	22	2	0.1	25
3. Καθυστερηση διαδοσης (ns)	10	3	10	25	2
4. Περιθωριο θορυβου	0.4	0.4	0.4	3	0.2

Βιβλιογραφία

[1] Φερτάκης Κων/νος, Πετραδέλλης Παναγιώτης, Πλουμής Λεωνίδα, “Υπολογιστές και Υπολογιστικά Συστήματα”, Τεχνολογία Επικοινωνιών, Εργασία Μαθητών β΄ Λυκείου

[2] Ιωάννης Καλόμοιρος, Μαδελής Ιωάννης, “Προηγμένα Ψηφιακά Συστήματα”, Τομέας Αρχιτεκτονικής Υπολογιστών, Τμήμα Πληροφορικής Και Επικοινωνιών, Σχολή Τεχνολογικών Εφαρμογών Και Βιομηχανικών Εφαρμογών, ΤΕΙ Σερρών, Έκδοση 2η

[3] Χουσιάκος Βασίλης, “Προσομοίωση Πρακτικών Κυκλωμάτων RF σε Η/Υ”, Τμήμα Ηλεκτρονικής, Σχολή Τεχνολογικών Εφαρμογών, ΤΕΙ Πειραιά

[4] C.C. Katsidis, “Εισαγωγή στην Μικροηλεκτρονική (ETΥ – 482)”

[5] Adel S. Sedra, Kenneth C. Smith “Μικροηλεκτρονικά Κυκλώματα”, μετάφραση Ελένη Γκαγκάτσιου 5η Έκδοση, Τόμος Α, Παπασωτηρίου, 2010

Επίλογος

Στην παρούσα εργασία αναφερθήκαμε στις πρώιμες Οικογένειες Λογικών πυλών RTL, DTL που η εξέλιξη τους βοήθησε να μεταβούμε στην μεταγενέστερη πύλη TTL. Αυτή η διπολική οικογένεια υπήρξε σταθμός για τους κατασκευαστές, αφού χρησιμοποιήθηκε ως πρότυπο, ώστε να κατασκευαστούν και άλλες πύλες (δίοδος Schottky, τρανζίστορ με σύνδεση totem και συσκευές με τρεις καταστάσεις) βάση αυτής. Οι πύλες που ακολούθησαν μετά την TTL ανοικτού συλλέκτη σταδιακά βελτιώνονταν και εξελίσσονταν. Περνώντας τα χρόνια και με την περαιτέρω εξέλιξη της τεχνολογίας χρησιμοποιήθηκαν τα κυκλώματα αναστροφής CMOS και MOS, τα οποία είναι διαδεδομένα και χρησιμοποιούνται μέχρι και σήμερα.

Στη συνέχεια αυτής της εργασίας προσομοιώσαμε τη λειτουργία των λογικών πυλών στο πρόγραμμα προσομοίωσης Multisim. Οι προσομοιώσεις αυτές μας βοήθησαν να καταλάβουμε την λειτουργία των λογικών οικογενειών και στην πράξη. Προσομοιώνοντας τις πύλες στο λογικό "1" και στο λογικό "0", είδαμε πως αντιδράει η κάθε πύλη στις αντίστοιχες καταστάσεις. Έτσι αποκτήσαμε μια σφαιρική εικόνα για το πώς δημιουργήθηκαν, εξελίχθηκαν και λειτουργούν οι πύλες από τις πρώιμες (RTL, DTL) μέχρι και τις μεταγενέστερες (TTL, MOS, CMOS).

Ακρωνύμια

BJT = τρανζίστορ διπολικής επαφής (Bipolar Junction Transistor)

RTL = τρανζίστορ λογικής αντίστασης (Resistor Transistor Logic)

DTL = τρανζίστορ λογικής διόδου (Diode Transistor Logic)

HT-DTL = τρανζίστορ λογικής διόδου υψηλού κατωφλίου (High Threshold Diode Transistor Logic)

TTL = λογική τρανζίστορ-τρανζίστορ (Transistor Transistor Logic)

ECL = τρανζίστορ διπολικής επαφής (Emitter Coupled Logic)

MOS = μετάλλου οξειδίου ημιαγωγού (Metal Oxide Semiconductor)

FET = τρανζίστορ φαινομένου πεδίου (Field Effect Transistor)

MOSFET = συμπληρωματικά τρανζίστορ επίδρασης πεδίου (Metal Oxide Semiconductor Field Effect Transistor)

CMOS = συμπληρωματικού ημιαγωγού μετάλλου Οξειδίου (Complementary Metal Oxide Semiconductor)

BiCMOS = Διπολικό (Bipolar) Συμπληρωματικού Ημιαγωγού Μετάλλου Οξειδίου (CMOS)

VLSI = πολύ μεγάλης κλίμακας ολοκλήρωσης (Very Large Scale Integration)

PMOS = συμπληρωματικά τρανζίστορ επίδρασης πεδίου τύπου -P (Metal Oxide Semiconductor Field Effect Transistor)

NMOS = συμπληρωματικά τρανζίστορ επίδρασης πεδίου τύπου -N (Metal Oxide Semiconductor Field Effect Transistor)

LV = χαμηλής τάσης (Low Voltage)

LVC = χαμηλής τάσης - 1,65 - 3,3 V και 5 V ανεκτική εισροές

ALVC = σύνθετη χαμηλής τάσης - 1,65 - 3,3 V

AVC = σύνθετη τάση φορτίου

LVX = χαμηλής τάσης - 3,3 V και 5 V ανεκτική εισροές

LCX = CMOS με 3 V της προσφοράς και 5 εισόδους ανεκτικών V

IC = ολοκληρωμένα ψηφιακά κυκλώματα (Integrated Circuits)