

ΤΕΧΝΟΛΟΓΙΚΟ
ΕΚΠΑΙΔΕΥΤΙΚΟ
Ι Δ Ρ Υ Μ Α



ΠΕΛΟΠΟΝΝΗΣΟΥ

**ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ
ΙΔΡΥΜΑ ΠΕΛΟΠΟΝΝΗΣΟΥ**

**ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ
ΕΦΑΡΜΟΓΩΝ**

ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ

ΠΛΗΡΟΦΟΡΙΚΗΣ Τ.Ε.

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

**<<Δημιουργία σειράς εργαστηριακών ασκήσεων για το μάθημα
“Ψηφιακά Ηλεκτρονικά” μέσω προσομοίωσης>> .**

ΟΝΟΜΑΤΕΠΩΝΥΜΟ: ΒΑΦΕΙΟΠΟΥΛΟΣ ΘΕΟΔΩΡΟΣ ΚΩΝ/ΝΟΣ

ΑΡΙΘΜΟΣ ΜΗΤΡΩΟΥ: 2012022

ΕΠΙΒΛΕΠΩΝ ΚΑΘΗΓΗΤΗΣ: ΙΩΑΝΝΗΣ ΛΙΑΠΕΡΔΟΣ

ΟΚΤΩΒΡΙΟΣ 2018

ΠΕΡΙΛΗΨΗ

Στα Ηλεκτρονικά και στον ηλεκτρισμό, βασική γνώση είναι τα αναλογικά κυκλώματα. Τα ψηφιακά κυκλώματα είναι αυτά τα οποία δουλεύουν με την τάση HIGH και LOW. Κάθε εργαστηριακή άσκηση παρέχει τις κατάλληλες λογικές πύλες, τα καλώδια για ένωση σε παλμογράφο, διακόπτες, LED κ.λ.π.. Επίσης σε κάθε κύκλωμα αντιστοιχεί ένα ρεύμα και μία τάση, το ρεύμα μετριέται σε Ampere, ενώ η τάση σε volt.

Λέξεις – Κλειδιά

Ρεύμα, τάση, συνάρτηση, είσοδος, έξοδος.

ΔΗΛΩΣΗ ΜΗ ΛΟΓΟΚΛΟΠΗΣ ΚΑΙ ΑΝΑΛΗΨΗΣ ΠΡΟΣΩΠΙΚΗΣ ΕΥΘΥΝΗΣ

"Με πλήρη επίγνωση των συνεπειών του νόμου περί πνευματικών δικαιωμάτων, δηλώνω ενυπογράφως ότι είμαι αποκλειστικός συγγραφέας της παρούσας Πτυχιακής Εργασίας, για την ολοκλήρωση της οποίας κάθε βοήθεια είναι πλήρως αναγνωρισμένη και αναφέρεται λεπτομερώς στην εργασία αυτή. Έχω αναφέρει πλήρως και με σαφείς αναφορές, όλες τις πηγές χρήσης δεδομένων, απόψεων, θέσεων και προτάσεων, ιδεών και λεκτικών αναφορών, είτε κατά κυριολεξία είτε βάση επιστημονικής παράφρασης. Αναλαμβάνω την προσωπική και ατομική ευθύνη ότι σε περίπτωση αποτυχίας στην υλοποίηση των ανωτέρω δηλωθέντων στοιχείων, είμαι υπόλογος έναντι λογοκλοπής, γεγονός που σημαίνει αποτυχία στην Πτυχιακή μου Εργασία και κατά συνέπεια αποτυχία απόκτησης του Τίτλου Σπουδών, πέραν των λοιπών συνεπειών του νόμου περί πνευματικών δικαιωμάτων. Δηλώνω, συνεπώς, ότι αυτή η Πτυχιακή Εργασία προετοιμάστηκε και ολοκληρώθηκε από εμένα προσωπικά και αποκλειστικά και ότι, αναλαμβάνω πλήρως όλες τις συνέπειες του νόμου στην περίπτωση κατά την οποία αποδειχθεί, διαχρονικά, ότι η εργασία αυτή ή τμήμα της δε μου ανήκει διότι είναι προϊόν λογοκλοπής άλλης πνευματικής ιδιοκτησίας.

"Όνομα και Επώνυμο Συγγραφέα (Με Κεφαλαία):

.....

Υπογραφή (Ολογράφως, χωρίς μονογραφή):

.....

Ημερομηνία (Ημέρα – Μήνας – Έτος):

.....

Περιεχόμενα

Σκοπός της εργασίας – Ευχαριστίες.....	6-7
ΚΕΦΑΛΑΙΟ 1 – ΕΙΣΑΓΩΓΗ.....	8
1.1 Τι είναι ένα ψηφιακό κύκλωμα.....	8
1.2 Που και γιατί χρησιμοποιούμε ψηφιακά κυκλώματα.....	12
1.3 Μέτρηση στο δεκαδικό και δυαδικό σύστημα.....	14
1.4 Οκταδικοί και δεκαεξαδικοί αριθμοί.....	15
ΚΕΦΑΛΑΙΟ 2 – ΛΟΓΙΚΕΣ ΠΥΛΕΣ.....	17
2.1 Η πύλη AND.....	17
2.2 Η πύλη OR.....	18
2.3 Η πύλη NOT και ο απομονωτής Buffer.....	19
2.4 Η πύλη NAND.....	21
2.5 Η πύλη NOR.....	22
2.6 Η πύλη XOR.....	23
2.7 Η πύλη XNOR.....	24
2.8 Πύλες με περισσότερες από δύο εισόδους (Απλοποίηση με πίνακες Karnaugh, Μέσω προσομοιωτή Deeds).....	25
ΚΕΦΑΛΑΙΟ 3 – ΠΟΛΥΠΛΕΚΤΕΣ/ΑΠΟΠΟΛΥΠΛΕΚΤΕΣ.....	28
3.1 ΠΟΛΥΠΛΕΚΤΕΣ.....	28
3.1.1 Τι είναι πολυπλέκτης.....	28
3.1.2 Πολυπλέκτης 2 και 4 εισόδων.....	29
3.1.3 Ολοκληρωμένα κυκλώματα Πολυπλεκτών.....	34
3.2 ΑΠΟΠΟΛΥΠΛΕΚΤΕΣ.....	36
3.2.1 Τι είναι αποπολυπλέκτης.....	36
3.2.2 Αποπολυπλέκτης 1x2 και 1x4.....	36
3.2.3 Ολοκληρωμένα κυκλώματα Αποπολυπλεκτών.....	42
ΚΕΦΑΛΑΙΟ 4 – ΚΩΔΙΚΟΠΟΙΗΤΕΣ/ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ.....	44
4.1 ΚΩΔΙΚΟΠΟΙΗΤΕΣ.....	44
4.1.1 Ορισμός.....	44

4.1.2 Κωδικοποιητής 4x2 (με πύλες).....	45
4.1.3 Κωδικοποιητής 8x3 (με πύλες).....	46
4.1.4 Ολοκληρωμένα κυκλώματα κωδικοποιητών	50
4.2 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ.....	52
4.2.1 Ορισμός.....	52
4.2.2 Αποκωδικοποιητής 3x8(με πύλες).....	52
4.2.3 Αποκωδικοποιητής BCD σε δεκαδικό (4x10).....	55
4.2.4 Ολοκληρωμένο κύκλωμα αποκωδικοποιητή.....	56
4.2.5 Αποκωδικοποιητές οδηγοί - Ενδείκτης 7 τμημάτων και αποκωδικοποιητής BCD σε 7 τμήματα.....	57
ΚΕΦΑΛΑΙΟ 5 – FLIP-FLOPS	61
5.1 Ορισμός.....	61
5.2 Το R-S Flip-flop.....	62
5.3 Το D Flip flop.....	66
5.4 Το J-K Flip-flop.....	69
5.5 Το T Flip-flop.....	72
5.6 Διέγερση Flip-flop.....	75
5.7 Ασύγχρονες είσοδοι (ορισμοί).....	76
5.8 Ολοκληρωμένα κυκλώματα Flip-flops.....	77
ΚΕΦΑΛΑΙΟ 6 – ΜΗΧΑΝΕΣ ΚΑΤΑΣΤΑΣΕΩΝ.....	80
6.1 Τι είναι Μηχανή Καταστάσεων.....	80
6.2 Σχεδίαση και υλοποίηση κυκλωμάτων για Μηχανές καταστάσεων (Με D, J-K & T flip-flop).....	81
ΒΙΒΛΙΟΓΡΑΦΙΑ.....	96
ΠΗΓΕΣ ΒΙΒΛΙΟΓΡΑΦΙΑΣ (SITES).....	97

ΕΥΧΑΡΙΣΤΙΕΣ

Σε αυτό το σημείο θα ήθελα να ευχαριστήσω τον πατέρα μου που μου στάθηκε σε όλη τη διάρκεια των σπουδών μου προσφέροντας βοήθεια και θυσίες για να καταφέρω τον στόχο μου. Τον κύριο Ιωάννη Λιαπέρδο και όλους τους καθηγητές για τις συνεργασίες, τις απαραίτητες και χρήσιμες γνώσεις και την εμπιστοσύνη για την δημιουργία του έργου μου στην πτυχιακή, και τέλος τους συμφοιτητές μου: Μαρία Μακρανδρέου, Αναστασία Σελινιωτάκη, Λάμπρο Πετρή, Μανώλη Δρίβα, Άλκη Τσάκο, και Ηλία Μαντζώρο για τις χρήσιμες βοήθειες και συμβουλές τους.

ΣΚΟΠΟΣ ΤΗΣ ΕΡΓΑΣΙΑΣ

Ο στόχος μας για αυτήν την πτυχιακή εργασία είναι η υλοποίηση των Ψηφιακών Κυκλωμάτων εργαστηριακών ασκήσεων, μέσω προσομοίωσης σε λογισμικό ηλεκτρονικών που ονομάζεται Deeds. Θα δημιουργηθούν διάφορα ψηφιακά κυκλώματα, παρόμοια και μετέπειτα θα περιγράφονται οι λειτουργίες τους. Ξεκινώντας από τα βασικά κυκλώματα που θα πρέπει να μελετήσουμε όπως για παράδειγμα οι βασικές πύλες (AND OR NOT), πολυπλέκτες /αποπολυπλέκτες, κωδικοποιητές/αποκωδικοποιητές, flip-flops που θεωρούνται σημαντικά, και απαραίτητη γνώση στα Ψηφιακά Ηλεκτρονικά που πρέπει να γνωρίζει οποιοσδήποτε ηλεκτρονικός.



ΚΕΦΑΛΑΙΟ 1 (ΕΙΣΑΓΩΓΗ)

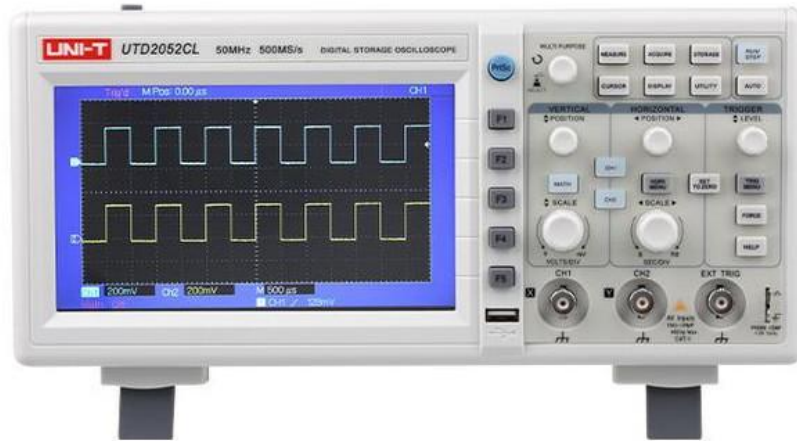
1.1 Τι είναι ένα ψηφιακό κύκλωμα;

Γενικά στα Ηλεκτρονικά και στον ηλεκτρισμό, βασική γνώση είναι τα αναλογικά κυκλώματα. Τα ψηφιακά κυκλώματα είναι αυτά τα οποία δουλεύουν με την τάση HIGH και LOW. Όμως έχουν να κάνουν και με τα δυαδικά ψηφία, δηλαδή το λογικό 0 ή 1, όπως θα δούμε στα παρακάτω κεφάλαια με τις μετατροπές δυαδικού σε οκταδικό κ.τ.λ..

Στη παρακάτω εικόνα 1.1 (α) έχουμε ένα παλμογράφο τον οποίον τον συναντήσαμε και στα αναλογικά κυκλώματα, αλλά με αναλογική τάση. Τώρα στα ψηφιακά ηλεκτρονικά μας δείχνει μία ψηφιακή τάση, που θεωρείται μία από τις τυπικές τάσεις στα ψηφιακά ηλεκτρονικά.

Σε αυτήν την ψηφιακή τάση που μας δείχνει ο παλμογράφος, θα μπορούσαμε να χρησιμοποιήσουμε στο κύκλωμα έναν διακόπτη με button (ON/OFF), κι ένα τρανζίστορ το οποίο να ανοιγοκλείνει.

Γενικά ένα σήμα μπορεί να θεωρηθεί χρήσιμη πληροφορία σε ηλεκτρονικά κυκλώματα. Μπορεί όμως να είναι η μορφή της τάσης και να μεταβάλλεται με το χρόνο, αναλόγως με το πώς το ρυθμίζουμε. Επίσης ένα σήμα μπορεί να θεωρηθεί ως ένα ηλεκτρικό ρεύμα που μεταβάλλεται με συνεχή τρόπο όπως στα αναλογικά και με ασυνεχή όπως στα ψηφιακά αντιθέτως. Τα πιο πολλά κυκλώματα τα σήματά τους παριστάνονται σε τάσεις σε συνάρτηση με το χρόνο, κι αυτό συμβαίνει όταν τα ψηφιακά κυκλώματα συνδέονται με μη ψηφιακές συσκευές (π.χ. κινητήρες).



Εικόνα 1.1 (α): Παλμογράφος σε ψηφιακή μορφή.

Στην εικόνα 1.1(β), έχουμε ένα αναλογικό πολύμετρο με αναλογική μέτρηση. Η λειτουργία του είναι ότι αφού αυξηθεί η τάση, αντίσταση που μετρά η συγκεκριμένη συσκευή, η βελόνα μετακινείται με συνεχή τρόπο επάνω σε μία κλίμακα η οποία βρίσκεται ακριβώς πάνω στην οθόνη.



Εικόνα 1.1(β): Αναλογικό πολύμετρο.

Στην Εικόνα 1.1 (γ) έχουμε το αντίστοιχο ψηφιακό πολύμετρο το οποίο χρησιμοποιείται για την ψηφιακή μέτρηση. Όταν αυξάνει η τάση και η αντίσταση που μετρά η συγκεκριμένη συσκευή, η τιμή αυξάνει με μικρά άλματα. Γενικά το ψηφιακό πολύμετρο αποτελεί ένα απλούστερο παράδειγμα στα ψηφιακά ηλεκτρονικά δηλαδή εκτελεί κάποιες λειτουργίες που εκτελούσαν μόνο οι αναλογικές συσκευές. Για αυτό τον λόγο τα ψηφιακά γενικά είναι πιο εξελιγμένα απ τα αναλογικά.

1.2α) Που χρησιμοποιούνται τα ψηφιακά κυκλώματα;

Τα ψηφιακά κυκλώματα τα συναντάμε στη σύγχρονη εποχή μας σε συσκευές όπως ένα ψηφιακό ρολόι ή σε μία ψηφιακή φωτογραφική μηχανή.

Στη παρακάτω εικόνα 1.2(α) έχουμε ένα ψηφιακό ρολόι το οποίο παρέχει έναν προγραμματιζόμενο μετρητή απόστασης, σύστημα καταγραφής για καρδιακούς παλμούς το οποίο χρησιμοποιείται σε νοσοκομεία, έναν φθίνοντα χρονομετρητή, σύστημα φωτισμού και έχει εξελιχθεί σε αδιάβροχο. Επίσης παρέχει μπαταρίες υγρών κρυστάλλων (LCD) και έχει χαμηλή ισχύ.



Εικόνα 1.2(α): Ψηφιακό ρολόι χειρός.

Στη παρακάτω εικόνα 1.2(β), έχουμε μία ψηφιακή φωτογραφική μηχανή η οποία θεωρείται το μέσο αποθήκευσης, παρέχει μία δισκέτα η οποία περνά δεδομένα φωτογραφιών στον υπολογιστή που παρέχει ένα κατάλληλο πρόγραμμα απεικόνισης που λέγεται JPEG.



Εικόνα 1.2(β) Ψηφιακή φωτογραφική μηχανή.

Β)Γιατί χρησιμοποιούνται τα ψηφιακά κυκλώματα;

Γενικά πρέπει να γνωρίζουμε κάποιες βασικές γνώσεις αναλογικών και ψηφιακών ηλεκτρονικών. Στη πράξη πρέπει να αποφασίσουμε αν στο σύστημα γενικά θα χρησιμοποιήσουμε αναλογική ή ψηφιακή τεχνική ή και τα δύο.

Όσον αφορά τα αναλογικά ηλεκτρονικά, έχουν δημοφιλέστερα παρελθόν και παρείχαν χρόνο, ταχύτητα, βάρος και πίεση.

Ενώ τα ψηφιακά συστήματα είναι πολύ χρήσιμα ειδικά όταν απαιτούν ακριβείς υπολογισμούς, χειρισμό στα δεδομένα και απεικόνιση στους καθοδικούς σωλήνες(CRT).

Υπάρχουν κάποια πλεονεκτήματα για την χρησιμοποίηση των ψηφιακών έναντι των αναλογικών κυκλωμάτων:

- Α) Φθηνά IC χρησιμοποιούνται με πρόσθετα εξαρτήματα.
- Β) Αποθηκεύουν πληροφορίες σε μικρά χρονικά διαστήματα.
- Γ) Εύκολη σχεδίαση συστημάτων χρησιμοποιώντας ψηφιακές λογικές μονάδες.
- Δ) Προγραμματίζονται με τρόπο εξυπνάδας.

Υπάρχουν και βασικοί περιορισμοί για την ψηφιακή τεχνολογία οι οποίοι είναι οι εξής:

- Α) Τα πιο πολλά φαινόμενα είναι φυσικά αναλογικά.

Β) Τα αναλογικά είναι πιο απλούστερα.

Τα ψηφιακά συνεργάζονται συνήθως με υπολογιστές, με τη μνήμη και παρέχουν εύκολο σχεδιασμό.

1.3 Μέτρηση στο δεκαδικό και δυαδικό σύστημα

Ένα αριθμητικό σύστημα θεωρείται ένας κώδικας συμβόλων για αριθμητικά στοιχεία. Το δεκαδικό σύστημα ξεκινάει από τον αριθμό 0 και καταλήγει στο 9. Δηλαδή 0, 1, 2, 3, 4, 5, 6, 7, 8, 9.

Το δυαδικό σύστημα ξεκινάει από το 0 και καταλήγει στο 1. Δηλαδή 0, 1. Ας δούμε τον παρακάτω πίνακα 1.3(α) δεκαδικού και δυαδικού:

Πίνακας 1.3(α): Πίνακας δυαδικού και δεκαδικού.

ΔΕΚΑΔΙΚΟΣ	ΔΥΑΔΙΚΟΣ
0	0
1	1
2	10
3	11
4	100
5	101
6	110
7	111
8	1000
9	1001

1.4 Οκταδικοί και δεκαεξαδικοί αριθμοί

A) Οκταδικοί αριθμοί

Το οκταδικό σύστημα ξεκινάει από το 0 και καταλήγει στον αριθμό 7. Δηλαδή 0, 1, 2, 3, 4, 5, 6, 7. Βασικό πλεονέκτημα του οκταδικού συστήματος είναι η χρήση του στην απευθείας μετατροπή των τριψήφιων δυαδικών αριθμών. Ας δούμε τον παρακάτω πίνακα 1.4(α) του οκταδικού συστήματος:

Πίνακας 1.4(α): Πίνακας οκταδικού.

ΔΥΑΔΙΚΟΣ	ΟΚΤΑΔΙΚΟΣ
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

B) Δεκαεξαδικοί αριθμοί

Θεωρείται και σύστημα με βάση το 16, όπου ξεκινάει από το 0 και καταλήγει στο Αγγλικό γράμμα F. Δηλαδή το γράμμα A αντιστοιχεί στο δεκαδικό 10, το B στο 11, το C στο 12, το D στο 13, το E στο 14 και το F στο 15. Βασικό πλεονέκτημα του δεκαεξαδικού συστήματος είναι η χρήση του στην απευθείας μετατροπή τετραψήφιου δυαδικού αριθμού.

Ας ρίξουμε μία ματιά και στον πίνακα 1.4(β) του δεκαεξαδικού συστήματος:

Πίνακας 1.4(β): Πίνακας δεκαεξαδικού.

ΔΕΚΑΔΙΚΟΣ	ΔΥΑΔΙΚΟΣ	ΔΕΚΑΕΞΑΔΙΚΟΣ
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

ΚΕΦΑΛΑΙΟ 2 – ΛΟΓΙΚΕΣ ΠΥΛΕΣ

2.1 Η πύλη AND (ΚΑΙ)

Ο όρος “Λογική” χρησιμοποιείται για διαδικασίες στις οποίες προηγείται μια απόφαση.

Θα αναφερθούμε στην πρώτη λογική πύλη η οποία είναι η πύλη AND που στα Ελληνικά σημαίνει η λέξη “ΚΑΙ”. Παρέχει δύο εισόδους και μία έξοδο. Χρησιμοποιείται συχνά για την κατασκευή τρανζιστορς και διόδων. Επίσης το σύμβολό της χρησιμοποιείται με διόδους, τρανζίστορς , ρελέ και διακόπτες.

Στην άλγεβρα Boole συμβολίζεται με τελεία (.), δηλαδή λειτουργεί με πράξη του πολλαπλασιασμού. Στην παρακάτω εικόνα 2.1(α) βλέπουμε το λογικό σύμβολο της AND:



2.1(α): Λογικό σύμβολο της πύλης AND.

Έκφραση Boole: $A * B = Y$

Πίνακας Αληθείας της πύλης AND:

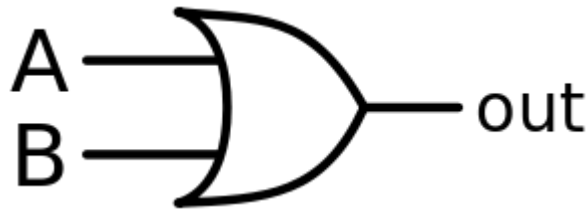
Πίνακας 2.1(α): Πίνακας αληθείας πύλης AND.

ΕΙΣΟΔΟΣ A	ΕΙΣΟΔΟΣ B	ΕΞΟΔΟΣ Y
0	0	0
0	1	0
1	0	0
1	1	1

2.2 Η πύλη OR (Η')

Η πύλη OR που στα Ελληνικά εκφράζεται με τη λέξη «Η'», είναι χρήσιμη πολύ κυρίως σε διακόπτες κυκλωμάτων.

Στην άλγεβρα Boole συμβολίζεται με (+), δηλαδή κάνει την πράξη της πρόσθεσης. Στην παρακάτω εικόνα 2.2(α) έχουμε το λογικό σύμβολο της πύλης OR:



2.2(α): Λογικό σύμβολο της πύλης OR.

Έκφραση Boole: $A+B=Y$

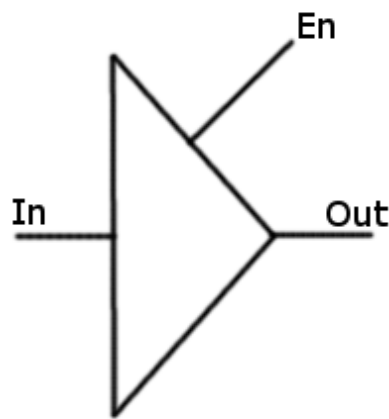
Πίνακας Αληθείας της πύλης OR:

Πίνακας 2.2(α): Πίνακας αληθείας της πύλης OR.

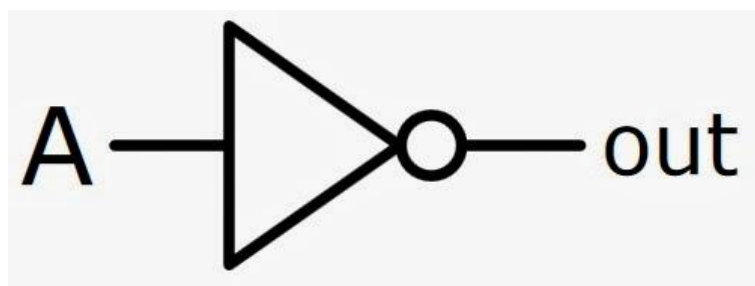
ΕΙΣΟΔΟΣ A	ΕΙΣΟΔΟΣ B	ΕΞΟΔΟΣ Y
0	0	0
0	1	1
1	0	1
1	1	1

2.3 Η πύλη NOT και ο Απομονωτής Buffer

Η πύλη NOT και ο Απομονωτής Buffer θεωρούνται και οι δύο αντίθετοι. Δηλαδή όσον αφορά την πύλη NOT ότι όταν ένα bit στην είσοδο παίρνει 0 αλλάζει στην έξοδο σε 1 και το αντίθετο, ενώ με τον Απομονωτή Buffer, ότι bit βάλουμε στην είσοδο παραμένει σταθερό στην έξοδο του, δεν αλλάζει. (π.χ. είσοδος 0 τότε έξοδος 0). Στις παρακάτω εικόνες 2.3(α) και 2.3(β) βλέπουμε τα λογικά σύμβολα του Απομονωτή Buffer και της πύλης NOT:



2.3(α):Σύμβολο Απομονωτή Buffer.



2.3(β):Σύμβολο Πύλης NOT.

Εκφράσεις Boole:

Buffer $\rightarrow A=Y$

NOT $\rightarrow A'=Y$

Πίνακες Αληθείας:

(α) Απομονωτής Buffer:

Πίνακας 2.3(α): Πίνακας αληθείας Απομονωτή Buffer.

ΕΙΣΟΔΟΣ Α	ΕΞΟΔΟΣ Υ
0	0
1	1

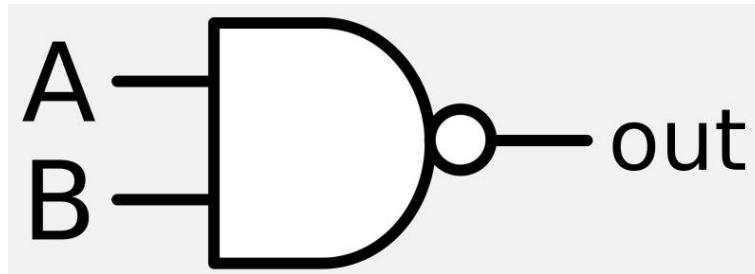
(β) Πύλη NOT:

Πίνακας 2.3(β): Πίνακας αληθείας πύλης NOT.

ΕΙΣΟΔΟΣ Α	ΕΞΟΔΟΣ Υ
0	1
1	0

2.4 Η πύλη NAND (NOT AND)

Θεωρείται μία NOT AND δηλαδή είναι το ακριβώς αντίθετο της πύλης AND. Για παράδειγμα ότι έξοδο έβγαζε η AND $Y=0$, η έξοδος της NAND βγάζει $Y=1$. Θα το δούμε παρακάτω στον πίνακα αληθείας. Στην εικόνα 2.4(α) βλέπουμε το σύμβολο της πύλης NAND:



2.4(α): Σύμβολο πύλης NAND.

Έκφραση Boole:

$$A' * B' = Y$$

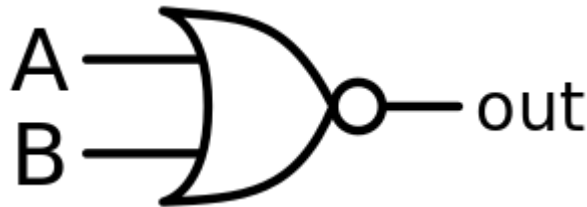
Πίνακας Αληθείας της πύλης NAND:

Πίνακας 2.4(α): Πίνακας αληθείας της πύλης NAND.

ΕΙΣΟΔΟΣ A	ΕΙΣΟΔΟΣ B	ΕΞΟΔΟΣ Y
0	0	1
0	1	1
1	0	1
1	1	0

2.5 Η πύλη NOR (NOT OR)

Θεωρείται μία NOT OR, δηλαδή είναι το ακριβώς αντίθετο της πύλης OR. Για παράδειγμα αν η έξοδος Y της OR βγάζει αποτέλεσμα $Y=1$, η NOR βγάζει αποτέλεσμα $Y=0$. Στην εικόνα 2.4(α) βλέπουμε το λογικό σύμβολο της πύλης NOR:



2.5(α): Λογικό σύμβολο της πύλης NOR.

Έκφραση Boole:

$$A' + B' = Y$$

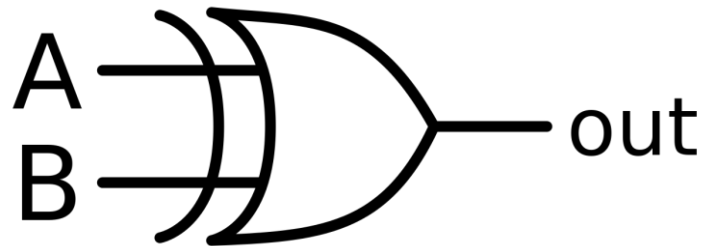
Πίνακας Αληθείας της πύλης NOR:

Πίνακας 2.5(α): Πίνακας αληθείας της πύλης NOR.

ΕΙΣΟΔΟΣ A	ΕΙΣΟΔΟΣ B	ΕΞΟΔΟΣ Y
0	0	1
0	1	0
1	0	0
1	1	0

2.6 Η πύλη XOR (EXCLUSIVE OR)

Θεωρείται ως exclusive OR (δηλαδή αποκλειστική OR), η ονομασία της είναι “διαφωνία ή σύγκριση”, η οποία έχει δύο εισόδους και μία έξοδο. Στην εικόνα 2.5(α) βλέπουμε το παρακάτω λογικό σύμβολο:



2.6(α): Λογικό σύμβολο της πύλης XOR.

Έκφραση Boole:

$$Y = A(+)B = A * B' + A' * B$$

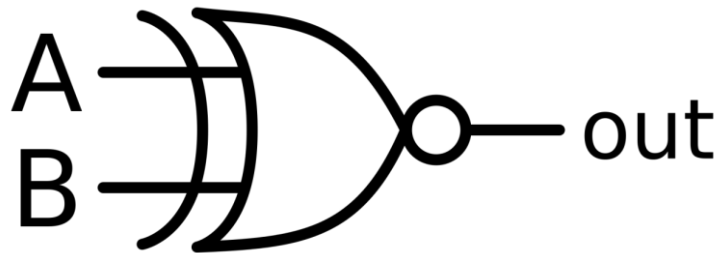
Πίνακας Αληθείας της πύλης XOR:

Πίνακας 2.6(α): Πίνακας αληθείας της πύλης XOR.

ΕΙΣΟΔΟΣ Α	ΕΙΣΟΔΟΣ Β	ΕΞΟΔΟΣ Υ
0	0	0
0	1	1
1	0	1
1	1	0

2.7 Η πύλη XNOR (EXCLUSIVE NOT OR)

Θεωρείται μια exclusive NOT OR (δηλαδή αποκλειστική NOT OR), έχει 2 εισόδους και μία έξοδο και είναι το αντίθετο της πύλης XOR. Στην εικόνα 2.6(α) βλέπουμε το λογικό σύμβολο της πύλης XNOR:



Εικόνα 2.7(α): Λογικό σύμβολο της πύλης XNOR.

Έκφραση Boole:

$$Y = A(*)B = A*B + A'*B'$$

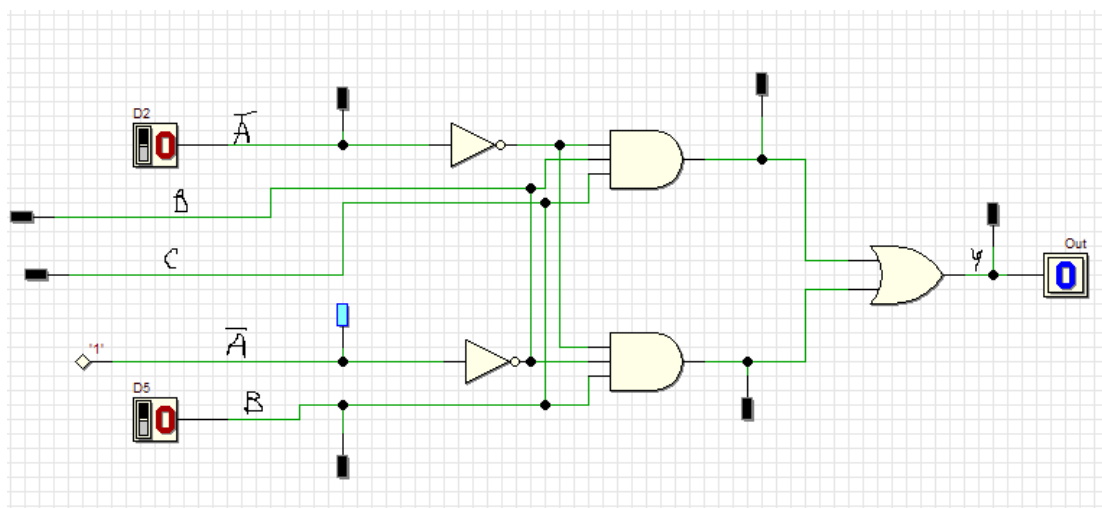
Πίνακας Αληθείας της πύλης XNOR:

Πίνακας 2.7(α): Πίνακας αληθείας της πύλης XNOR.

ΕΙΣΟΔΟΣ Α	ΕΙΣΟΔΟΣ Β	ΕΞΟΔΟΣ Υ
0	0	1
0	1	0
1	0	0
1	1	1

2.8 Πύλες με περισσότερες από δύο εισόδους (Απλοποίηση με πίνακες Karnaugh, Μέσω προσομοιωτή Deeds)

Θα χρησιμοποιήσουμε 2 πύλες NOT, 2 AND τριών εισόδων, και μία OR δύο εισόδων η οποία θα παριστάνει την έξοδο λειτουργίας.



Εικόνα 2.8(α): Κατασκευή λογικών πυλών σε κυκλώματα με περισσότερες από δύο εισόδους.

ΕΠΕΞΗΓΗΣΗ:

Στη παραπάνω άσκηση, στο κύκλωμα λογικών πυλών, χρησιμοποιήσαμε 2 πύλες AND τριών εισόδων, 2 πύλες NOT, οι οποίες θεωρούνται οι είσοδοι του κυκλώματος, και μια OR δύο εισόδων η οποία θεωρείται η έξοδος του συγκεκριμένου κυκλώματος. Έπειτα χρειάστηκε να χρησιμοποιήσουμε δύο διακόπτες σε δύο απ τις έξι εισόδους του κυκλώματος. Ο ένας διακόπτης τον τοποθετήσαμε στη πάνω πύλη AND τριών εισόδων στην είσοδο της πύλης NOT, και το άλλον διακόπτη τον τοποθετήσαμε στην κάτω πύλη AND τριών εισόδων. Επίσης χρησιμοποιήσαμε 8 Test Leds σε εισόδους και εξόδους, και ένα high level στην είσοδο A'. Τέλος όσον αφορά την έξοδο του παρακάτω κυκλώματος, στην πύλη OR δυο εισόδων του κυκλώματος τοποθετήσαμε ένα output (one bit), για τα αποτελέσματα εισόδων και εξόδων του συγκεκριμένου κυκλώματος σύμφωνα με τις εικόνες 2.8(α) και 2.8(β).

Το αποτέλεσμα των δύο εισόδων του συγκεκριμένου κυκλώματος βγάζει συνεχές σήμα . Τέλος το αποτέλεσμα της εξόδου output (one bit) στη πύλη OR βγάζει επίσης κι αυτό συνεχές σήμα σύμφωνα με την εικόνα 2.8(β).

Με έκφραση Boole:

$$Y = A' * B * C + A * B' * C$$

Πίνακας Αληθείας:

Πίνακας 2.8(α) Πίνακας αληθείας πυλών με περισσότερους από 2 εισόδους.

ΕΙΣΟΔΟΣ Α	ΕΙΣΟΔΟΣ Β	ΕΙΣΟΔΟΣ C	ΕΞΟΔΟΣ Υ
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

$Y = A' * B * C$: 4η γραμμή του πίνακα Αληθείας (011).

$Y = A * B' * C$: 6^η γραμμή του πίνακα Αληθείας (101).

Απλοποίηση με πίνακα Karnaugh:

Πίνακας 2.8(β): Πίνακας Karnaugh πυλών με περισσότερους από 2 εισόδους.

	B'C' 00	B'C 01	BC 11	BC' 10
A' 0			<u>1</u>	
A 1		<u>1</u>		

Με λίγα λόγια ο πίνακας Karnaugh χρησιμοποιείται για την απλοποίηση εκφράσεων Boole με τη βοήθεια κυκλωμάτων λογικών πυλών και τον πίνακα Αληθείας τους σύμφωνα με τον Maurice Karnaugh.

ΚΕΦΑΛΑΙΟ 3 – ΠΟΛΥΠΛΕΚΤΕΣ/ΑΠΟΠΟΛΥΠΛΕΚΤΕ Σ

3.1 ΠΟΛΥΠΛΕΚΤΕΣ (Multiplexer – MUX)

3.1.1 Τι είναι πολυπλέκτης;

Γενικά ο πολυπλέκτης είναι ένα συνδυαστικό κύκλωμα ο οποίος παρέχει η γραμμές επιλογής ελέγχου και μία γραμμή εξόδου.

Η επιλογή του κυκλώματος είναι οι δυαδικές πληροφορίες από γραμμές εισόδου (2^n), ανάλογα με τις τιμές των γραμμών(η) και τη κατεύθυνση γραμμής εξόδου.

ΠΟΛΥΠΛΕΞΗ(Multiplexing): Θεωρείται η επιλογή μιας γραμμής από τις πολλές γραμμές δεδομένων. Η λειτουργία αυτή υλοποιείται με πολυπλέκτες που ονομάζονται και επιλογείς δεδομένων (data selectors).

Η κύρια εφαρμογή του πολυπλέκτη είναι η επιλογή μίας πληροφορίας από τις πολλές πληροφορίες στην εφαρμογή εισόδων και τη μεταφορά της στην έξοδό του.

3.1.2(A) Πολυπλέκτης 2 εισόδων (MUX 2x1)

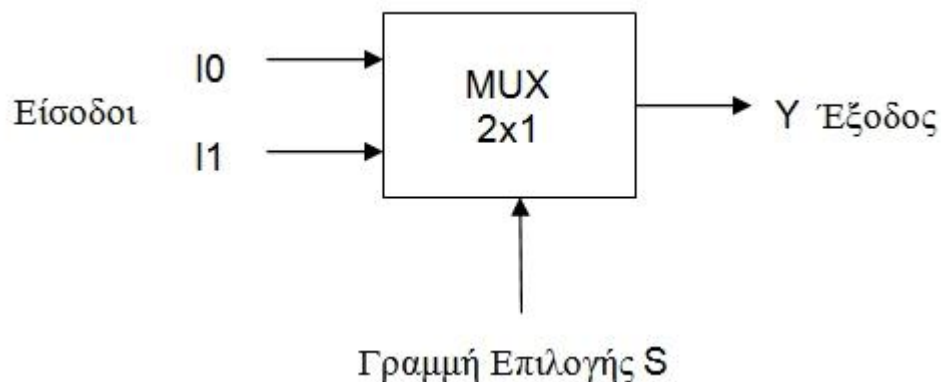
Ο πολυπλέκτης δύο εισόδων παρέχει δύο εισόδους, μια γραμμή επιλογής(S), και μία έξοδο(Y). Όπου:

I0,I1: Οι δύο είσοδοι του,

S: Η γραμμή επιλογής του και

Y: Η έξοδος του.

Στο σχήμα 3.1.2(α) βλέπουμε σχηματικά τον Πολυπλέκτη δύο εισόδων:



Σχήμα 3.1.2(α): Πολυπλέκτης δύο εισόδων.

Η λειτουργία του πολυπλέκτη δύο εισόδων είναι ανάλογα με την τιμή της γραμμής επιλογής (S), και μία από τις δύο εισόδους δηλαδή (I1, I2), μεταβιβάζεται στην έξοδο (Y).

Ας δούμε ένα παράδειγμα με έναν μικρό πίνακα Αληθείας:

Πίνακας 3.1.2(α): Μικρός πίνακας αληθείας πολυπλέκτη 2 εισόδων.

S	Y
0	I0
1	I1

Αν S=0, τότε Y=I0,

Αν S=1, τότε Y=I1.

Παρακάτω βλέπουμε τον γενικό πίνακα αληθείας το Πολυπλέκτη δύο εισόδων:

Πίνακας αληθείας 3.1.2(β): Γενικός πίνακας πολυπλέκτη 2 εισόδων.

S	I0	I1	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Από τον γενικό πίνακα αληθείας έχουμε τον πίνακα Karnaugh για τη συνάρτηση εξόδου (Y), της γραμμής επιλογής (S) και των δύο εισόδων (I0,I1).

Πίνακας Karnaugh 3.1.2(γ): Πίνακας Karnaugh πολυπλέκτη 2 εισόδων.

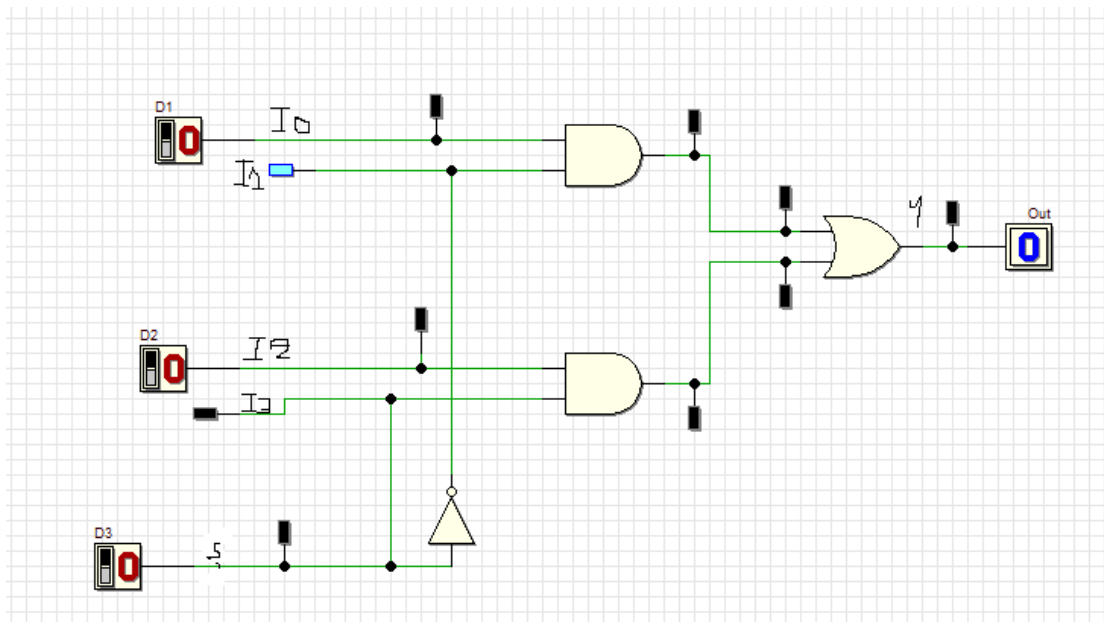
	I0'*I1'	I0'*I1	I0*I1	I0*I1'
S'		1	1	
S			1	1

Η παρακάτω συνάρτηση εξόδου (Y), γραμμής επιλογής (S) και των δύο εισόδων (I0, I1), είναι:

$$Y=I0*S'+I1*S$$

Επίσης ο πολυπλέκτης δύο εισόδων μπορεί να υλοποιηθεί και με κύκλωμα πυλών (για παράδειγμα πύλη AND, OR, NOT).

Στο σχήμα 3.2.1(β) θα χρησιμοποιήσουμε δύο πύλες AND δύο εισόδων, μία OR δύο εισόδων και μία NOT. (Θα υλοποιηθεί μέσω του προσομοιωτή Deeds).



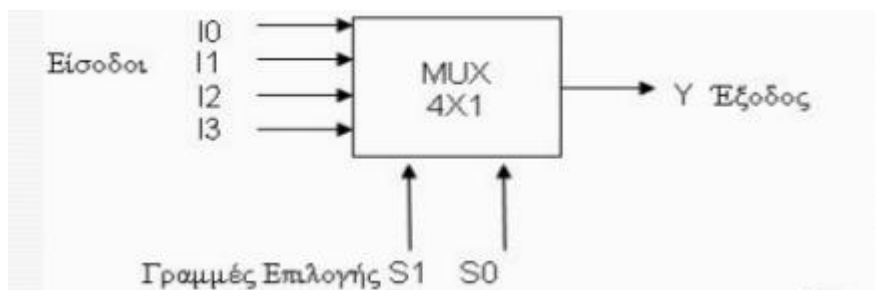
Εικόνα 3.1.2(β): Κύκλωμα με λογικές πύλες πολυπλέκτη 2 εισόδων και το αποτέλεσμα.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα που βλέπουμε στην εικόνα 3.1.2(β), είναι το κύκλωμα λογικών πυλών του πολυπλέκτη σε δυο εισόδους. Για αρχή χρησιμοποιήσαμε δύο πύλες AND, μια OR των δύο εισόδων και μια πύλη NOT η οποία καθορίζει τη γραμμή επιλογής(S) του πολυπλέκτη. Στη συνέχεια χρησιμοποιήσαμε για είσοδο 3 διακόπτες, οι οποίοι ο ένας τον συνδέσαμε στο I0 του κυκλώματος ως high, λόγω επειδή συνδέθηκε σε θετικό σημείο του κυκλώματος, ο άλλος διακόπτης συνδέθηκε στη γραμμή επιλογής(S), όπου είναι συνδεδεμένη και η πύλη NOT, δηλαδή στο αρνητικό σημείο του κυκλώματος, και ο άλλος στην είσοδο I2. Έπειτα απ όλα αυτά προσθέσαμε για έξοδο κι ένα output (one bit), το οποίο το συνδέσαμε στην πύλη OR που καθορίζει την έξοδο. Το αποτέλεσμα της εξόδου είναι το λογικό '0', κι αυτό επειδή οι δύο εισοδοί του και οι εξοδοί του, όπως φαίνεται στην εικόνα 3.1.2(β), έχουν συνεχές σήμα.

3.1.2 (B) Πολυπλέκτης 4 εισόδων (MUX 4x1)

Ο πολυπλέκτης τεσσάρων εισόδων παρέχει 4 εισόδους (I_0, I_1, I_2, I_3), δύο γραμμές επιλογής (S_0, S_1) και μία έξοδο (Y). Ας δούμε την παρακάτω εικόνα 3.1.2(γ) όπου έχουμε ένα σχήμα πολυπλέκτη 4 εισόδων:



Εικόνα 3.1.2(γ): πολυπλέκτης 4 εισόδων.

Η μεταβίβαση των εισόδων (I_0, I_1, I_2, I_3) στην έξοδο (Y), γίνεται ανάλογα με τις τιμές των γραμμών επιλογής (S_1, S_0). Δηλαδή όπως θα δούμε στη λειτουργία του:

- Αν $S_1=0$ και $S_0=0$, τότε $Y=I_0$
- Αν $S_1=0$ και $S_0=1$, τότε $Y=I_1$
- Αν $S_1=1$ και $S_0=0$, τότε $Y=I_2$
- Αν $S_1=1$ και $S_0=1$, τότε $Y=I_3$

Στον παρακάτω πίνακα βλέπουμε έναν συνοπτικό πίνακα Αληθείας του πολυπλέκτη τεσσάρων εισόδων:

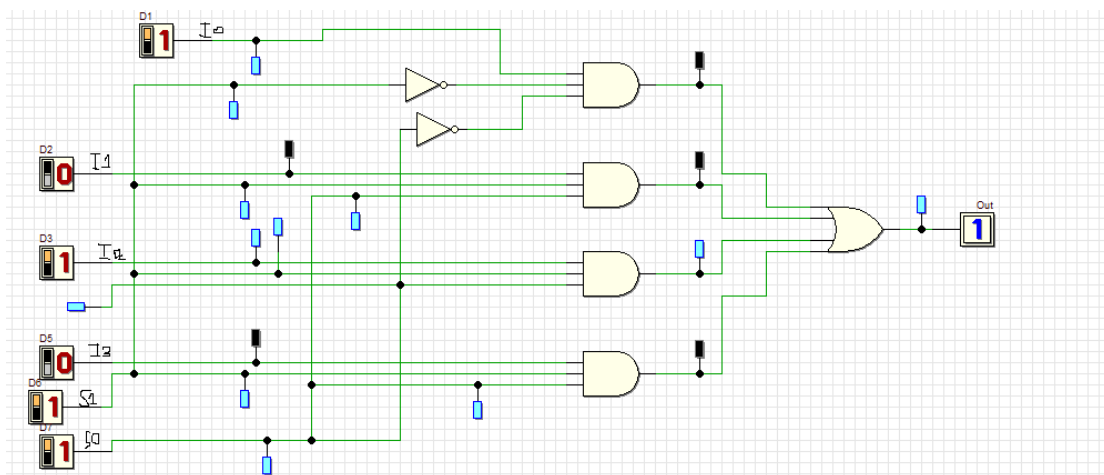
Πίνακας 3.1.2(δ): Συνοπτικός πίνακας πολυπλέκτη 4 εισόδων.

S0	S1	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

Η συνάρτηση εξόδου Y των 2 γραμμών επιλογών(S0,S1), και των τεσσάρων εισόδων(I0,I1,I2,I3) είναι:

$$Y = I_0 \cdot S_1' + I_1 \cdot S_1' \cdot S_0 + I_2 \cdot S_1 \cdot S_0' + I_3 \cdot S_1 \cdot S_0$$

Επίσης το κύκλωμα του Πολυπλέκτη τεσσάρων εισόδων μπορούμε να το υλοποιήσουμε με κύκλωμα πυλών. Δηλαδή παίρνουμε μια πύλη OR τεσσάρων εισόδων, 4 πύλες AND τριών εισόδων, και 2 πύλες NOT.(Μέσω του προσομοιωτή Deeds).



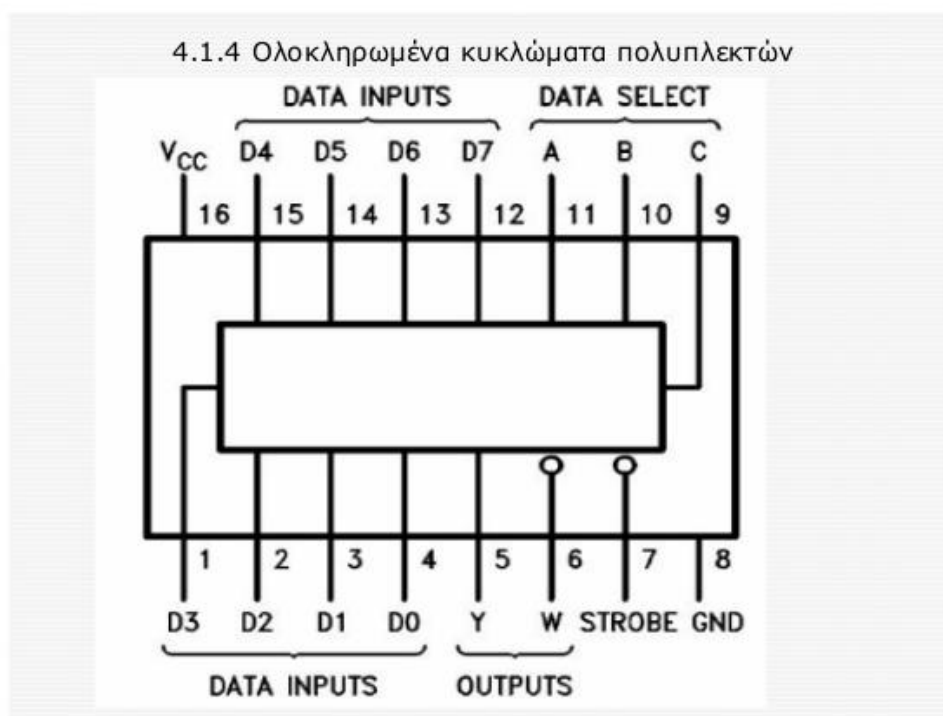
Εικόνα 3.1.2(δ): Κύκλωμα με λογικές πύλες πολυπλέκτη 4 εισόδων και το αποτέλεσμα.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 3.1.2(δ), έχουμε ένα κύκλωμα λογικών πυλών πολυπλέκτη 4 εισόδων με το αποτέλεσμά του. Για αρχή, χρησιμοποιήσαμε 4 πύλες AND τριών εισόδων, μία πύλη OR 4 εισόδων και δύο πύλες NOT, οι οποίες καθορίζουν τις γραμμές επιλογής (S) του πολυπλέκτη. Στη συνέχεια προσθέσαμε για είσοδο 6 διακόπτες, τα οποία τα συνδέσαμε στο I0,I1,I2,I3,S0,S1 αντίστοιχα της πύλης AND. Τέλος, προσθέσαμε κι ένα output (one bit) που καθορίζει την έξοδο του κυκλώματος. Και οι 6 διακόπτες είναι υποχρεωτικά στο low και τα αποτέλεσμα της εξόδου βγάζει το λογικό '1', δηλαδή οι είσοδοι και οι έξοδοί του έχουν συνεχές σήμα.

3.1.3 Ολοκληρωμένα κυκλώματα πολυπλεκτών

Στο παρακάτω κύκλωμα 3.1.3(α) έχουμε ένα ολοκληρωμένο κύκλωμα 74151, που θεωρείται ένας πολυπλέκτης 8 εισόδων (MUX 8x1). Επίσης έχει 8 εισόδους (D0,D1,D2,D3,D4,D5,D6,D7), τρεις γραμμές επιλογής (A,B,C), μία έξοδο Y, μία συμπληρωματική έξοδο (W) και μία είσοδο ενεργοποίησης (STROBE).



Εικόνα 3.1.3(α):Ολοκληρωμένο κύκλωμα πολυπλέκτη 8 εισόδων.

Η λειτουργία του παραπάνω κυκλώματος ελέγχεται ΠΑΝΤΑ από την είσοδο ενεργοποίησης (STROBE):

- Αν STROBE=0, τότε γίνεται η μεταβίβαση στην έξοδο Y των μία από τις εισόδους D0,D1,D2,D3,D4,D5,D6,D7, κι επίσης το ολοκληρωμένο κύκλωμα λειτουργεί ως πολυπλέκτης.

- Αν STROBE=1, τότε ο πολυπλέκτης βρίσκεται σε κατάσταση απενεργοποίησης. Θα το δούμε στον παρακάτω πίνακα Αληθείας του Ολοκληρωμένου κυκλώματος:

Πίνακας Αληθείας 3.2.1(ε) του Ολοκληρωμένου κυκλώματος Πολυπλέκτη.

STROBE	A	B	C	Y
1	X	X	X	0
0	0	0	0	I0
0	0	0	1	I1
0	0	1	0	I2
0	0	1	1	I3
0	1	0	0	I4
0	1	0	1	I5
0	1	1	0	I6
0	1	1	1	I7

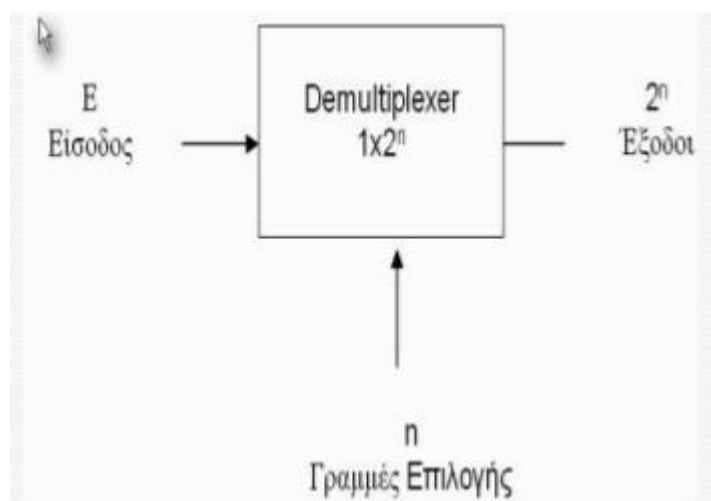
3.2 ΑΠΟΠΟΛΥΠΛΕΚΤΕΣ (Demultiplexer – Demux)

3.2.1 Τι είναι αποπολυπλέκτης;

Είναι κι αυτό ένα συνδυαστικό κύκλωμα που παρέχει μία είσοδο (E), μία γραμμή επιλογής (n), και μία γραμμή εξόδου (2^n). Επίσης το συγκεκριμένο κύκλωμα δέχεται πληροφορίες από την γραμμή εισόδου (n) και τις μεταφέρει στη γραμμή εξόδου, αναλόγως την τιμή της γραμμής επιλογής (n).

3.2.2(A) Αποπολυπλέκτης 1x2

Παρέχει μία είσοδο (E), μία γραμμή επιλογής (IO), και δύο εξόδους (D0,D1). Η είσοδος (E) μεταφέρεται στην έξοδο που υποδεικνύει το bit της γραμμής επιλογής (IO). Ας δούμε την παρακάτω εικόνα 3.2.2(α) που είναι ένας αποπολυπλέκτης 1x2:



Εικόνα 3.2.2A(α): Αποπολυπλέκτης 1x2.

Ο πίνακας Αληθείας του αποπολυπλέκτη 1x2 είναι:

Πίνακας 3.2.1(α): Πίνακας αληθείας αποπολυπλέκτη 1x2.

E	IO	D0	D1
0	0	0	0
0	1	0	0
1	0	1	0
1	1	0	1

Η λειτουργία του αποπολυπλέκτη 1x2 με βάση τον πίνακα Αληθείας είναι η εξής:

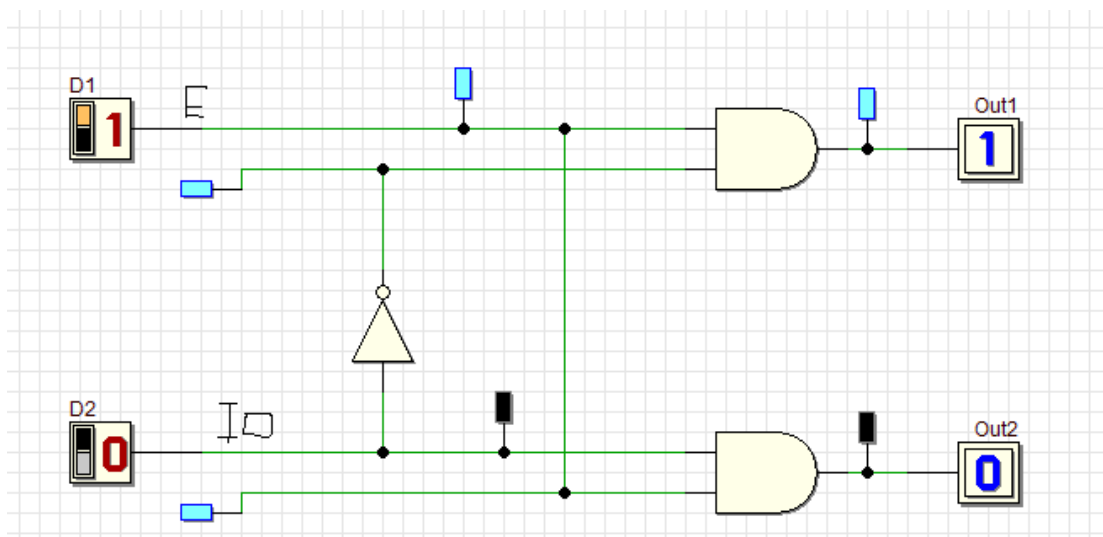
- Αν $I_0=0$, τότε η είσοδος (E) μεταφέρεται στην έξοδο (D0).
- Αν $I_0=1$, τότε η είσοδος (E) μεταφέρεται στην έξοδο (D1).
- Οι υπόλοιπες έξοδοι παίρνουν τιμές ίση με 0.

Οι ακόλουθες συναρτήσεις που προκύπτουν από τον πίνακα Αληθείας είναι οι εξής:

$$D_0 = E \cdot I_0'$$

$$D_1 = E \cdot I_0$$

Επίσης το κύκλωμα του αποπολυπλέκτη μπορεί να υλοποιηθεί και με κύκλωμα λογικών πυλών όπως φαίνεται στην εικόνα 3.2.2Α(β). (Μέσω του προσομοιωτή Deeds).



Εικόνα 3.2.2(β): Κύκλωμα αποπολυπλέκτη 1x2 με λογικές πύλες με το αποτέλεσμα.

ΕΠΕΞΗΓΗΣΗ:

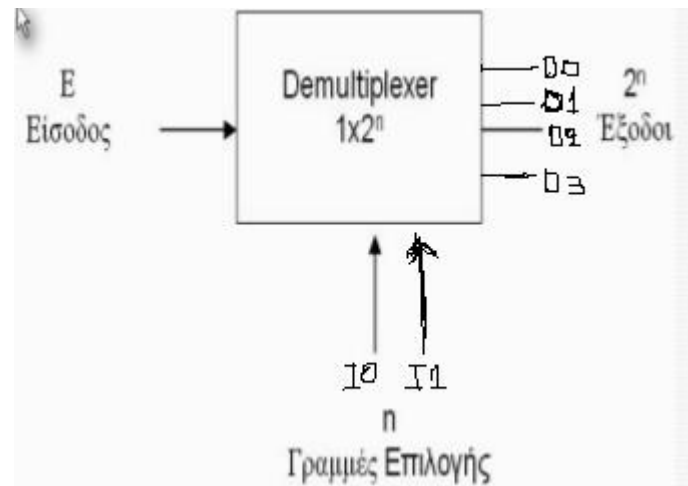
Στο παραπάνω κύκλωμα, στην εικόνα 3.2.2(β), έχουμε το κύκλωμα λογικών πυλών αποπολυπλέκτη 1x2. Για αρχή χρησιμοποιήσαμε δύο

πύλες AND δύο εισόδων, οι οποίες καθορίζουν και την έξοδο του συγκεκριμένου κυκλώματος, και μια πύλη NOT για αρνητικά σημεία. Στη συνέχεια για είσοδο, προσθέσαμε 2 διακόπτες, το ένα το συνδέσαμε στην E είσοδο με high στο θετικό σημείο, και το άλλο και το άλλο στην IO είσοδο, όπου συνδέεται και η πύλη NOT στο αρνητικό σημείο. Επίσης προσθέσαμε για έξοδο και δύο outputs (one bit), το ένα το τοποθετήσαμε στην D0 έξοδο και το άλλο στην D1 έξοδο του συγκεκριμένου κυκλώματος. Τέλος το αποτέλεσμα των δύο εξόδων βγάζει τα λογικά '0' και '1' σύμφωνα με τον παραπάνω πίνακα αληθείας του (πίνακας 3.2.1(α)). Επίσης το αποτέλεσμα των δύο εισόδων και εξόδων έχουν συνεχές σήμα.

3.2.2(B) Αποπολυπλέκτης 1x4

Παρέχει μια είσοδο (E), δύο γραμμές επιλογής (I0,I1), και τέσσερις εξόδους (D0,D1,D2,D3). Η είσοδος (E) μεταφέρεται στη γραμμή εξόδου που υποδεικνύουν τα bits των γραμμών επιλογής (I0,I1).

Ας δούμε την εικόνα 3.2.2B(α) όπου είναι ένας αποπολυπλέκτης 1x4:



Εικόνα 3.2.3(α): Αποπολυπλέκτης 1x4.

Ο πίνακας αληθείας του αποπολυπλέκτη 1x4:

Πίνακας 3.2.1(β): Πίνακας αληθείας αποπολυπλέκτη 1x4.

E	I0	I1	D0	D1	D2	D3
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

Με βάση τον πίνακα αληθείας έχουμε τις ακόλουθες συναρτήσεις εξόδων (D0,D1,D2,D3):

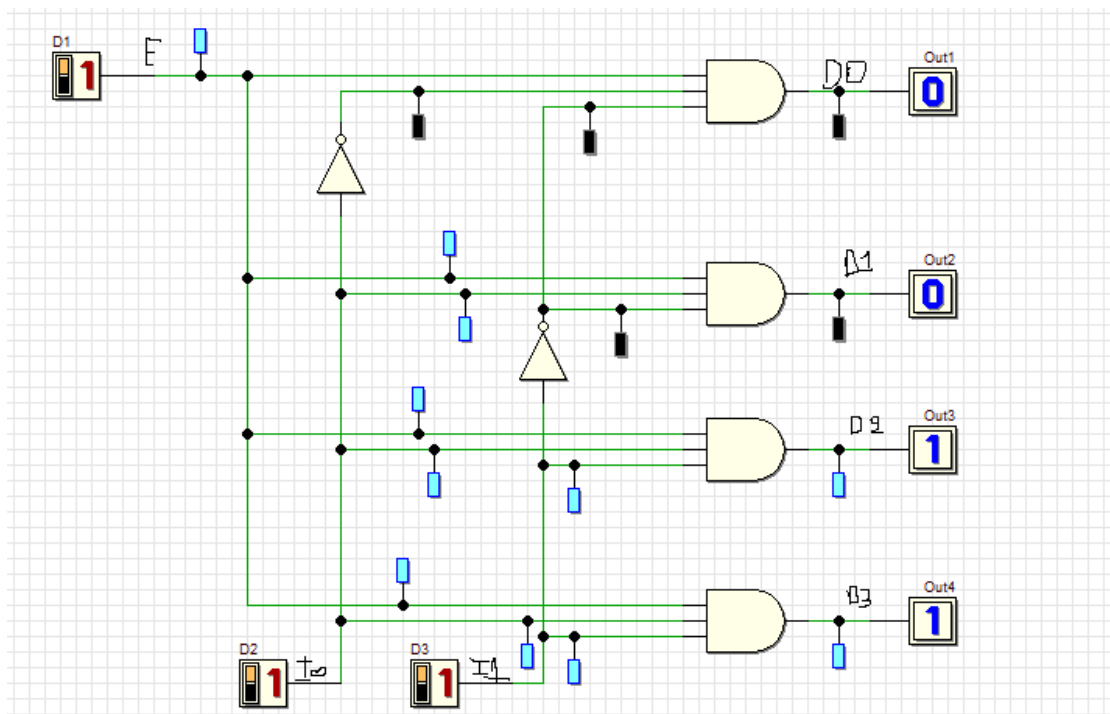
$$D0 = E * I1' * I0'$$

$$D1 = E * I1' * I0$$

$$D2 = E * I1 * I0'$$

$$D3 = E * I1 * I0$$

Επίσης μπορούμε να υλοποιήσουμε το κύκλωμα του αποπολυπλέκτη 1x4 και με κύκλωμα λογικών πυλών (Εικόνα 3.2.2B(β)). Θα πάρουμε 4 πύλες AND τριών εισόδων και δύο πύλες NOT (μέσω του προσομοιωτή Deeds).



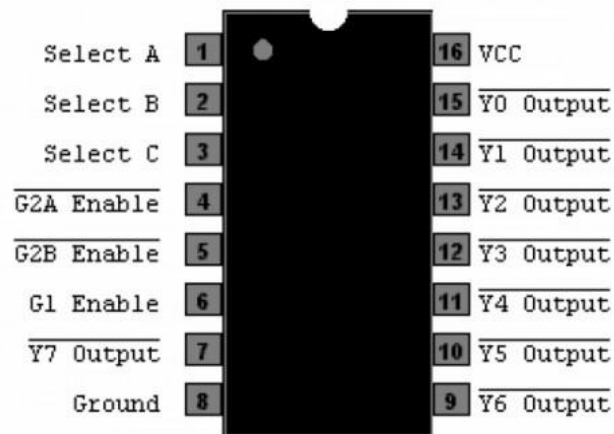
Εικόνα 3.2.3(β): Κύκλωμα αποπολυπλέκτη 1x4 με λογικές πύλες με το αποτέλεσμα.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 3.2.3(β), έχουμε το κύκλωμα λογικών πυλών του αποπολυπλέκτη 1x4. Για αρχή χρησιμοποιήσαμε 4 πύλες AND τριών εισόδων, και δύο πύλες NOT, οι οποίες καθορίζουν το αρνητικό σημείο. Στη συνέχεια χρησιμοποιήσαμε για είσοδο 3 διακόπτες, το ένα το συνδέσαμε στην Ε είσοδο σε θετικό σημείο, και το άλλο στην Ι1 είσοδο σε αρνητικό σημείο, αφού είναι συνδεδεμένη η πύλη NOT. Επίσης χρησιμοποιήσαμε για έξοδο 4 outputs (one bit), τα οποία τα συνδέσαμε στις εξόδους D, D1, D2 και D3 αντίστοιχα. Τέλος, τα αποτελέσματα των διακοπών και outputs (one bit) για είσοδο και έξοδο αντίστοιχα, όσον αφορά τις εισόδους και εξόδους, βγάζουν συνεχές σήμα.

3.2.3 Ολοκληρωμένα κυκλώματα αποπολυπλεκτών

Έχουμε ένα Ολοκληρωμένο κύκλωμα 74138 και λειτουργεί ως αποπολυπλέκτης 1x8, επίσης μπορεί να λειτουργήσει και ως αποκωδικοποιητής 3x8, το οποίο βλέπουμε στην παρακάτω εικόνα 3.2.3(α):



Εικόνα 3.2.3(α): Ολοκληρωμένο κύκλωμα αποπολυπλέκτη 1x8.

Πίνακας ολοκληρωμένου κυκλώματος αποπολυπλέκτη 1x8:

Πίνακας 3.2.3(α): Πίνακας αληθείας αποπολυπλέκτη 1x8.

G1	G2	A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
X	1	X	X	X	1	1	1	1	1	1	1	1
0	X	X	X	X	1	1	1	1	1	1	1	1

Η λειτουργία του Ολοκληρωμένου κυκλώματος 74138 αποπολυπλέκτη είναι η εξής:

- Περιέχει τρεις εισόδους ενεργοποίησης (G1,G2A,G2B) για τον έλεγχο της λειτουργίας του.
- Λειτουργεί ως αποπολυπλέκτης 1x8 όταν G1=1 και G2A=0. Η είσοδος G2B χρησιμοποιείται ως είσοδος δεδομένων και οι είσοδοι A,B,C ως γραμμές επιλογής.

ΚΕΦΑΛΑΙΟ 4 – ΚΩΔΙΚΟΠΟΙΗΤΕΣ/ΑΠΟΚΩΔΙΚΟΠΟΙ ΗΤΕΣ

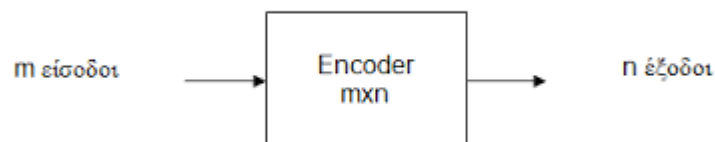
4.1 ΚΩΔΙΚΟΠΟΙΗΤΕΣ (Encoder)

4.1.1 Τι είναι κωδικοποιητής;

Είναι ένα συνδυαστικό κύκλωμα με m γραμμές εξόδου και n γραμμές εισόδου, για αυτό λέγεται και κωδικοποιητής ($m \times n$).

Από τις m γραμμές εισόδου μόνο μία επιτρέπεται να είναι ενεργοποιημένη, αλλά στην έξοδο παράγεται ένας κωδικός, ο οποίος ονομάζεται (n -bits) και αντιστοιχεί πάντα στην ενεργοποιημένη είσοδο.

Στην εικόνα 4.1(α) βλέπουμε τον κωδικοποιητή $m \times n$ σχηματικά:

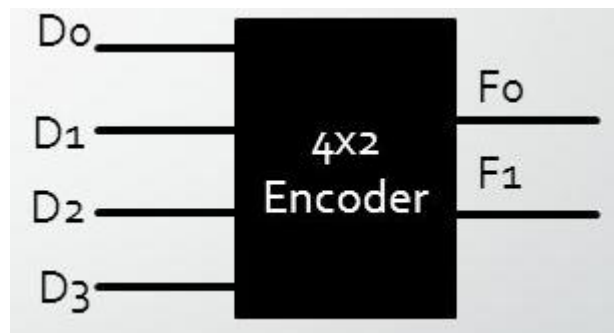


Εικόνα 4.1(α): Κωδικοποιητής $m \times n$.

4.1.2 Κωδικοποιητής 4x2 (με πύλες)

Είναι ένα συνδυαστικό κύκλωμα που έχει 4 γραμμές εισόδου ($m=4$) και 2 γραμμές εξόδου ($n=2$).

Στην εικόνα 4.1(β) βλέπουμε τον κωδικοποιητή 4x2 σχηματικά:



Εικόνα 4.1(β): Κωδικοποιητής 4x2.

Ο κωδικοποιητής 4x2 παράγει στην έξοδό του έναν δυαδικό κώδικα, ο οποίος αντιστοιχεί στις δικές του εισόδους όπως μας δείχνει ο παρακάτω πίνακας αληθείας 4.1(α):

4.1(α): Πίνακας αληθείας κωδικοποιητή 4x2.

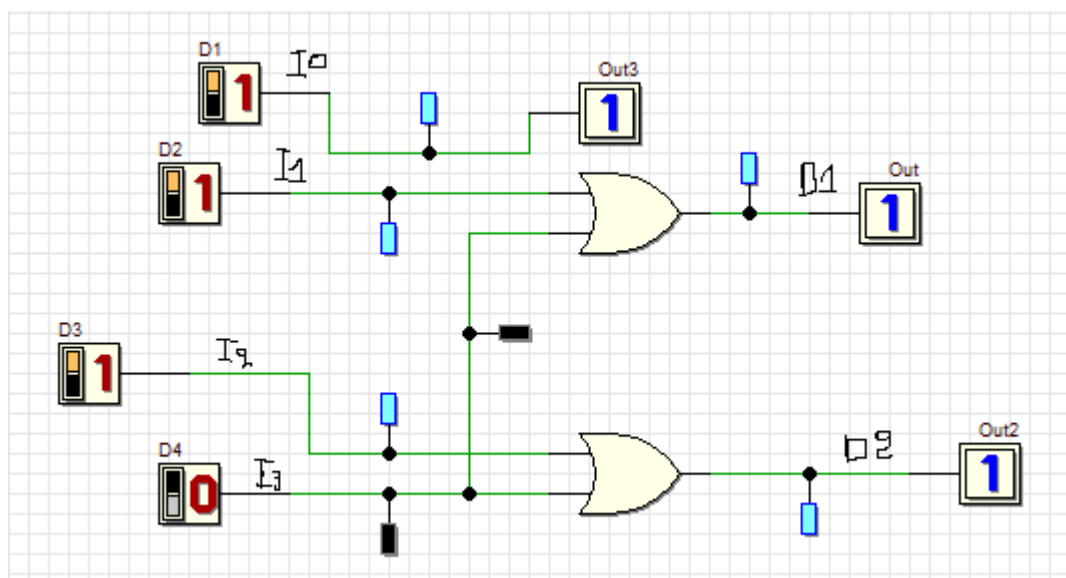
I0	I1	I2	I3	D1	D2
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

Στη συνέχεια οι ακόλουθες συναρτήσεις των εξόδων του κωδικοποιητή 4x2 είναι:

$$D1=I1+I3$$

$$D2=I2+I3$$

Επίσης το κύκλωμα κωδικοποιητή 4x2 υλοποιείται με 2 πύλες OR 2 εισόδων όπως θα δούμε στη παρακάτω εικόνα 4.1(γ) μέσω του προσομοιωτή Deeds:



Εικόνα 4.1(γ): Κωδικοποιητής 4x2 υλοποίηση με πύλες και το αποτέλεσμά του.

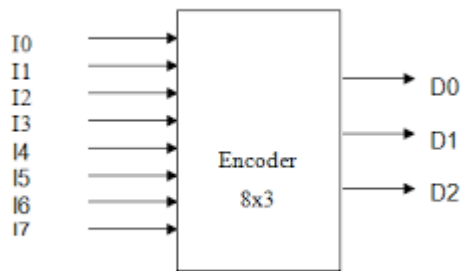
ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα (Εικόνα 4.1(γ)), έχουμε το κύκλωμα του κωδικοποιητή 4x2 με υλοποίηση πυλών και το αποτέλεσμα του. Για αρχή χρησιμοποιήσαμε δύο πύλες OR δύο εισόδων και από μία έξοδο. Στη συνέχεια, για είσοδο χρησιμοποιήσαμε 4 διακόπτες, υψωμένο στο high στο θετικό σημείο του κυκλώματος (I_1, I_2, I_3, I_4), και τέλος, χρησιμοποιήσαμε για έξοδο, δύο output (one bit) στην έξοδο του ($D1, D2$) της πύλης OR του κυκλώματος, το οποίο εμφανίζει στην έξοδο του κυκλώματος το λογικό '1'. Το αποτέλεσμά του όσον αφορά την είσοδο (I_n) και την έξοδο (Out), το αποτέλεσμα βγάζει συνεχές σήμα.

4.1.3 Κωδικοποιητής 8x3 (με πύλες)

Είναι ένα συνδυαστικό κύκλωμα, το οποίο έχει 8 γραμμές εισόδου ($m=8$) και 3 γραμμές εξόδου ($n=3$). Επίσης παράγει στην εξόδό του έναν δυαδικό κώδικα, ο οποίος αντιστοιχεί στις εισόδους του.

Στην εικόνα 4.1(δ) βλέπουμε τον κωδικοποιητή 8x3 σχηματικά:



Εικόνα 4.1(δ): Κωδικοποιητής 8x3.

Στη συνέχεια θα δούμε τον παρακάτω πίνακα αληθείας (πίνακας 4.1(β)) του κωδικοποιητή 8x3.

Πίνακας 4.1(β): Πίνακας αληθείας κωδικοποιητή 8x3.

I0	I1	I2	I3	I4	I5	I6	I7	D1	D2	D3
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

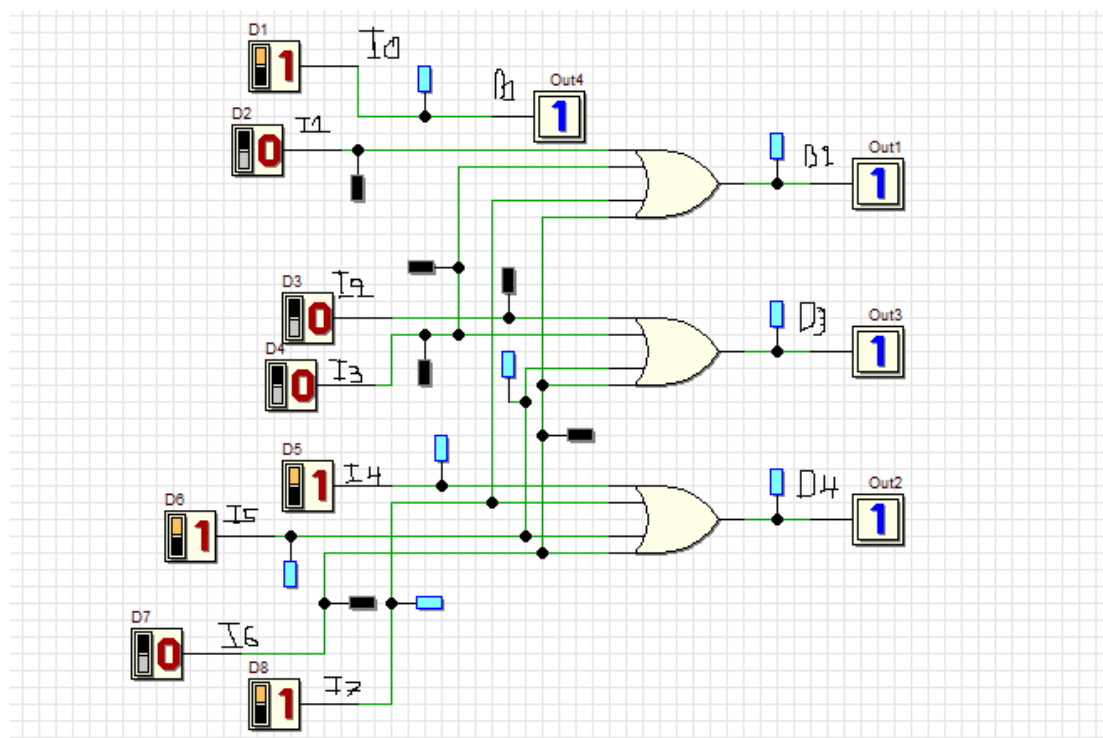
Οι ακόλουθες συναρτήσεις εξόδων του κωδικοποιητή 8x3 είναι οι εξής:

$$D1 = I1 + I3 + I5 + I7$$

$$D2 = I2 + I3 + I6 + I7$$

$$D3=I4+I5+I6+I7$$

Το κύκλωμα του κωδικοποιητή υλοποιείται με 3 πύλες OR 4 εισόδων όπως θα δούμε στην παρακάτω εικόνα 4.1(ε) μέσω του προσομοιωτή Deeds:



Εικόνα 4.1(ε): Κωδικοποιητής 8x3 υλοποίηση με πύλες και το αποτέλεσμά του.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 4.1(ε), έχουμε το κύκλωμα του κωδικοποιητή 8x3 με υλοποίηση πυλών και το αποτέλεσμά του. Για αρχή χρησιμοποιήσαμε αυτή τη φορά τρεις πύλες OR τεσσάρων εισόδων από μία έξοδο η κάθε μια (σύνολο 3), και λογικό είναι αφού έχουμε 8 εισόδους x 3 εξόδους στο συγκεκριμένο κύκλωμα. Στη συνέχεια, χρησιμοποιήσαμε για είσοδο, 8 διακόπτες, τοποθετημένες στις εισόδους I0, I1, I2, I3, I4, I5, I6 και I7 στο high αντίστοιχα. Τέλος, χρησιμοποιήσαμε και 4 Outputs (One bit, Out1 και Out2), τα οποία τοποθετήθηκαν στις εξόδους των πυλών OR D1, D2, D3 και D4 αντίστοιχα. Όμως στην έξοδό τους εμφανίζουν και τα δύο το λογικό '1'

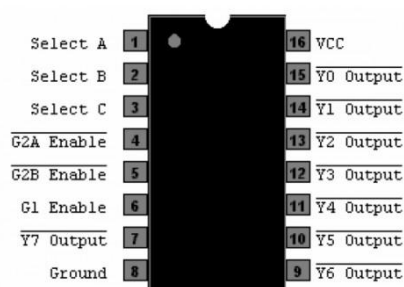
στη λειτουργία. Όσον αφορά το αποτέλεσμα των εισόδων, οι διακόπτες εισόδων και οι έξοδοι βγάζουν σαν αποτέλεσμα συνεχές σήμα.

4.1.4 Ολοκληρωμένα κυκλώματα κωδικοποιητών

Το ολοκληρωμένο κύκλωμα 74138 θεωρείται ένας κωδικοποιητής προτεραιότητας 8x3, και προτεραιότητας από δεκαδικό σε BCD.

Ο κωδικοποιητής προτεραιότητας (Priority Encoder) παρέχει καθορισμένη προτεραιότητα στις εισόδους του. Όταν δύο ή περισσότεροι εισόδοι είναι '1' τότε την έξοδο του κωδικοποιητή την καθορίζει η είσοδος με τη μεγαλύτερη προτεραιότητα.

Στη παρακάτω εικόνα 4.1(στ) βλέπουμε το ολοκληρωμένο κύκλωμα του κωδικοποιητή σχηματικά:



Εικόνα 4.1(στ): Ολοκληρωμένο κύκλωμα κωδικοποιητή.

Στη συνέχεια βλέπουμε τον παρακάτω πίνακα αληθείας (πίνακας 4.1(γ)) του ολοκληρωμένου κυκλώματος κωδικοποιητή:

Πίνακας 4.1(γ): Πίνακας αληθείας ολοκληρωμένου κυκλώματος κωδικοποιητή.

I1	I2	I3	I4	I5	I6	I7	I8	I9	A	B	C	D
1	1	1	1	1	1	1	1	1	1	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	0
X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	0	1	1	1	0	0	0
X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	0	1	1	1	1	1	1	1	1	0	0
X	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

Οι είσοδοι και οι έξοδοι του παραπάνω ολοκληρωμένου κυκλώματος είναι ανάστροφης λογικής δηλαδή ενεργοποιούνται με '0'. Επίσης έχει 9 εισόδους που αντιστοιχούν σε δεκαδικούς αριθμούς, δηλαδή 1-9, και 4 εξόδους οι οποίες παράγουν τον BCD κώδικα με ανάστροφη λογική, ο οποίος όμως αντιστοιχεί στην ενεργοποιημένη είσοδο.

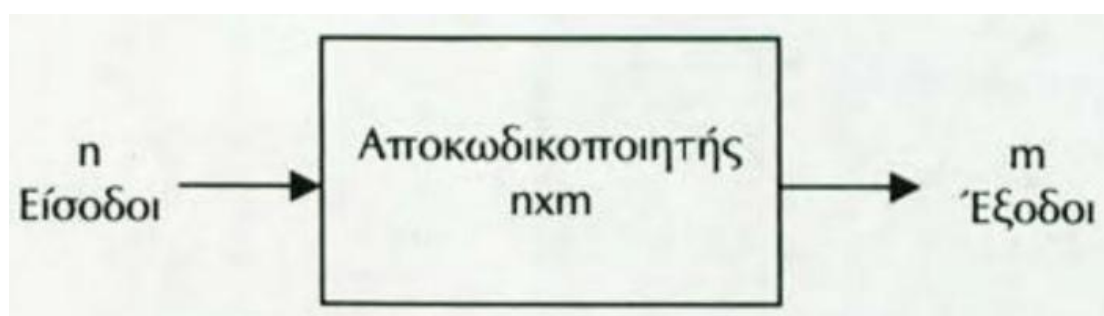
Όταν περισσότεροι από μία είσοδοι ενεργοποιηθούν, τότε παράγεται ο BCD κώδικας σε ανάστροφη λογική και αντιστοιχεί στον μεγαλύτερο δεκαδικό αριθμό.

Αντιθέτως όταν καμία από τις εισόδους δεν είναι ενεργοποιημένη, τότε όλες οι έξοδοι είναι '1', δηλαδή η έξοδος αντιστοιχεί στο δεκαδικό '0' και δεν υπάρχει είσοδος 10.

4.2 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ (Decoder)

4.2.1 Τι είναι αποκωδικοποιητής;

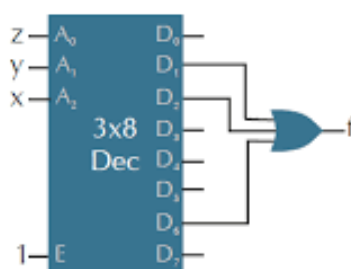
Είναι ένα συνδυαστικό κύκλωμα που περιέχει n γραμμές εισόδου και m γραμμές εξόδου, για αυτό και λέγεται και αποκωδικοποιητής ($n \times m$). Κάθε μία από τις n εισόδους του μπορεί να είναι 0 ή 1, ενώ μόνο μία απ τις m εξόδους του να είναι ενεργοποιημένη. Στην παρακάτω εικόνα 4.2(α) βλέπουμε σχηματικά τον αποκωδικοποιητή ($n \times m$):



Εικόνα 4.2(α): Αποκωδικοποιητής $n \times m$.

4.2.2 Αποκωδικοποιητής 3x8 (με πύλες)

Μπορεί να χρησιμοποιήσει όλους τους δυνατούς συνδυασμούς εισόδων. Παρέχει 3 εισόδους (A, B και C) και 8 εξόδους (D0, D1, D2, D3, D4, D5, D6 και D7). Μόνο μία από τις εξόδους του αποκωδικοποιητή είναι '1' οι υπόλοιπες έξοδοι είναι '0'. Στην εικόνα 4.2(β) βλέπουμε τον αποκωδικοποιητή 3x8 σχηματικά με μια πύλη OR (3 εισόδων):



Εικόνα 4.2(β): Αποκωδικοποιητής 3x8.

Παρακάτω θα έχουμε τον πίνακα αληθείας (πίνακας 4.2(α)) του αποκωδικοποιητή 3x8 ο οποίος παρέχει στην έξοδό του 8 ακόλουθες συναρτήσεις:

Πίνακας 4.2(α): Πίνακας αληθείας αποκωδικοποιητή 3x8.

A	B	C	D0	D1	D2	D3	D4	D5	D6	D7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Οι 8 ακόλουθες συναρτήσεις στην έξοδο του πίνακα αληθείας είναι οι εξής:

$$D0 = A' * B' * C'$$

$$D1 = A' * B' * C$$

$$D2 = A' * B * C'$$

$$D3 = A' * B * C$$

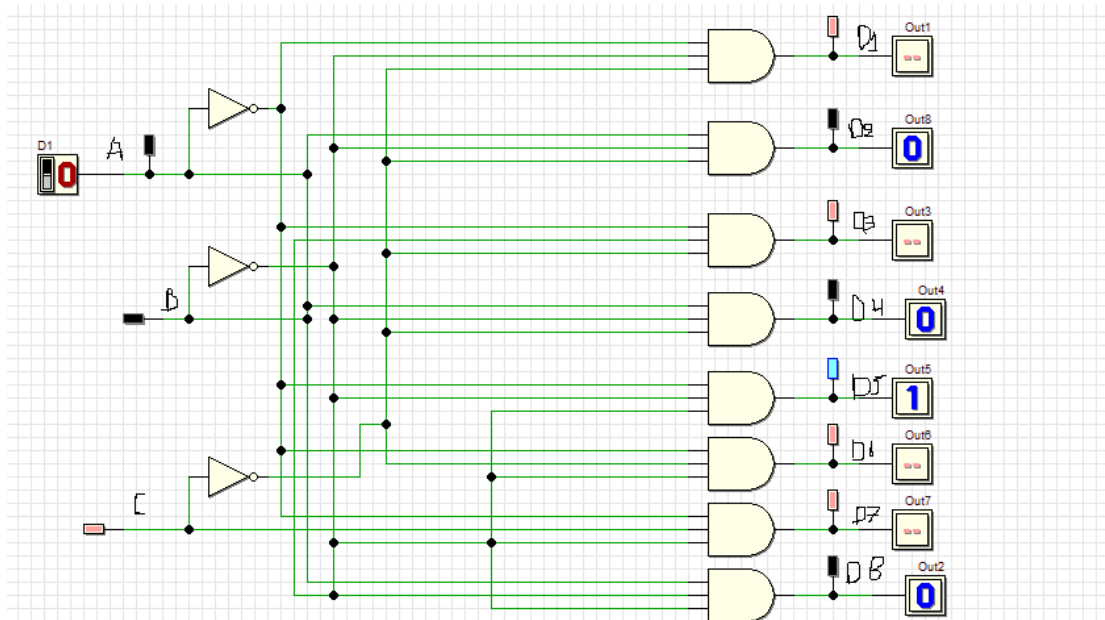
$$D4 = A * B' * C'$$

$$D5 = A * B' * C$$

$$D6 = A * B * C'$$

$$D7 = A * B * C$$

Επίσης ο αποκωδικοποιητής 3x8 μπορεί να υλοποιηθεί με 3 πύλες NOT και 8 πύλες AND (3 εισόδων) μέσω του προσομοιωτή Deeds όπως θα δούμε στη παρακάτω εικόνα 4.2(γ):



Εικόνα 4.2(γ): Αποκωδικοποιητής 3x8 υλοποίηση με πύλες και το αποτέλεσμά του.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 4.2(γ), έχουμε το κύκλωμα του αποκωδικοποιητή 3x8 με υλοποίηση πυλών και το αποτέλεσμά του. Για αρχή χρησιμοποιήσαμε 8 πύλες AND τριών εισόδων και 3 πύλες NOT, οποίες καθορίζουν τα αρνητικά σημεία εισόδων (A, B, C). Στη συνέχεια χρησιμοποιήσαμε για είσοδο έναν διακόπτη (A), τα οποία τοποθετήθηκε στην είσοδο A, αλλά στο high. Μετά χρησιμοποιήσαμε για έξοδο και 8 Outputs (One bit,) αντίστοιχα με τις εισόδους, τα οποία τοποθετήθηκαν στις εξόδους D1 έως D7 αντίστοιχα. Όμως τα Out1 έως Out8 εμφανίζουν σαν αποτέλεσμα στην έξοδο τα λογικά '0' και '1' αντίστοιχα. Τέλος, όσον αφορά τα αποτελέσματα των εισόδων (A,B,C), και των εξόδων (Out1 έως Out8), παρέχουν συνεχές σήμα.

4.2.3 Αποκωδικοποιητής BCD σε δεκαδικό (4x10)

Έχει 4 εισόδους (A,B,C και D) και 10 εξόδους (D0,D1,D2,D3,D4,D5,D6,D7,D8 και D9) αλλά δεν χρησιμοποιεί δυνατούς συνδυασμούς εισόδου. Μόνο μία από τις εξόδους του είναι '1' οι υπόλοιπες εξοδοί του είναι '0'. Για μη χρησιμοποιούμενες εισόδους η κάθε έξοδός τους είναι '0'. Στη συνέχεια θα δούμε τον παρακάτω πίνακα αληθείας (πίνακας 4.2(β)) του αποκωδικοποιητή BCD σε δεκαδικό (4x10):

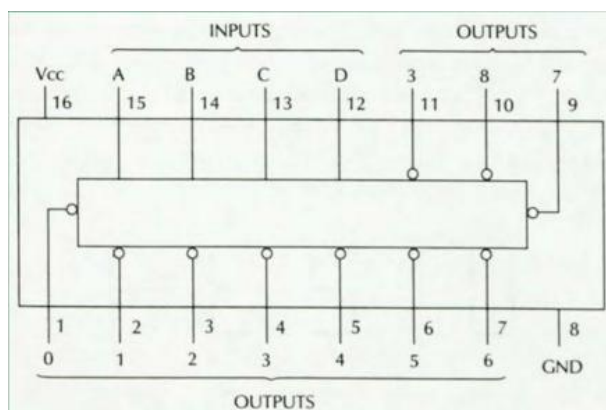
Πίνακας 4.2(β): Πίνακας αληθείας του BCD αποκωδικοποιητή σε δεκαδικό (4x10).

A	B	C	D	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0

*Τα ψηφία με έντονο χρώμα στον πίνακα αληθείας δεν χρησιμοποιούνται.

4.2.4 Ολοκληρωμένο κύκλωμα αποκωδικοποιητή

Το ολοκληρωμένο κύκλωμα του αποκωδικοποιητή είναι το 7442, το οποίο θεωρείται ένας αποκωδικοποιητής 4x10 (BCD to decimal), παρέχει 4 εισόδους (A,B,C και D) και 10 εξόδους στις οποίες γίνονται '0' όταν ενεργοποιούνται, όπως θα το δούμε σχηματικά στην παρακάτω εικόνα 4.2(δ):



Εικόνα 4.2(δ): Ολοκληρωμένο κύκλωμα αποκωδικοποιητή 7442.

Στη συνέχεια βλέπουμε τον παρακάτω πίνακα αληθείας (πίνακας 4.2(γ)) του ολοκληρωμένου κυκλώματος 7442:

Πίνακας 4.2(γ): Πίνακας αληθείας του ολοκληρωμένου κυκλώματος 7442

A	B	C	D	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

4.2.5 Αποκωδικοποιητές οδηγού – Ενδείκτης 7 τμημάτων και αποκωδικοποιητής BCD σε 7 τμήματα

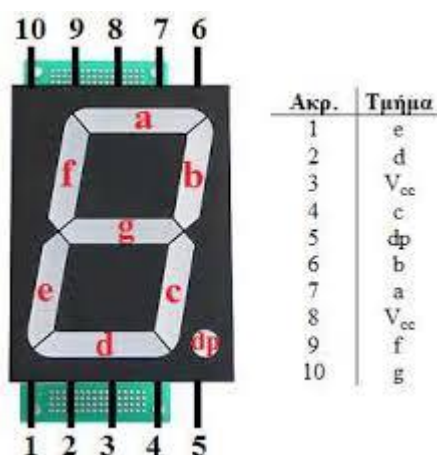
A) Ενδείκτης 7 τμημάτων (displays)

Χρησιμοποιούν 7 τμήματα για αναπαράσταση δεκαδικών αριθμών (0-9).

Επίσης υπάρχουν κάποιοι άλλοι ενδείκτες στους οποίους χρησιμοποιούνται δίοδοι φωτός (LEDs) που χρησιμεύουν για την κατασκευή τμημάτων τους. Η λειτουργία τους βασίζεται ότι κάθε τμήμα αποτελείται από υλικό που εκπέμπει φως σε κάθε διαρροή ρεύματος.

Ένα άλλο είδος ενδεικτών που υπάρχει, είναι ο ενδείκτης υγρού κρυστάλλου (LCDs). Η λειτουργία τους βασίζεται σε κάθε ιδιότητα ειδικού υγρού κρυστάλλου, το οποίο διαδίδει διαφορετικά το φως με την επίδραση εναλλασσόμενου ηλεκτρικού πεδίου. Επίσης παρέχουν χαμηλή κατανάλωση ισχύος.

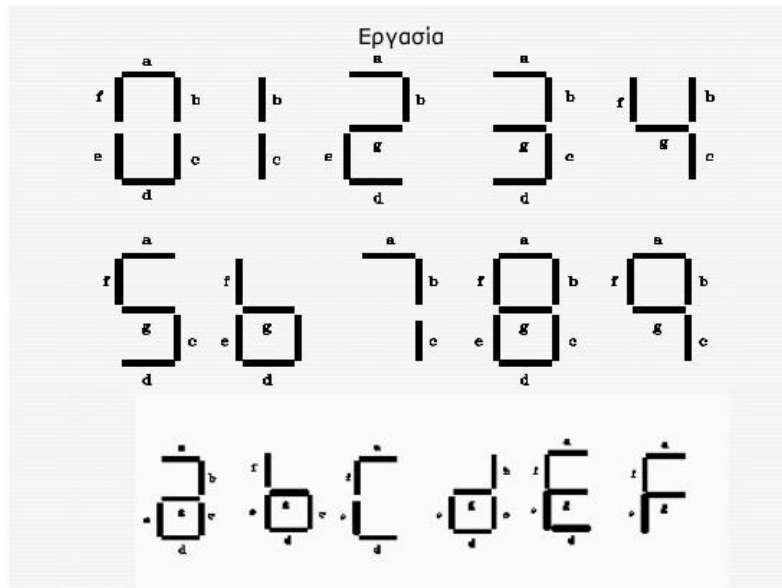
Στην παρακάτω εικόνα 4.2(ε), έχουμε ένα διάγραμμα ακροδεκτών του ενδείκτη 7 τμημάτων, στο οποίο οι δεκαδικοί σχηματίζονται όταν ανάβουν κάποια τμήματα του ενδείκτη 7 τμημάτων.



Εικόνα 4.2(ε): Διάγραμμα ακροδεκτών ενδείκτη 7 τμημάτων.

Στην εικόνα 4.2(στ), έχουμε έναν τρόπο στον οποίο εμφανίζονται τα δεκαδικά ψηφία (0-9) στον ενδείκτη 7 τμημάτων.

Οι ακροδέκτες του ενδείκτη 7 τμημάτων 1, 2, 4, 6, 7, 9 και 10 αντιστοιχούν σε 7 τμήματα a, b, c, d, e, f και g. Στην κοινή άνοδο ή κάθοδο αντιστοιχούν οι ακροδέκτες 3 και 8 που συνδέονται είτε στη τροφοδοσία, είτε στη γείωση. Επίσης ο ακροδέκτης 5 αντιστοιχεί στην υποδιαστολή (D.P.).

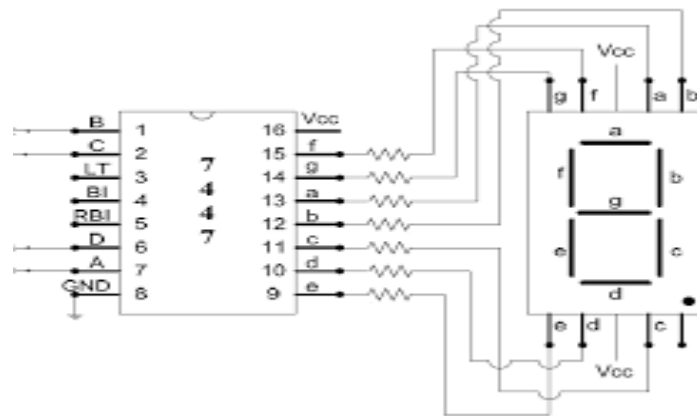


Εικόνα 4.2(στ): Τρόπος εμφάνισης δεκαδικών ψηφίων (0-9) στον ενδείκτη 7 τμημάτων.

Β) Αποκωδικοποιητής BCD σε 7 τμήματα

Χρησιμοποιείται μόνο για οδήγηση ενδείκτη δεκαδικών ψηφίων, για αυτό το λόγο λοιπόν ονομάζεται αποκωδικοποιητής οδηγός.

Στην παρακάτω εικόνα 4.2(η) έχουμε ένα ολοκληρωμένο κύκλωμα 7447 το οποίο οδηγεί το τμήμα κοινής ανόδου, δηλαδή, όλες οι άνοδοι των διόδων που κατασκευάζονται τα τμήματα, είναι συνδεδεμένες μεταξύ τους και συνδέονται υποχρεωτικά στην Vcc. Επίσης παρέχει 4 εισόδους (A, B, C και D) και 7 εξόδους (a, b, c, d, e, f και g).



Εικόνα 4.2(η): Ολοκληρωμένο κύκλωμα 7447.

Στη συνέχεια έχουμε τον παρακάτω πίνακα αληθείας (πίνακας 4.2(δ)) του ολοκληρωμένου κυκλώματος 7447:

Πίνακας 4.2(δ): Πίνακας αληθείας ολοκληρωμένου κυκλώματος 7447.

A	B	C	D	a	B	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	1	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	1	1	0	0
1	0	1	0	1	1	1	0	0	1	0
1	0	1	1	1	1	0	0	1	1	0
1	1	0	0	1	0	1	1	1	0	0
1	1	0	1	0	1	1	0	1	0	0
1	1	1	0	1	1	1	0	0	0	0
1	1	1	1	1	1	1	1	1	1	1

Στην συνέχεια αν η έξοδος του ολοκληρωμένου κυκλώματος 7447 (a-f) είναι '0', τότε το τμήμα του ενδείκτη δεκαδικών ψηφίων ανάβει, ενώ αν είναι '1', τότε αντιθέτως σβήνει.

ΚΕΦΑΛΑΙΟ 5 – FLIP-FLOPS

5.1 Τι είναι flip-flop;

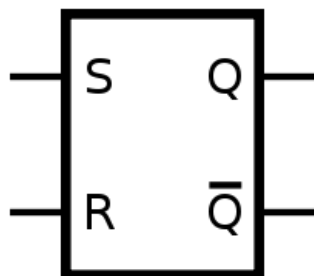
Είναι ένα σύγχρονο ακολουθιακό κύκλωμα, του οποίου οι έξοδοι και οι είσοδοι εφαρμόζονται μέσω παλμών ρολογιών (Clock pulses). Η είσοδος του flip-flop ονομάζεται και είσοδος ρολογιού (CP).

Συχνά χρησιμοποιούμε τα 4 είδη flip-flops και είναι τα εξής:

- R-S flip-flop
- D flip-flop
- J-K flip-flop
- T flip-flop

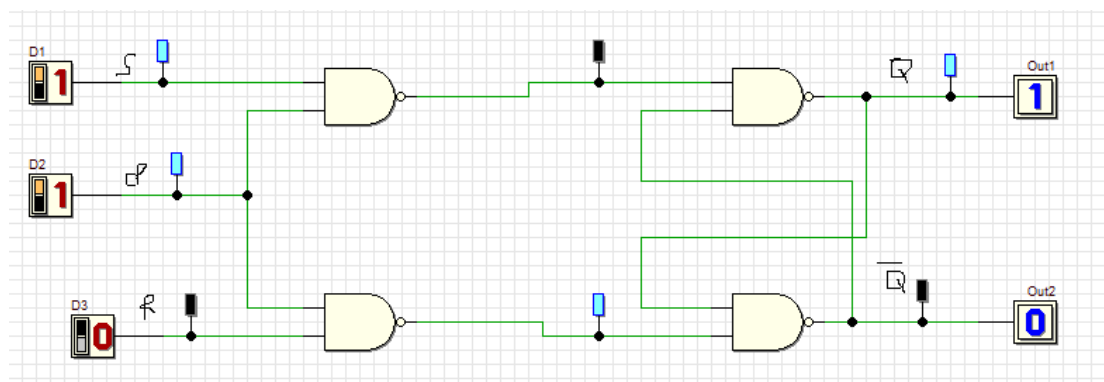
5.2 To R-S flip-flop

Στην εικόνα 5.2(α) έχουμε το παρακάτω γραφικό σύμβολο το R-S flip-flop:



Εικόνα 5.2(α): Γραφικό σύμβολο του R-S flip-flop.

Επίσης η λειτουργία του flip-flop μπορεί να υλοποιηθεί και με λογικές πύλες. Στην παρακάτω εικόνα 5.2(β) χρησιμοποιούμε 4 πύλες NAND μέσω του προσομοιωτή Deeds.



Εικόνα 5.2(β): Το R-S flip-flop με λογικές πύλες και το αποτέλεσμα του.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 5.2(β), έχουμε το κύκλωμα του R-S flip-flop. Για αρχή χρησιμοποιήσαμε 4 πύλες NAND δύο εισόδων που καθορίζουν την είσοδο και την έξοδο αντίστοιχα. Μετά

χρησιμοποιήσαμε για είσοδο 3 διακόπτες, το ένα τοποθετήθηκε στην είσοδο S και το άλλο στην είσοδο R και CK αντίστοιχα. Έπειτα χρησιμοποιήσαμε και δύο Outputs (One bit), τα οποία τοποθετήθηκαν στις εξόδους θετικού και αρνητικού σημείου αντίστοιχα (Q,Q'). Το αποτέλεσμα των εισόδων και εξόδων παρέχουν συνεχές σήμα.

Η λειτουργία του R-S flip-flop είναι η εξής:

- Όταν $S=0$ και $R=0$, τότε η επόμενη κατάσταση είναι ίδια με την προηγούμενη κατάσταση.
- Όταν $S=0$ και $R=1$, τότε η επόμενη κατάσταση είναι $Q=0$.
- Όταν $S=1$ και $R=0$, τότε η επόμενη κατάσταση είναι $Q=1$.
- Όταν $S=1$ και $R=1$, τότε έχουμε απροσδιόριστη κατάσταση και δεν χρησιμοποιείται.

Στους παρακάτω πίνακες (πίνακας 5.2(α) και 5.2(β)) έχουμε τους χαρακτηριστικούς πίνακες του R-S flip flop τριών και δύο εισόδων:

Πίνακας 5.2(α): Χαρακτηριστικός πίνακας R-S flip-flop 3 εισόδων.

$Q(n)$	S	R	$Q(n+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	X
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	X

Πίνακας 5.2(β): Χαρακτηριστικός πίνακας R-S flip-flop 2 εισόδων.

S	R	$Q(n+1)$
0	0	$Q(n)$
0	1	0
1	0	1
1	1	X

Όπου έξοδος X, τότε η κατάσταση είναι μη χρησιμοποιούμενη.

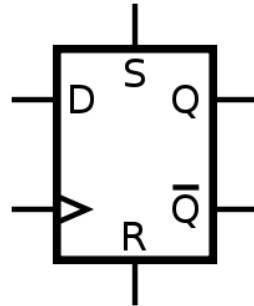
Τέλος, όσον αφορά το R-S flip-flop, έχουμε τον παρακάτω πίνακα 5.2(γ) που είναι πίνακας διέγερσης R-S flip-flop, το οποίο δείχνει τους τρόπους μετάβασης της παρούσας κατάστασης στην επόμενη κατάσταση.

Πίνακας 5.2(γ): Πίνακας διέγερσης του R-S flip-flop.

S	R	Q(n)	Q(n+1)
0	X	0	0
1	0	0	1
0	1	1	0
X	0	1	1

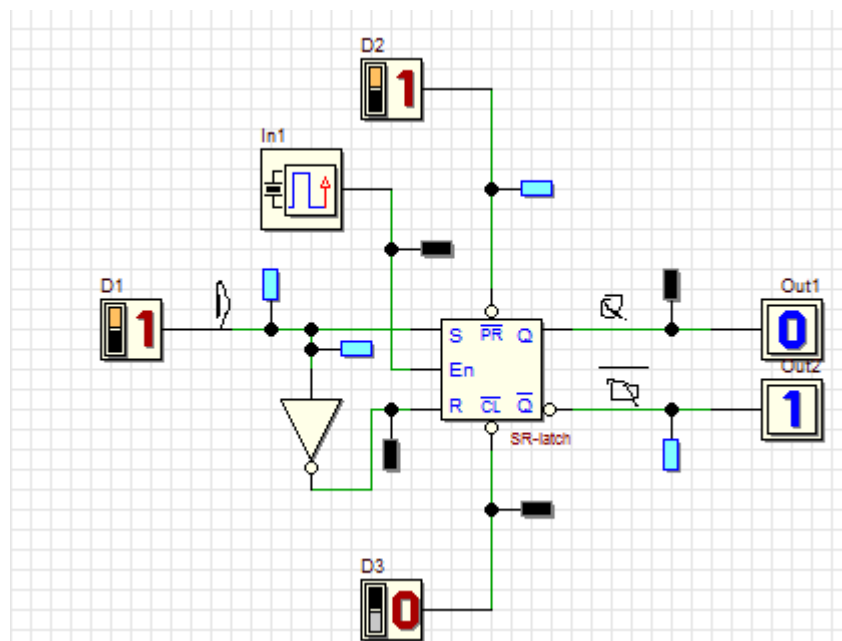
5.3 To D flip-flop

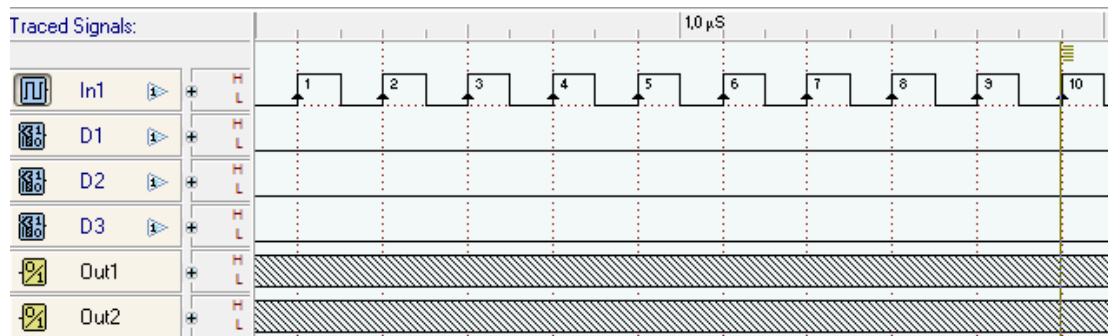
Στην παρακάτω εικόνα 5.3(α) έχουμε το γραφικό σύμβολο του D flip-flop:



Εικόνα 5.3(α): Γραφικό σύμβολο του D flip-flop.

Το D flip-flop μπορεί να υλοποιηθεί και με λογικές πύλες. Στη παρακάτω εικόνα 5.3(β), χρησιμοποιούμε ένα R-S flip-flop, στο οποίο η εξάλειψη της ανεπιθύμητης συμπεριφοράς στη μη-χρησιμοποιούμενη κατάσταση του, επιτυγχάνεται με D flip-flop, μέσω του προσομοιωτή Deeds.





Εικόνα 5.3(β): D flip-flop με λογικές πύλες και το αποτέλεσμα του.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 5.3(β), έχουμε το κύκλωμα του D flip-flop, με λογικές πύλες. Για αρχή χρησιμοποιήσαμε ένα R-S flip-flop, το οποίο συνδυάζεται με το D flip-flop σε μία γραμμή εισόδου. Επίσης χρησιμοποιήσαμε και μία πύλη NOT το οποίο καθορίζει το αρνητικό σημείο. Έπειτα χρησιμοποιήσαμε για είσοδο 3 διακόπτες οι οποίοι τοποθετήθηκαν στην είσοδο του D flip-flop και τα άλλα σε preset και clear αντίστοιχα. Όμως χρησιμοποιήσαμε κι ένα clock Generator, το οποίο τοποθετήθηκε στην CK είσοδο του D flip-flop. Όμως μετά χρησιμοποιήσαμε για έξοδο και δυο Outputs (one bit), τα οποία τοποθετήθηκαν σε αρνητικό και θετικό πόλο του J-K flip-flop (Q,Q'). Το αποτέλεσμα της εισόδου παρέχει θετικούς και αρνητικούς παλμούς όσον αφορά το clock Generator, ενώ όσον αφορά την είσοδο των διακοπτών παρέχουν συνεχές σήμα όπως και οι έξοδοί τους αντίστοιχα.

Η λειτουργία του D flip-flop είναι η εξής:

- Αν παλμός εισόδου είναι $CP=0$, τότε το D flip-flop αδύνατον να αλλάξει την κατάσταση, ανεξάρτητα από οποιαδήποτε τιμή εισόδου D.
- Αν ο παλμός εισόδου είναι $CP=1$, τότε δημιουργείται δειγματοληψία εισόδου, δηλαδή:
 - Αν $D=0$, τότε $Q=0$, δηλαδή μηδενισμός.
 - Αν $D=1$, τότε $Q=1$, δηλαδή θέση.

Επίσης το D flip-flop αποθηκεύει δεδομένα (data) και καθυστερεί τη διάδοσή τους. Οι δυαδικές του πληροφορίες της εισόδου δεδομένων D, μεταφέρονται στην έξοδο Q, όταν $CP=1$. Ενώ όταν τεθεί $CP=0$, τότε τα δεδομένα της εισόδου D, δεν μπορούν να μεταφερθούν στην έξοδο Q, μέχρι ώσπου να τεθεί $CP=1$.

Στους παρακάτω πίνακες 5.3(α) και 5.3(β) έχουμε τους χαρακτηριστικούς πίνακες D flip-flop δύο και μίας εισόδου:

Πίνακας 5.3(α): Χαρακτηριστικός πίνακας D flip-flop δύο εισόδων.

Q(n)	D	Q(n+1)
0	0	0
0	1	1
1	0	0
1	1	1

Πίνακας 5.3(β): Χαρακτηριστικός πίνακας D flip-flop μίας εισόδου.

D	Q(n+1)
0	0
1	1

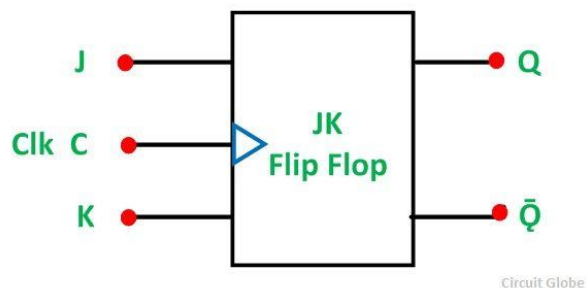
Τέλος, όσον αφορά το D flip-flop, στο παρακάτω πίνακα 5.3(γ), έχουμε τον πίνακα διέγερσης D flip-flop:

Πίνακας 5.3(γ): Πίνακας διέγερσης του D flip-flop.

D	Q(n)	Q(n+1)
0	0	0
1	0	1
0	1	0
1	1	1

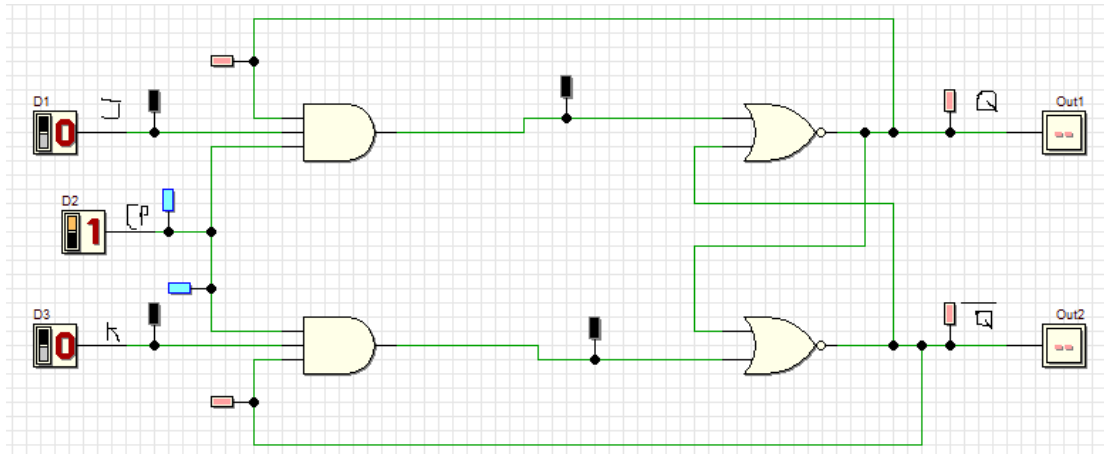
5.4 Το J-K flip-flop

Όσον αφορά το R-S flip-flop σχετικά με το J-K flip-flop, η μη χρησιμοποιούμενη κατάσταση του (δηλαδή R=1 και S=1), αποφεύγεται χρησιμοποιώντας J-K flip-flop. Όταν οι είσοδοι του J-K flip-flop είναι J=1(set) και K=1 (reset), τότε το flip-flop αλλάζει κατάσταση. Στην εικόνα 5.4(α), έχουμε το γραφικό σύμβολο του J-K flip-flop:



Εικόνα 5.4(α): Γραφικό σύμβολο του J-K flip-flop.

Επίσης το J-K flip-flop μπορεί να υλοποιηθεί και με λογικές πύλες. Δηλαδή χρησιμοποιούμε για το κύκλωμα δύο πύλες AND τριών εισόδων και δύο πύλες NOR δύο εισόδων, που θα το δούμε στη παρακάτω εικόνα 5.4(β) μέσω του προσομοιωτή Deeds.



Εικόνα 5.4(β): J-K flip-flop με λογικές πύλες και το αποτέλεσμα του.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 5.4(β), έχουμε το κύκλωμα του J-K flip-flop με λογικές πύλες. Για αρχή χρησιμοποιήσαμε δύο πύλες AND τριών εισόδων και δύο πύλες NOR δύο εισόδων. Έπειτα χρησιμοποιήσαμε για είσοδο 3 διακόπτες, οι οποίοι τοποθετήθηκαν στις εισόδους J, CK και K αντίστοιχα. Όμως μετά χρησιμοποιήσαμε για έξοδο και δύο Outputs(one bit), τα οποία τοποθετήθηκαν στους θετικούς και αρνητικούς πόλους των εξόδων του κυκλώματος Q και Q' αντίστοιχα. Τέλος, το αποτέλεσμα των δύο εισόδων και CP παρέχουν συνεχές σήμα όπως και οι εξοδοί του κυκλώματος αντίστοιχα.

Η λειτουργία του J-K flip-flop είναι η εξής:

- Αν $J=0$ και $K=0$, τότε η επόμενη κατάσταση είναι σαφώς ίδια με την προηγούμενη κατάσταση.
- Αν $J=0$ και $K=1$, τότε η επόμενη κατάσταση είναι $Q=0$.
- Αν $J=1$ και $K=0$, τότε η επόμενη κατάσταση είναι $Q=1$.
- Αν $J=1$ και $K=1$, τότε η κατάσταση αναστρέφεται, δηλαδή η επόμενη κατάσταση συμπληρώνει την προηγούμενη κατάσταση.

Στους πίνακες 5.4(α) και 5.4(β) έχουμε τους χαρακτηριστικούς πίνακες του J-K flip-flop τριών και δύο εισόδων αντίστοιχα:

Πίνακας 5.4(α): Χαρακτηριστικός πίνακας J-K flip-flop τριών εισόδων.

Q(n)	J	K	Q(n+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Πίνακας 5.4(β): Χαρακτηριστικός πίνακας J-K flip-flop δύο εισόδων.

J	K	Q(n+1)
0	0	Q(n)
0	1	0
1	0	1
1	1	Q(n)

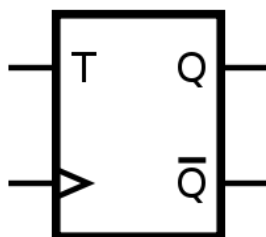
Τέλος, όσον αφορά το J-K flip-flop, έχουμε τον πίνακα 5.4(γ) ο οποίος είναι ο πίνακας διέγερσης του J-K flip-flop:

Πίνακας 5.4(γ): Πίνακας διέγερσης του J-K flip-flop.

J	K	Q(n)	Q(n+1)
0	X	0	0
1	X	0	1
X	1	1	0
X	0	1	1

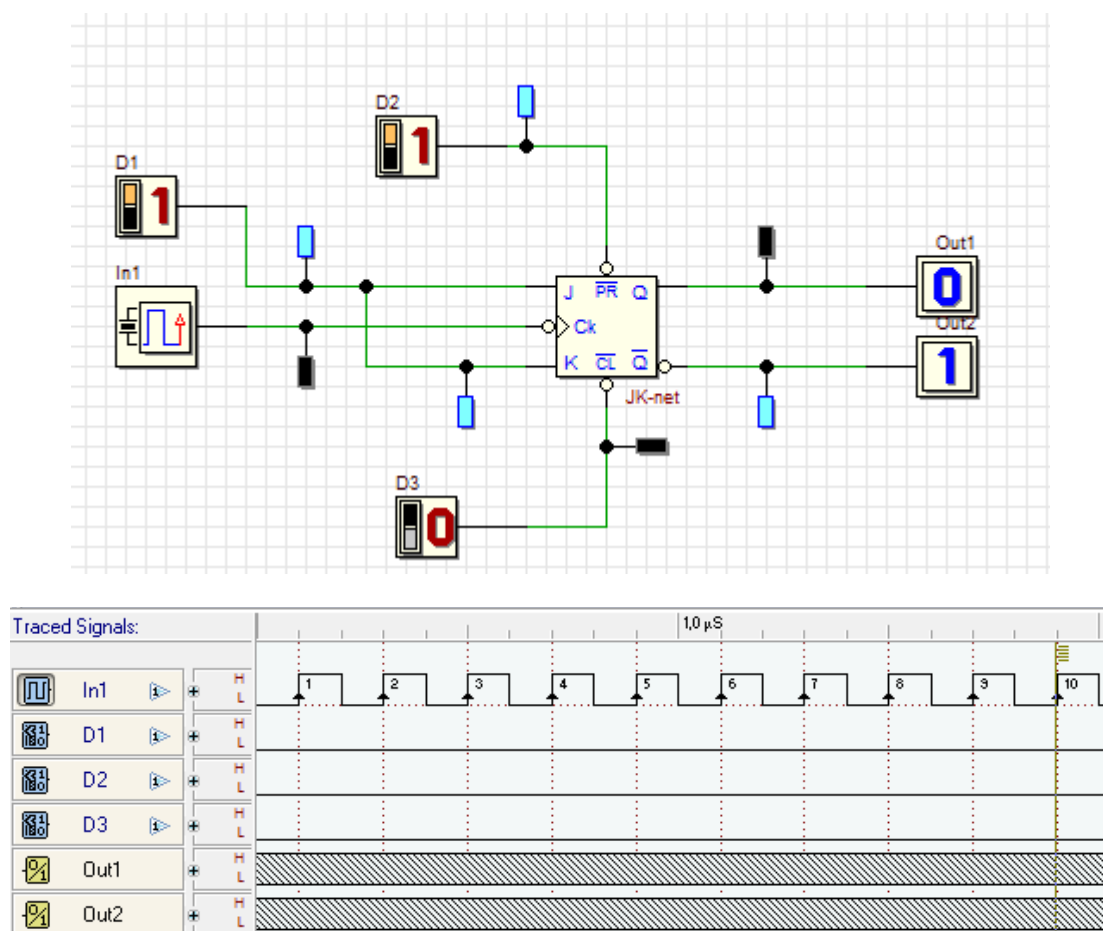
5.5 To T flip-flop

Εφόσον οι είσοδοι του J-K flip-flop συνδέονται μεταξύ τους, τότε γίνεται μια παραλλαγή στο J-K flip-flop, που είναι το T flip-flop. Στην εικόνα 5.5(α) έχουμε το γραφικό σύμβολο του T flip-flop.



Εικόνα 5.5(α): Γραφικό σύμβολο του T flip-flop.

Επίσης του T flip-flop μπορεί να υλοποιηθεί και με J-K flip-flop όπως φαίνεται στη παρακάτω εικόνα 5.5(β) μέσω του προσομοιωτή Deeds:



Εικόνα 5.5(β): Το T flip-flop υλοποιήσιμο με J-K flip-flop και το αποτέλεσμα του.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 5.5(β), έχουμε το κύκλωμα του T flip-flop υλοποιήσιμο με J-K flip-flop. Για αρχή χρησιμοποιήσαμε ένα J-K flip-flop, το οποίο συνδυάζεται με το T flip-flop με μία γραμμή εισόδου. Έπειτα για είσοδο, χρησιμοποιήσαμε και ένα clock Generator, το οποίο τοποθετήθηκε στην είσοδο της γραμμής CK του T flip-flop, και 3 διακόπτες οι οποίοι τοποθετήθηκαν στην είσοδο του T flip-flop, σε clear και preset αντίστοιχα. Όμως μετά, χρησιμοποιήσαμε αυτή τη φορά δύο Outputs(one bit), τα οποία τοποθετηθήκανε σε αρνητικό και θετικό πόλο (Q,Q') αντίστοιχα. Τέλος το αποτέλεσμα της εισόδου και της εξόδου παρέχουν συνεχές σήμα.

Η λειτουργία του T flip-flop είναι η εξής:

- Αν $T=0$, τότε η επόμενη κατάσταση είναι σαφώς ίδια με την προηγούμενη κατάσταση.
- Αν $T=1$, τότε η κατάσταση του T flip-flop αναστρέφεται, δηλαδή η επόμενη κατάσταση συμπληρώνει τη προηγούμενη κατάσταση.

Η ονομασία του T flip-flop προέρχεται από τη δυνατότητα να αντιστρέφει τη κατάστασή του.

Επίσης στους πίνακες 5.5(α) και 5.5(β) έχουμε τους χαρακτηριστικούς πίνακες του T flip-flop δύο και μίας εισόδου αντίστοιχα:

Πίνακας 5.5(α): Χαρακτηριστικός πίνακας του T flip-flop δύο εισόδων.

$Q(n)$	T	$Q(n+1)$
0	0	0
0	1	1
1	0	1
1	1	0

Πίνακας 5.5(β): Χαρακτηριστικός πίνακας του T flip-flop μίας εισόδου.

T	$Q(n+1)$
0	$Q(n)$
1	$Q(n)$

Τέλος, όσον αφορά το T flip-flop, έχουμε τον παρακάτω πίνακα διέγερσης του T flip-flop (Πίνακας 5.5(γ)):

Πίνακας 5.5(γ): Πίνακας διέγερσης του T flip-flop.

T	$Q(n)$	$Q(n+1)$
0	0	0
1	0	1
1	1	0
0	1	1

5.6 Διέγερση flip-flop

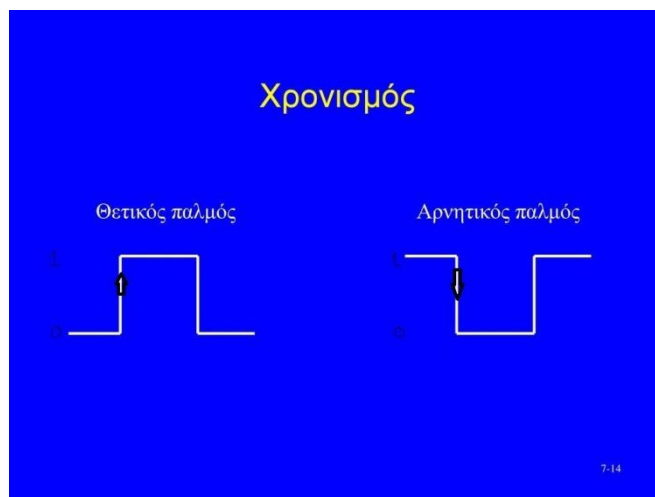
Κάθε κατάσταση flip-flop και μανταλωτή μεταβάλλεται με κάθε αλλαγή σήματος εισόδου που ονομάζεται διέγερση ή αλλιώς πυροδότηση (triggering).

Οι μανταλωτές διεγείρονται με κάθε αλλαγή της τιμής σε λογικό επίπεδο των σημάτων εισόδου τους. Ο κάθε μανταλωτής για να διεγερθεί θα πρέπει να είναι σε κατάσταση ηρεμίας.

Όσον αφορά τα flip-flops, διεγείρονται πάντα με παλμούς ρολογιού (clock), οι παλμοί αυτοί μπορεί να είναι είτε θετικοί είτε αρνητικοί. Επομένως υπάρχουν δύο περιπτώσεις μεταβάσεων του σήματος για κάθε παλμό:

- Η μετάβαση από το '0' στο '1' ονομάζεται θετική μετάβαση ή αλλιώς μετάβαση ανόδου (Positive Going Transition – P.G.T.).
- Η μετάβαση από το '1' στο '0' ονομάζεται αρνητική μετάβαση ή αλλιώς μετάβαση καθόδου (Negative Going Transition – N.G.T.).

Κάθε είσοδος του flip-flop, προετοιμάζει την αλλαγή κατάστασής του, που πραγματοποιείται με θετική ή αρνητική ακμή (θετικό ή αρνητικό μέτωπο) του παλμού ρολογιού του, όπως θα δούμε παρακάτω στην εικόνα 5.6(α) τις αρνητικές και θετικές μεταβάσεις παλμών ρολογιού.



Εικόνα 5.6(α): Αρνητικές και θετικές μεταβάσεις παλμών ρολογιού.

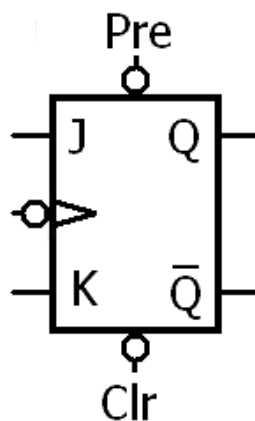
5.7 Ασύγχρονες είσοδοι

Τα πιο πολλά ολοκληρωμένα κυκλώματα των flip-flops, παρέχουν δύο ακόμη εισόδους που ονομάζονται ασύγχρονες είσοδοι, επειδή η επίδραση στις εξόδους των κάθε flip-flops, δεν εξαρτάται από τους παλμούς ρολογιού.

Επίσης οι ασύγχρονες είσοδοι καθορίζουν κάθε κατάσταση των flip-flops ανεξαρτήτως από τις τιμές των σύγχρονων εισόδων τους και χρησιμοποιούνται για να τεθεί το κάθε flip-flop σε αρχική κατάσταση (δηλαδή θέση ή μηδενισμός), πρωτού λειτουργήσει με το ρολόι. Οι ασύγχρονες είσοδοι είναι οι εξής:

- Η προτοποθέτηση PRESET χρησιμοποιείται για να τεθεί το κάθε flip-flop σε κατάσταση θέσης ($Q=1$).
- Ο μηδενισμός CLEAR χρησιμοποιείται για να τεθεί το κάθε flip-flop σε κατάσταση μηδενισμού ($Q=0$).

Θα δούμε ένα παράδειγμα στην παρακάτω εικόνα 5.7(α), όπου έχουμε το γραφικό σύμβολο ενός J-K flip-flop με ασύγχρονες εισόδους (PRESET & CLEAR).



Εικόνα 5.7(α): Γραφικό σύμβολο του J-K flip-flop με ασύγχρονες εισόδους.

Στη συνέχεια θα περιγράψουμε τη λειτουργία του J-K flip-flop με ασύγχρονες εισόδους και θα τη δούμε συνοπτικά στον πίνακα λειτουργίας του.

Η λειτουργία του J-K flip-flop με ασύγχρονες εισόδους είναι η εξής:

- Αν $\text{PRESET}=0$ και $\text{CLEAR}=0$, τότε είναι αδύνατη αυτή η λειτουργία.
- Αν $\text{PRESET}=0$ και $\text{CLEAR}=1$, τότε το J-K flip-flop είναι σε κατάσταση θέσης ($Q=1$).
- Αν $\text{PRESET}=1$ και $\text{CLEAR}=0$, τότε το J-K flip-flop είναι σε κατάσταση μηδενισμού ($Q=0$).
- Αν $\text{PRESET}=1$ και $\text{CLEAR}=1$, τότε οι ασύγχρονες εισόδους είναι απενεργοποιημένες, και στις εξόδους του J-K flip-flop υπάρχει ανταπόκριση στις σύγχρονες εισόδους J και K, αλλά και στους παλμούς ρολογιού (CP). Δηλαδή γίνεται η λειτουργία χρονισμού.

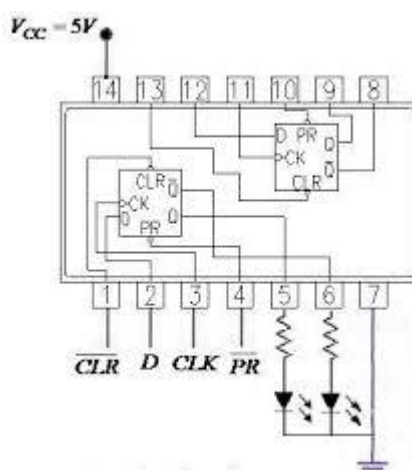
Στον παρακάτω πίνακα 5.7(α), έχουμε τον πίνακα λειτουργίας του J-K flip-flop με ασύγχρονες εισόδους:

Πίνακας 5.7(α): Πίνακας λειτουργίας του J-K flip-flop με ασύγχρονες εισόδους.

PRESET	CLEAR	ΛΕΙΤΟΥΡΓΙΑ FLIP-FLOP
0	0	Μη-χρησιμοποιούμενη
0	1	Θέση ($Q=1$)
1	0	Μηδενισμός ($Q=0$)
1	1	Λειτουργία χρονισμού

5.8 Ολοκληρωμένα κυκλώματα flip-flops

Το ολοκληρωμένο κύκλωμα 7474 όπως θα δούμε στην παρακάτω εικόνα 5.8(α), είναι D flip-flop.



Εικόνα 5.8(α): Ολοκληρωμένο κύκλωμα 7474 με D flip-flop.

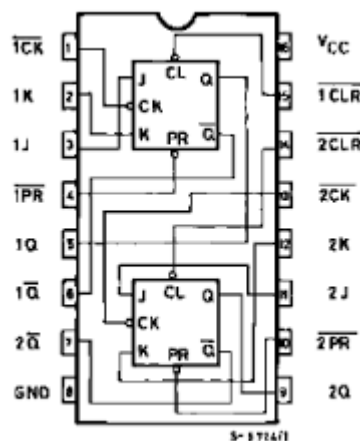
Στο παραπάνω ολοκληρωμένο κύκλωμα 7474, τα D flip-flops διεγείρονται με θετική ακμή (P.G.T.) του παλμού ρολογιού τους. Επίσης τα D flip-flops του ολοκληρωμένου κυκλώματος 7474, παρέχουν και ασύγχρονες εισόδους PRESET και CLEAR.

Στον παρακάτω πίνακα 5.8(α), έχουμε τον πίνακα λειτουργίας του ολοκληρωμένου κυκλώματος 7474, τον οποίο, στο σύμβολο \wedge μας δείχνει ότι το D flip-flop, διεγείρεται με θετική ακμή του παλμού ρολογιού του. Επίσης η έξοδος του δεν παραμένει σταθερή (*) όταν η ασύγχρονη είσοδος PRESET και η CLEAR απενεργοποιηθούν με λογικό '1'. Τέλος η Q0 θεωρείται η προηγούμενη κατάσταση του D flip-flop.

Πίνακας 5.8(α): Πίνακας λειτουργίας του ολοκληρωμένου κυκλώματος 7474.

PRESET	CLEAR	CLOCK	D	Q	Q'
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1*	1*
1	1	\wedge	1	1	0
1	1	\wedge	0	0	1
1	1	0	X	Q0	Q0'

Το ολοκληρωμένο κύκλωμα 74112 όπως θα δούμε στην παρακάτω εικόνα 5.8(β), παρέχει 2 J-K flip-flops με ασύγχρονες εισόδους.



Εικόνα 5.8(β): Ολοκληρωμένο κύκλωμα 74112 με 2 J-K flip-flops.

Στο παραπάνω ολοκληρωμένο κύκλωμα 74112 τα 2 J-K flip-flops διεγείρονται με αρνητική ακμή (N.G.T.) του παλμού ρολογιού τους, δηλαδή κάνει την ακριβώς αντίθετη λειτουργία από το ολοκληρωμένο κύκλωμα με D flip-flops. Επίσης τα J-K flip-flops παρέχουν και ασύγχρονες εισόδους PRESET και CLEAR.

Στον παρακάτω πίνακα 5.8(β), έχουμε τον πίνακα λειτουργίας του ολοκληρωμένου κυκλώματος 74112, τον οποίο, το σύμβολο ν , μας δείχνει το J-K flip-flop, διεγείρεται με αρνητική ακμή του παλμού ρολογιού του. Η έξοδος του επίσης δεν παραμένει σταθερή (*), όταν η ασύγχρονη είσοδος PRESET και CLEAR απενεργοποιηθούν με λογικό '1'. Επίσης η Q_0 είναι η προηγούμενη κατάσταση του J-K flip-flop, και τέλος η Toggle θεωρείται μια κατάσταση που η κάθε κατάσταση του J-K flip-flop αντιστρέφεται, δηλαδή η επόμενη κατάσταση συμπληρώνει την προηγούμενη κατάσταση.

Πίνακας 5.8(β): Πίνακας λειτουργίας ολοκληρωμένου κυκλώματος 74112.

PRESET	CLEAR	CLOCK	J	K	Q	Q'
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1*	1*
1	1	ν	0	0	Q_0	Q_0'
1	1	ν	1	0	1	0
1	1	ν	0	1	0	1
1	1	ν	1	1	Toggle	Toggle
1	1	ν	X	X	Q_0	Q_0'

ΚΕΦΑΛΑΙΟ 6 – ΜΗΧΑΝΕΣ ΚΑΤΑΣΤΑΣΕΩΝ (STATE MACHINE)

6.1 Τι είναι Μηχανή καταστάσεων;

Μηχανή καταστάσεων θεωρείται ως γενικά μαθηματικά δηλαδή ένα μαθηματικό μοντέλο υπολογισμού, το οποίο φέρει άμεση λύση σε κάθε εφαρμογή είτε στη σχεδίαση ψηφιακών ακολουθιακών κυκλωμάτων (Υλικό – Hardware), είτε στη σχεδίαση λογισμικού (Software).

Επίσης οι μηχανές καταστάσεων χωρίζονται σε 2 ομάδες:

A) Μηχανές πεπερασμένων καταστάσεων (Finite-State Machine – FSMs)

B) Μηχανές άπειρων καταστάσεων (Infinite-State Machine – ISMs)

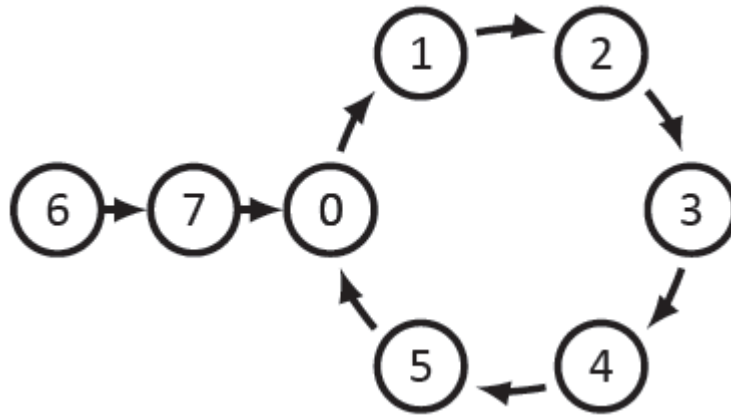
Στη παρακάτω εικόνα 6.1(α), έχουμε ένα διάγραμμα μιας μηχανής άπειρων καταστάσεων, το οποίο παρέχει ένα άπειρο αριθμό κόμβων το οποίο θεωρείται ένας απαριθμητής συνόλου ακεραίων αριθμών.



Εικόνα 6.1(α): Διάγραμμα μηχανής άπειρων καταστάσεων.

Στη μηχανή πεπερασμένων καταστάσεων ο κάθε αριθμός καταστάσεων θεωρείται συγκεκριμένος αλλά όχι άπειρος.

Στη παρακάτω εικόνα 6.1(β), έχουμε ένα διάγραμμα απαριθμητή που θεωρείται μοντέλο πεπερασμένων καταστάσεων:



Εικόνα 6.1(β): Απαριθμητής σε μοντέλο πεπερασμένων καταστάσεων.

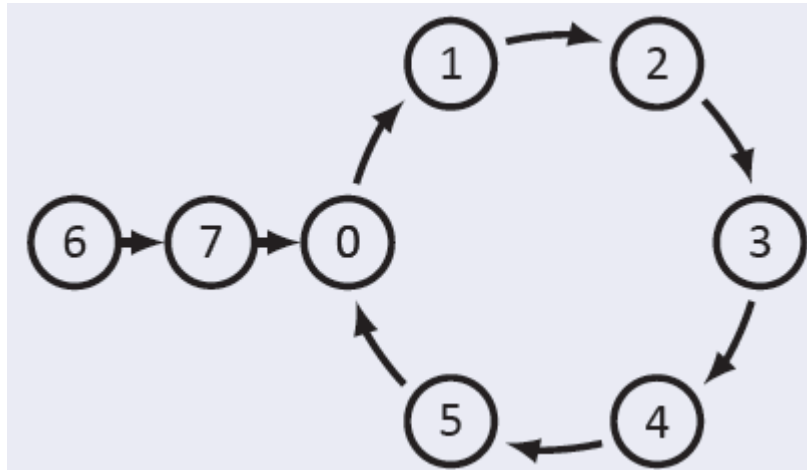
6.2 Σχεδίαση και υλοποίηση κυκλωμάτων για μηχανές καταστάσεων (με D, J-K & T flip-flop)

Έχουμε μπει στη μεθοδολογία σχεδίασης ψηφιακών ακολουθιακών κυκλωμάτων η οποία υλοποιεί τη μηχανή πεπερασμένων καταστάσεων.

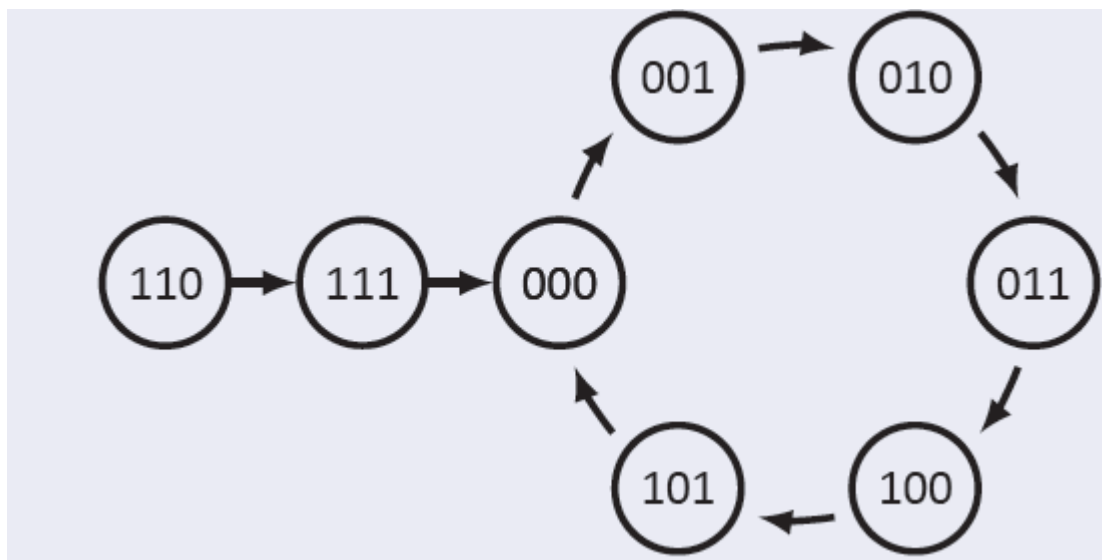
Η σχεδίαση αναφέρεται γενικά ως διαδικασία του ψηφιακού κυκλώματος που υλοποιεί μία μηχανή καταστάσεων. Έχουμε δηλαδή την αντίστροφη διαδικασία ανάλυσης.

Α) Σχεδίαση και υλοποίηση κυκλωμάτων για μηχανές καταστάσεων με D flip-flop

Στις εικόνες 6.2(α) και 6.2(β) έχουμε το ακόλουθο διάγραμμα του D flip-flop, και διάγραμμα D flip-flop σε δυαδική μορφή αντίστοιχα.



Εικόνα 6.2(α): Ακόλουθο διάγραμμα D flip-flop.



Εικόνα 6.2(β): Ακόλουθο διάγραμμα D flip-flop σε δυαδική μορφή.

Παρατηρούμε ότι:

- Κάθε κατάσταση διαγράμματος D flip-flop αντιστοιχεί σε ένα τριψήφιο δυαδικό αριθμό.

- Κανένα ψηφίο που περιγράφει μηχανές καταστάσεων δεν μένει σταθερό, όλα θα ληφθούν υπό έλεγχο.
- Στην αποθήκευση ενός ψηφίου χρησιμοποιείται ένα flip-flop, το συγκεκριμένο κύκλωμα θα παρέχει 3 flip-flops.

Με βάση το ακόλουθο διάγραμμα καταστάσεων του D flip-flop έχουμε τον αντίστοιχο πίνακα 6.2(α) καταστάσεων.

Πίνακας 6.2(α): Πίνακας καταστάσεων D flip-flop.

ΤΡΕΧΟΥΣΑ	ΤΡΕΧΟΥΣΑ	ΤΡΕΧΟΥΣΑ	ΕΠΟΜΕΝΗ	ΕΠΟΜΕΝΗ	ΕΠΟΜΕΝΗ
Q0	Q1	Q2	Q0	Q1	Q2
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	0	0	0
1	1	0	1	1	1
1	1	1	0	0	0

Με βάση τον πίνακα καταστάσεων του κυκλώματος του D flip-flop, θα γίνει προσθήκη των τριών εισόδων του D flip-flop, όπως είχαμε δει τον πίνακα διέγερσης D flip-flop στο προηγούμενο κεφάλαιο. Στον πίνακα 6.2(β) έχουμε τον πίνακα κατάστασης του D flip-flop.

Πίνακας 6.2(β): Πίνακας κατάστασης του flip-flop.

Qεπόμενη	Qτρέχουσα	D	ΕΞΟΔΟΣ
0	0	0	RESET
0	1	1	SET
1	0	0	RESET
1	1	1	SET

Στον παρακάτω πίνακα 6.2(γ) έχουμε τον πίνακα καταστάσεων του flip-flop με προσθήκη των τριών εισόδων του (Q0,Q1,Q2).

Πίνακας 6.2(γ): Πίνακας καταστάσεων του D flip-flop με προσθήκη τριών εισόδων.

ΤΡΕ	ΧΟΥ	ΣΑ	ΕΠΟ	ΜΕ	ΝΗ	ΕΙΣΟ	ΔΟΙ	FF
Q0	Q1	Q2	Q0	Q1	Q2	Q0	Q1	Q2
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	0	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	1	0
1	0	0	1	0	1	1	1	1
1	0	1	0	0	0	0	0	0
1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

Με βάση τις τρέχουσες καταστάσεις, δημιουργούμε πίνακες Karnaugh και των τριών εισόδων του D flip flop, όπως θα δούμε στους πίνακες 6.2 (δ),(ε) & (στ) αντίστοιχα, για να βρούμε λογικές εκφράσεις.

Για τον πίνακα 6.2(δ) έχουμε τον πίνακα Karnaugh και τη λογική έκφραση για την είσοδο D0 του D flip-flop.

Πίνακας 6.2(δ): Πίνακας Karnaugh για την είσοδο D0 του D flip-flop.

Q2\Q1*Q0	00	01	11	10
0	1	0	0	1
1	1	0	0	1

Λογική έκφραση: $D0=Q0'$

Για τον πίνακα 6.2(ε) έχουμε τον πίνακα Karnaugh και τη λογική έκφραση για την είσοδο D1 του D flip-flop.

Πίνακας 6.2(ε): Πίνακας Karnaugh για την είσοδο D1 του D flip-flop.

Q2\Q1*Q0	00	01	11	10
0	0	1	0	1
1	0	0	0	1

Λογική έκφραση: $D1 = Q0' * Q1 + Q0 * Q1' * Q2'$

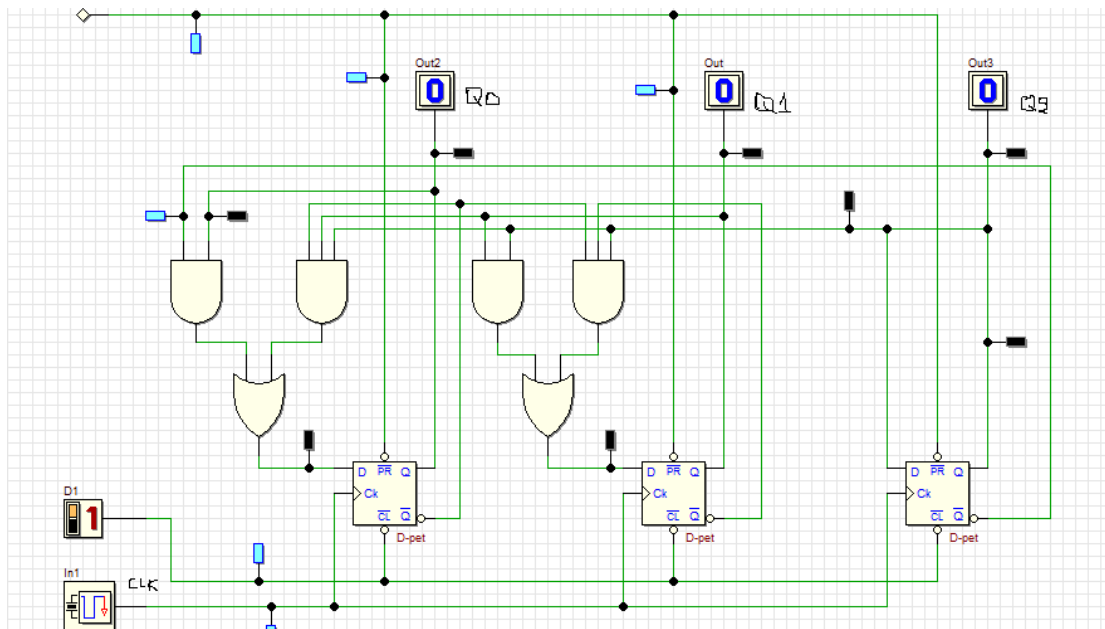
Για τον πίνακα 6.2(στ) έχουμε τον πίνακα Karnaugh και τη λογική έκφραση για την είσοδο D2 του D flip-flop.

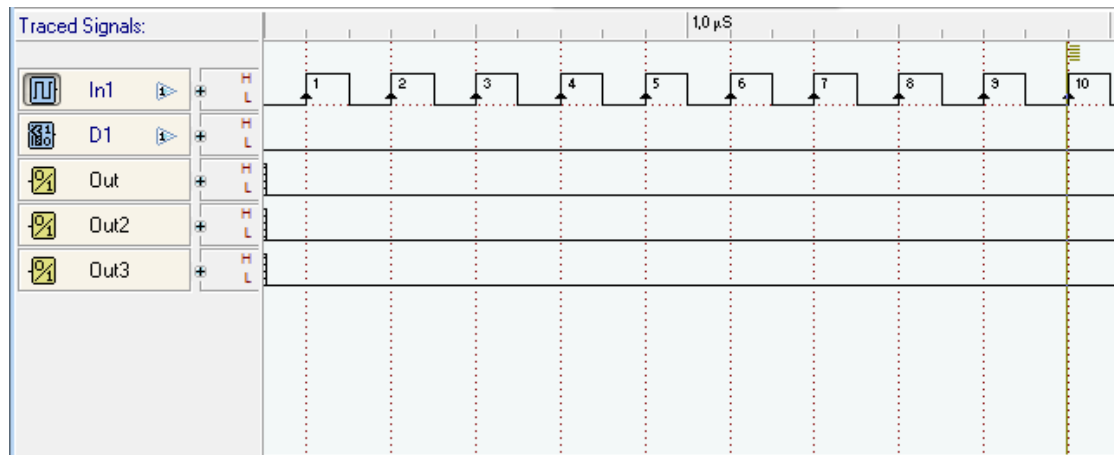
Πίνακας 6.2(στ): Πίνακας Karnaugh για την είσοδο D2 του D flip-flop.

$Q2 \backslash Q1 * Q0$	00	01	11	10
0	0	0	1	0
1	1	0	0	1

Λογική έκφραση: $D2 = Q0' * Q2 + Q0 * Q1 * Q2'$

Με βάση τους παραπάνω πίνακες και τα διαγράμματα του D flip flop, στην παρακάτω εικόνα 6.2(γ) έχουμε το ακόλουθο κύκλωμα υλοποίησης μέσω του προσομοιωτή Deeds.





Εικόνα 6.2(γ): Κύκλωμα υλοποίησης D flip-flop και το αποτέλεσμά του.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 6.2(γ), έχουμε το κύκλωμα υλοποίησης του D flip-flop σε μηχανή καταστάσεων. Για αρχή, χρησιμοποιήσαμε 3 D flip-flops, 4 πύλες AND με δύο και τρεις εισόδους και δύο πύλες OR δύο εισόδων. Στη συνέχεια χρησιμοποιήσαμε για είσοδο ένα clock Generator, το οποίο τοποθετήθηκε ως είσοδο στο CLK, έναν διακόπτη ο οποίος τοποθετήθηκε στα clear του D flip-flop, και 3 Output(one bit), το οποίο τοποθετήθηκε στην έξοδο Q0, Q1 και Q2 του συγκεκριμένου κυκλώματος. Τέλος το αποτέλεσμα της εισόδου και εξόδου παρουσιάζει συνεχές σήμα.

Β) Σχεδίαση και υλοποίηση κυκλωμάτων για μηχανές καταστάσεων με J-K flip-flop

Θα ακολουθήσουμε την ίδια διαδικασία με το παραπάνω σύγχρονο ακολουθιακό κύκλωμα στο D flip-flop, συμπεριλαμβάνοντας τις 3 εισόδους του J-K flip-flop.

Στον παρακάτω πίνακα 6.2(ζ), έχουμε τον πίνακα καταστάσεων του κυκλώματος J-K flip-flop, έχοντας στο μυαλό μας τον πίνακα διέγερσής του από το προηγούμενο κεφάλαιο. Όπου X η αδιάφορη τιμή.

Πίνακας 6.2(ζ): Πίνακας κατάστασης του J-K flip-flop.

Qεπόμενη	Qτρέχουσα	J	K	ΕΞΟΔΟΣ
0	0	0	X	RESET
0	1	1	X	SET
1	0	X	1	RESET
1	1	X	0	SET

Στη συνέχεια έχουμε τον παρακάτω πίνακα 6.2(η), που θεωρείται πίνακας καταστάσεων του J-K flip-flop με τις 3 εισόδους του.

Πίνακας 6.2(η): Πίνακας καταστάσεων του J-K flip-flop με 3 εισόδους.

TPE	ΧΟΥ	ΣΑ	ΕΠΟ	ΜΕ	ΝΗ	ΕΙ	ΣΟ	ΔΟΙ	FLIP	FLOP	S
						FF	0	FF	1	FF	2
Q0	Q1	Q2	Q0	Q1	Q2	J0	K0	J1	K1	J2	K2
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	0	0	0	X	1	0	X	X	1
1	1	0	1	1	1	X	0	X	0	1	X
1	1	1	0	0	0	X	1	X	1	X	1

Για τον πίνακα 6.2(θ) έχουμε τον πίνακα Karnaugh και τη λογική έκφραση για την είσοδο J0 του J-K flip-flop.

Πίνακας 6.2(θ): Πίνακας Karnaugh εισόδου J0 του J-K flip-flop.

Q2\Q1*Q0	00	01	11	10
0	1	X	X	1
1	1	X	X	1

Λογική έκφραση: $J_0=1$

Για τον πίνακα 6.2(ι) έχουμε τον πίνακα Karnaugh και τη λογική έκφραση για την είσοδο K0 του J-K flip-flop.

Πίνακας 6.2(ι): Πίνακας Karnaugh εισόδου K0 του J-K flip-flop.

Q2\Q1*Q0	00	01	11	10
0	X	1	1	X
1	X	1	1	X

Λογική έκφραση: $K_0=1$

Για τον πίνακα 6.2(κ) έχουμε τον πίνακα Karnaugh και τη λογική έκφραση για την είσοδο J1 του J-K flip-flop.

Πίνακας 6.2(κ): Πίνακας Karnaugh εισόδου J1 του J-K flip-flop.

Q2\Q1*Q0	00	01	11	10
0	0	1	X	X
1	0	0	X	X

Λογική έκφραση: $J_1=Q_0*Q_2'$

Για τον πίνακα 6.2(λ) έχουμε τον πίνακα Karnaugh και τη λογική έκφραση για την είσοδο K1 του J-K flip-flop.

Πίνακας 6.2(λ): Πίνακας Karnaugh εισόδου K1 του J-K flip-flop.

Q2\Q1*Q0	00	01	11	10
0	X	X	1	0
1	X	X	1	0

Λογική έκφραση: $K1=Q0$

Για τον πίνακα 6.2(μ) έχουμε τον πίνακα Karnaugh και τη λογική έκφραση για την είσοδο J2 του J-K flip-flop.

Πίνακας 6.2(μ): Πίνακας Karnaugh εισόδου J2 του J-K flip-flop.

Q2\Q1*Q0	00	01	11	10
0	0	0	1	0
1	X	X	X	X

Λογική έκφραση: $J2=Q0*Q1$

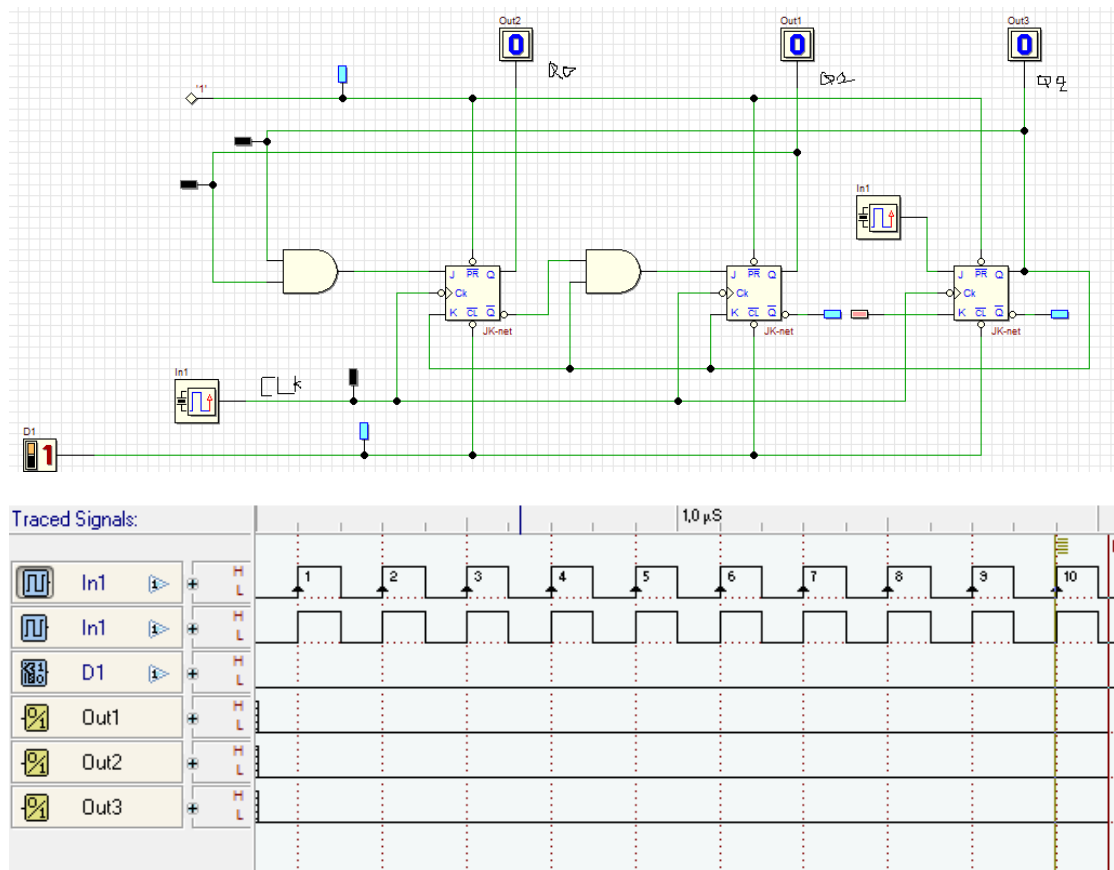
Για τον πίνακα 6.2(ν) έχουμε τον πίνακα Karnaugh και τη λογική έκφραση για την είσοδο K2 του J-K flip-flop.

Πίνακας 6.2(ν): Πίνακας Karnaugh εισόδου K2 του J-K flip-flop.

Q2\Q1*Q0	00	01	11	10
0	X	X	X	X
1	0	1	1	0

Λογική έκφραση: $K2=Q0$

Με βάση τις προηγούμενες υλοποιήσεις Karnaugh, πινάκων καταστάσεων και διαγραμμάτων καταστάσεων, έχουμε το παρακάτω κύκλωμα του J-K flip-flop στην παρακάτω εικόνα 6.2(δ), μέσω του προσομοιωτή Deeds.



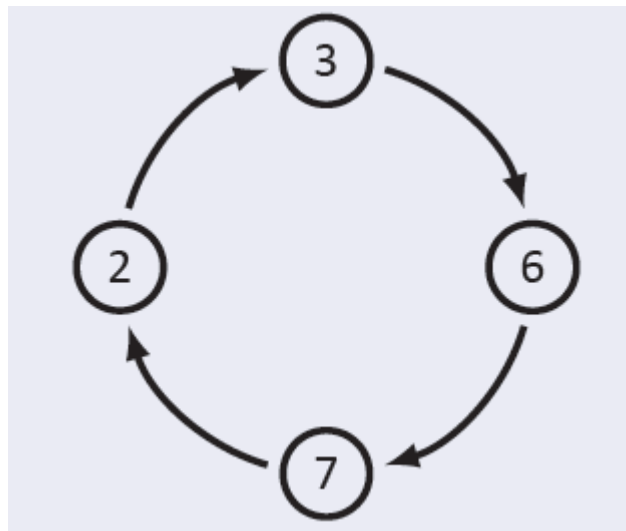
Εικόνα 6.2(δ): Κύκλωμα J-K flip-flop και το αποτέλεσμα του.

ΕΠΕΞΗΓΗΣΗ:

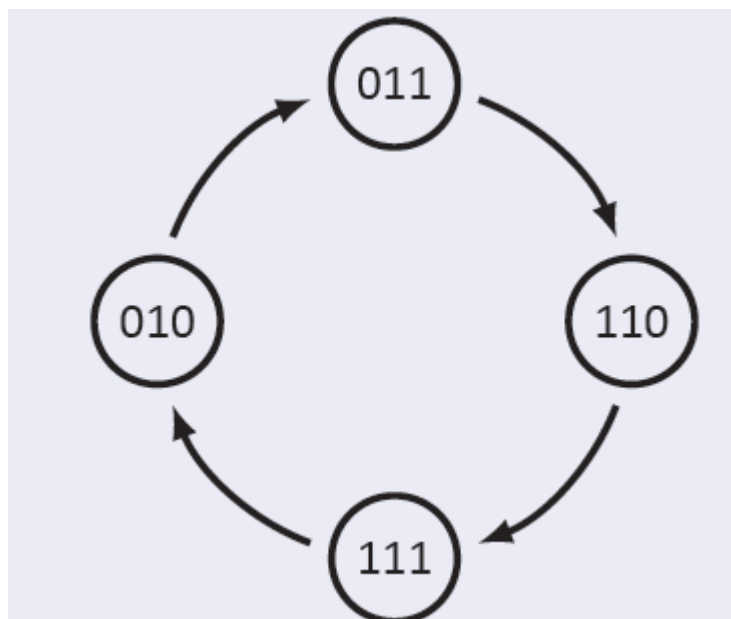
Στο παραπάνω κύκλωμα, στην εικόνα 6.2(δ), έχουμε το κύκλωμα του J-K flip-flop με μηχανή καταστάσεων. Για αρχή χρησιμοποιήσαμε 3 J-K flip-flops, και δύο πύλες AND οι οποίες ενώθηκαν στις εξόδους των J-K flip-flops (Q, Q'). Έπειτα χρησιμοποιήσαμε για είσοδο δύο clock Generator, το οποίο τοποθετήθηκε στην είσοδο του J, του τρίτου flip-flop στη σειρά και το άλλο στο CK, και 3 Output(one bit), το οποίο τοποθετήθηκαν στην έξοδο του Q1, Q2 και Q3 αντίστοιχα. Τέλος το αποτέλεσμα της εισόδου, παρουσιάζει θετικούς και αρνητικούς παλμούς και συνεχές σήμα, ενώ το αποτέλεσμα της εξόδου, παρουσιάζει σταθερά συνεχές σήμα.

Γ) Σχεδίαση και υλοποίηση κυκλωμάτων για μηχανές καταστάσεων με T flip-flop

Στην παρακάτω εικόνα 6.2(ε) βλέπουμε ένα ακόλουθο διάγραμμα σε τύπου T flip-flop, το οποίο θα υλοποιηθεί σε δυαδική μορφή σύμφωνα με την παρακάτω εικόνα 6.2(στ).



Εικόνα 6.2(ε): Ακόλουθο διάγραμμα τύπου T flip-flop.

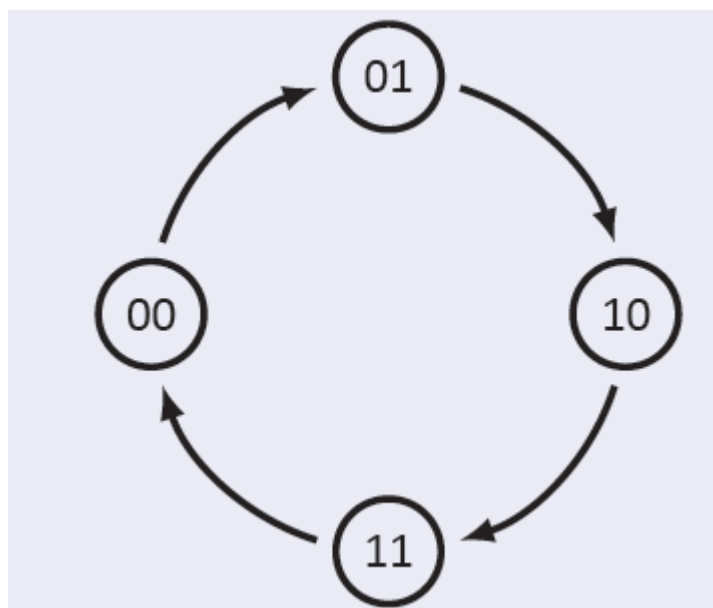


Εικόνα 6.2(στ): Ακόλουθο διάγραμμα του T flip-flop σε δυαδική μορφή.

Επομένως παρατηρούμε ότι:

- Η κάθε κατάσταση του T flip-flop, αντιστοιχεί σε έναν τριψηφίο δυαδικό αριθμό.
- Το δεύτερο ψηφίο των κάθε αριθμών, που περιγράφουν τη μηχανή καταστάσεων, παραμένει σταθερό αυτή τη φορά.
- Για αποθήκευση ενός ψηφίου, θα χρησιμοποιήσουμε ένα T flip-flop, αλλά στο κύκλωμα θα χρησιμοποιήσουμε 2 T flip-flops για να γίνει η βέλτιστη σχεδίαση και υλοποίηση.

Επίσης στην παρακάτω εικόνα 6.2(ζ), στο διάγραμμα, έχουμε αγνοήσει το δεύτερο ψηφίο.



Εικόνα 6.2(ζ): Διάγραμμα αγνόησης δεύτερου ψηφίου.

Σε συνδυασμό με το προηγούμενο διάγραμμα καταστάσεων, στον παρακάτω πίνακα 6.2(ο), έχουμε τον αντίστοιχο πίνακα καταστάσεων για το T flip-flop.

Πίνακας 6.2(ο): Πίνακας καταστάσεων του T flip-flop.

ΤΡΕΧΟΥΣΑ	ΤΡΕΧΟΥΣΑ	ΕΠΟΜΕΝΗ	ΕΠΟΜΕΝΗ
Q0	Q1	Q0	Q1
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

Με βάση τον παραπάνω πίνακα καταστάσεων του T flip-flop, θα προσθέσουμε και τις δύο εισόδους του, έχοντας στο μυαλό μας τον πίνακα διέγερσής του, σύμφωνα με τον παρακάτω πίνακα 6.2(π).

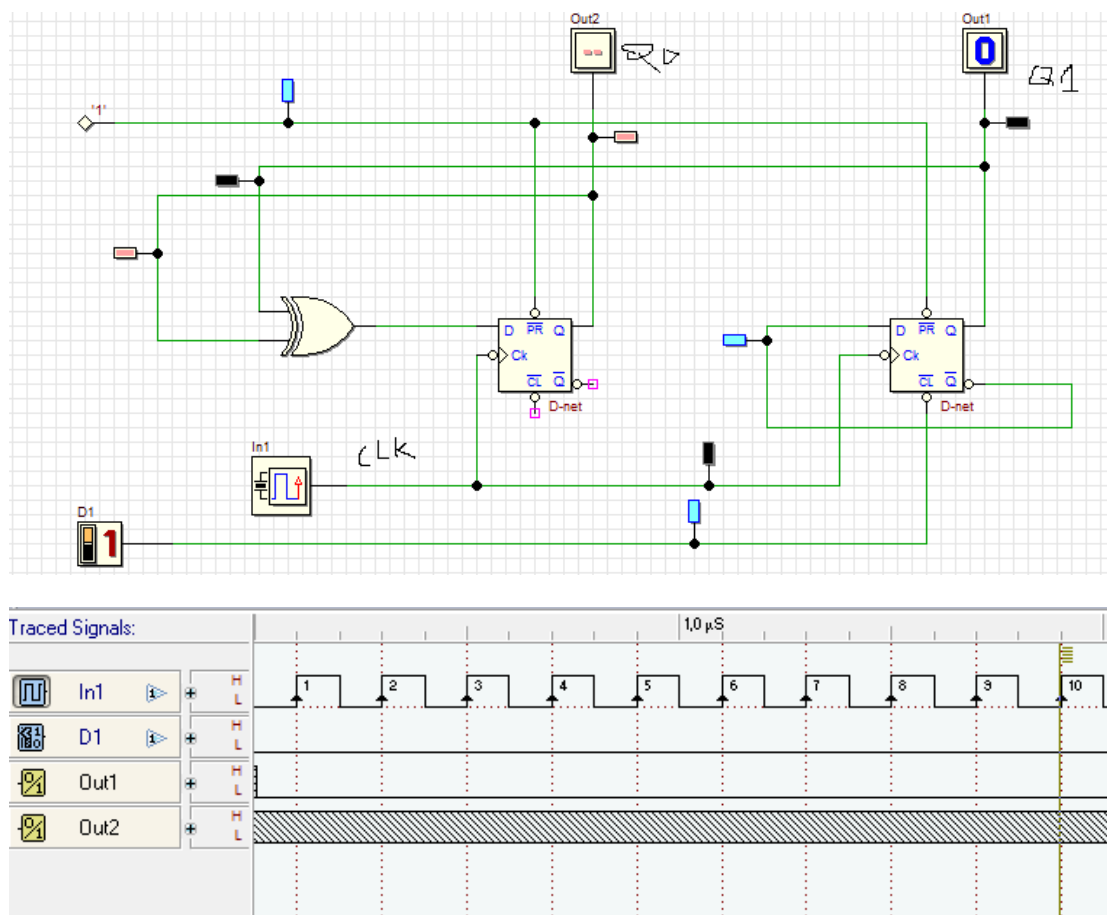
Πίνακας 6.2(π): Πίνακας καταστάσεων του T flip-flop με τις δύο εισόδους του.

ΤΡΕΧΟΥΣΑ	ΤΡΕΧΟΥΣΑ	ΕΠΟΜΕΝΗ	ΕΠΟΜΕΝΗ	ΕΙΣΟΔΟΙ FF	ΕΙΣΟΔΟΙ FF
Q0	Q1	Q0	Q1	T0	T1
0	0	0	1	0	1
0	1	1	0	1	0
1	0	1	1	1	1
1	1	0	0	0	0

Επίσης θα μπορούσαμε να βρούμε τις λογικές εκφράσεις με πίνακες Karnaugh, αν και ξέρουμε ότι το T flip-flop κάνει την ίδια ακριβώς δουλειά με το D flip-flop στο κομμάτι που αφορά τις μηχανές καταστάσεων. Οπότε ξέρουμε ότι η λογική έκφραση του T flip-flop είναι οι εξής:

- $T0=Q0'$
- $T1=Q0*Q1$

Τέλος στη παρακάτω εικόνα 6.2(η), έχουμε το ακόλουθο κύκλωμα του T flip-flop με τις δύο εισόδους του, σε συνδυασμό με D flip-flop, μέσω του προσομοιωτή Deeds.



Εικόνα 6.2(η): Ακολουθιακό κύκλωμα του T flip-flop σε συνδυασμό με D flip-flop και το αποτέλεσμα του.

ΕΠΕΞΗΓΗΣΗ:

Στο παραπάνω κύκλωμα, στην εικόνα 6.2(η), έχουμε το κύκλωμα του T flip-flop σε συνδυασμό με D flip-flop. Για αρχή χρησιμοποιήσαμε δύο D flip-flop, και μία πύλη X-OR δύο εισόδων, κατά την οποία η έξοδό της, συνδέεται στην είσοδο του πρώτου D flip-flop, και έξοδοί της συνδέεται στις εξόδους Q0 και Q1 του πρώτου και του δεύτερου D flip-flop αντίστοιχα. Μετά, χρησιμοποιήσαμε ως είσοδο, ένα clock Generator, το οποίο συνδέθηκε ως είσοδος στο CLK των D flip-flops, κι έναν διακόπτη στα clears. Έπειτα χρησιμοποιήσαμε για έξοδο, δύο Output (one bit), το οποίο τοποθετήθηκε στην έξοδο του Q0 και Q1 του δεύτερου flip-flop στη σειρά. Τέλος το αποτέλεσμα της εισόδου, παρουσιάζει θετικούς και

αρνητικούς παλμούς σε συνεχές σήμα, ενώ το αποτέλεσμα της εξόδου σταθερά στο συνεχές σήμα.

ΒΙΒΛΙΟΓΡΑΦΙΑ

1. Roger L. Tokheim (1999). *ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ*. Θεσσαλονίκη: Εκδόσεις Τζιόλα.
2. Malvino A., Albert Paul (2016). *ΗΛΕΚΤΡΟΝΙΚΗ*. Θεσσαλονίκη: Εκδόσεις Τζιόλα.
3. Malvino A., Leach D. (2006). *ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ*. Θεσσαλονίκη: Εκδόσεις Τζιόλα.
4. Γιάννης Χαριτάντης (2007). *ΗΛΕΚΤΡΟΝΙΚΑ Ι*. Πανεπιστημιακές εκδόσεις Αράκυνθος.
5. C. L. Liu (1999). *ΣΤΟΙΧΕΙΑ ΔΙΑΚΡΙΤΩΝ ΜΑΘΗΜΑΤΙΚΩΝ*. Πανεπιστημιακές εκδόσεις Κρήτης.

ΠΗΓΕΣ ΒΙΒΛΙΟΓΡΑΦΙΑΣ

1.1 Οι φωτογραφίες της πτυχιακής βρίσκονται στο <www.google.gr> Φωτογραφίες.

1.2 Roger L. Tokheim. "Ψηφιακά ηλεκτρονικά: Αρχές και εφαρμογές". [Σελίδες 11-197], Τζιόλα. Θεσσαλονίκη: 1999

