

ΤΕΧΝΟΛΟΓΙΚΟ  
ΕΚΠΑΙΔΕΥΤΙΚΟ  
Ι Δ Ρ Υ Μ Α



ΠΕΛΟΠΟΝΝΗΣΟΥ

# ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ ΙΔΡΥΜΑ ΠΕΛΟΠΟΝΝΗΣΟΥ

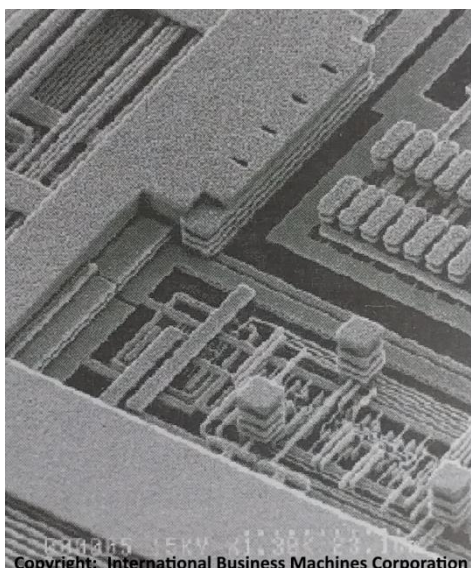
---

ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ  
ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

---

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

## ΜΕΛΕΤΗ ΚΑΙ ΕΦΑΡΜΟΓΕΣ ΝΕΑΣ ΓΕΝΙΑΣ ΤΡΑΝΖΙΣΤΟΡ ΤΥΠΟΥ FINFET



*Του*  
*Λεβόν*  
*Ρεβαζιάν*  
*Levon*  
*Revazian*



Επιβλέπων Καθηγητής:  
Δεληγιαννίδης Σταύρος

ΣΠΑΡΤΗ

-ΝΟΕΜΒΡΙΟΣ 2017-

**ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ ΙΔΡΥΜΑ ΠΕΛΟΠΟΝΝΗΣΟΥ**  
**ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ**  
**ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ**

**ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ**  
**ΜΕΛΕΤΗ ΚΑΙ ΕΦΑΡΜΟΓΕΣ ΝΕΑΣ ΓΕΝΙΑΣ ΤΡΑΝΖΙΣΤΟΡ**  
**ΤΥΠΟΥ FINFET**

**ΟΝΟΜΑΤΕΠΩΝΥΜΟ: ΛΕΒΟΝ ΡΕΒΑΖΙΑΝ – LEVON REVAZIAN**

**A.M.: 2013010**

Επιβλέπων Καθηγητής:

Δεληγιαννίδης Σταύρος

**ΣΠΑΡΤΗ, ΝΟΕΜΒΡΙΟΣ 2017**

***«Θα ήθελα να ευχαριστήσω όλους τους ανθρώπους που μου στάθηκαν, με ενθάρρυναν και με βοήθησαν με οποιονδήποτε τρόπο για να καταφέρω να φτάσω μέχρι εδώ. Αφιερώνω την πτυχιακή μου αυτή στην μητέρα μου Μαρίνα, που με βοήθησε άοκνα οικονομικά όπως και πνευματικά να συνεχίσω τις σπουδές μου μέχρι αυτού του σημείου στην Σπάρτη. Ευχαριστώ ακόμη όλους τους καθηγητές μου, αλλά ιδιαίτερα τον επιβλέπων καθηγητή μου κ. Δεληγιαννίδη για την βοήθεια και την καθοδήγηση που μου παρείχε κατά την εκπόνηση της πτυχιακής μου εργασίας.»***

***Οι μεγαλύτερες δε ευχαριστίες οφείλονται στον αληθινό Θεό που μας έδωσε νοημοσύνη και έχουμε το προνόμιο να ζούμε το μεγαλείο της δημιουργίας του, εξερευνώντας και διευρύνοντας τις γνώσεις μας για τον κόσμο και το άγνωστο, πράγμα που δεν έχει τελειωμό, καθώς και το γεγονός πως δεν εγκαταλείπει ποτέ τους οσίους του.»***

## ΠΕΡΙΛΗΨΗ

Η παρούσα πτυχιακή εργασία με τίτλο μελέτη και εφαρμογές νέας γενιάς τρανζίστορ τύπου FinFet εκπονήθηκε από τον Λεβόν Ρεβαζιάν, φοιτητή στην διάρκεια του η' εξαμήνου του Τμήματος Μηχανικών Πληροφορικής του ΤΕΙ Πελοποννήσου υπό την επίβλεψη του κ. Σταύρου Δεληγιαννίδη και ολοκληρώθηκε τον Νοέμβριο του 2017.

Σε αυτή την εργασία αναλύονται: οι περιστάσεις που μας οδήγησαν στο σημείο να σχεδιάσουμε ένα τρανζίστορ αυτού του τύπου, η λειτουργία του, οι επεκτάσεις του που υποστηρίζονται στις θεμελιώδεις λειτουργίες ενός υπολογιστικού συστήματος, οι δοκιμασίες που προέκυψαν, καθώς και η κατανάλωση ενέργειας που στόχος είναι να φτάσει σε όσο το δυνατόν πιο αποτελεσματικά επίπεδα.

Επιπρόσθετα αναλύονται βασικά φαινόμενα που στέκονται εμπόδιο στην συνεχόμενη σμίκρυνση των τρανζίστορ. Συγκεκριμένα η τεχνολογία FinFET αν και λύνει μέρος των προβλημάτων, λόγω της συνεχόμενης συρρίκνωσης των τρανζίστορ, διάφορα φαινόμενα, όπως η βραχυκύκλωση καναλιών και ως αποτέλεσμα αναπόφευκτες διαρροές ρεύματος και η αυτό-θέρμανση, δεν εξαλείφονται. Κάποια άλλα φαινόμενα όπως τα φαινόμενα βραχυκύκλωσης λόγω κβαντικών φαινομένων προκαλούν ανησυχία. Ακόμη αναφέρονται διάφορες λύσεις που εφαρμόζονται τα τελευταία χρόνια και ομαλοποιούν όσο το δυνατόν καλύτερα τα προβλήματα αυτά. Βεβαίως έχει επιτύχει πολλά καινοτόμα πράγματα χάρη στις κατάλληλες προσαρμογές όπως η εξοικονόμηση ενέργειας στην λειτουργία του, πιο αποδοτική αποθήκευση και προσπέλαση δεδομένων και περισσότερη επεξεργαστική ισχύς σε μικρότερο μέγεθος από ότι ήδη υπάρχει. Σκοπός της εργασίας αυτής είναι να αναλυθούν αυτές οι παράμετροι.

## ABSTRACT

This thesis titled new generation FinFet type transistors -study and applications, was developed by Levon Revazian, a student during the 8th semester of the Computer Science Department of Educational and Technological Institute of Peloponnese under the supervision of Mr. Stavros Deligiannidis and completed in November 2017.

In this paper I will analyze: the circumstances that led us to design a transistor of this type, its function, the extensions of it that are improving the basic functions of a computational system, the challenges that have arisen, as well as the energy consumption which goal is to reach as much possible the most effective levels.

In addition, basic phenomena that are an obstacle to the continuous size reduction of the transistors are analyzed. In particular, FinFET technology, although that is solving some of the problems due to the continuous shrinkage of the transistors, various phenomena such as short channel effects and as a result unavoidable current leaks and self-heating effects are not fully eliminated. Some other phenomena such as short circuit effects due to quantum tunneling are a major concern. There are also some solutions that have been implemented over the past few years, so these problems are adjusted as better as possible. Of course, it has achieved many innovative things thanks to appropriate adjustments such as its energy saving during its operation, the data storage and access is more efficient and reliable, and also can succeed more processing power at a smaller size than it already exists. The purpose of this work is to analyze these parameters.

## ΔΗΛΩΣΗ ΜΗ ΛΟΓΟΚΛΟΠΗΣ ΚΑΙ ΑΝΑΛΗΨΗΣ ΠΡΟΣΩΠΙΚΗΣ ΕΥΘΥΝΗΣ

"Με πλήρη επίγνωση των συνεπειών του νόμου περί πνευματικών δικαιωμάτων, δηλώνω ενυπογράφως ότι είμαι αποκλειστικός συγγραφέας της παρούσας Πτυχιακής Εργασίας, για την ολοκλήρωση της οποίας κάθε βοήθεια είναι πλήρως αναγνωρισμένη και αναφέρεται λεπτομερώς στην εργασία αυτή. Έχω αναφέρει πλήρως και με σαφείς αναφορές, όλες τις πηγές χρήσης δεδομένων, απόψεων, θέσεων και προτάσεων, ιδεών και λεκτικών αναφορών, είτε κατά κυριολεξία είτε βάση επιστημονικής παράφρασης.

Αναλαμβάνω την προσωπική και ατομική ευθύνη ότι σε περίπτωση αποτυχίας στην υλοποίηση των ανωτέρω δηλωθέντων στοιχείων, είμαι υπόλογος έναντι λογοκλοπής, γεγονός που σημαίνει αποτυχία στην Πτυχιακή μου Εργασία και κατά συνέπεια αποτυχία απόκτησης του Τίτλου Σπουδών, πέραν των λοιπών συνεπειών του νόμου περί πνευματικών δικαιωμάτων.

Δηλώνω, συνεπώς, ότι αυτή η Πτυχιακή Εργασία προετοιμάστηκε και ολοκληρώθηκε από εμένα προσωπικά και αποκλειστικά και ότι, αναλαμβάνω πλήρως όλες τις συνέπειες του νόμου στην περίπτωση κατά την οποία αποδειχθεί, διαχρονικά, ότι η εργασία αυτή ή τμήμα της δε μου ανήκει διότι είναι προϊόν λογοκλοπής άλλης πνευματικής ιδιοκτησίας."

Όνομα και Επώνυμο Συγγραφέα (Με Κεφαλαία): **ΛΕΒΟΝ ΡΕΒΑΖΙΑΝ**

Υπογραφή (Ολογράφως, χωρίς μονογραφή): **Λεβόν Ρεβαζιάν**

Ημερομηνία (Ημέρα – Μήνας – Έτος): **Πέμπτη, 16 Νοεμβρίου 2017**

# ΠΡΟΛΟΓΟΣ

---

Η παρούσα πτυχιακή εργασία έχει ως αντικείμενο την παρουσίαση των μελετών που έχουν γίνει όπως και των εφαρμογών που υποστηρίζουν τα τρανζίστορ τύπου FinFet. Μάλιστα χάρη στην αρχιτεκτονική του είναι από τα μόνα τρανζίστορ που μπορούν να λειτουργήσουν επιτυχώς σε τόσο μικρό μέγεθος. Σκοπός της πτυχιακής εργασίας αυτής, είναι ο αναγνώστης να εξοικειωθεί με την τεχνολογία FinFET, τα προβλήματα που αντιμετωπίζει, καθώς ένα τρανζίστορ δεν μπορεί να γίνει μικρότερο από τα άτομα που το αποτελούν, συνεπώς και η παρούσα τεχνολογία έχει κάποια όρια λόγω του ότι έπειτα από ένα σημείο επηρεάζεται σημαντικά από κβαντικά φαινόμενα. Θα γίνει λόγος ακόμη για μερικές λειτουργίες που επιτυγχάνονται χάρη στις τροποποιήσεις της κατασκευής που μπορούν να γίνουν πάνω στα τρανζίστορ αυτά. Ένας επιπρόσθετος σκοπός της εργασίας αυτής είναι να γίνουν αντιληπτές οι μελλοντικές προοπτικές που ανοίγονται, αλλά και τις επεκτάσεις που προσφέρει επί του παρόντος.

Συγκεκριμένα:

Το Κεφάλαιο 1 παρουσιάζει μια εισαγωγή στα τρανζίστορ γενικότερα, περιέχει και μια ιστορική αναδρομή, τους διάφορους τύπους που εφευρίσκονται ανά τα χρόνια, όπως επίσης και τις διάφορες εφαρμογές τους, καθώς πλέον επηρεάζουν σχεδόν σε απόλυτο βαθμό την καθημερινότητα μας.

Στο Κεφάλαιο 2 αναφέρεται ο τρόπος λειτουργίας των τρανζίστορ, τα βασικά στοιχεία αυτών, η μέθοδος κατασκευής των FinFET, όπως και ο τρόπος σχεδίασης τους. Γενικότερα το μεγαλύτερο φάσμα λειτουργιών που μπορούν να γίνουν μέσω της τεχνολογίας των FinFET.

Στο Κεφάλαιο 3 γίνεται λόγος για τις μελέτες και τις εφαρμογές των φαινομένων υπερθέρμανσης, καθώς επειδή διαρρέεται συνεχώς από ηλεκτρικά φορτία το κανάλι μπορεί να παραμορφωθεί σε σημείο να μην λειτουργεί όπως σχεδιάστηκε. Στην περίπτωση αυτή μελετώνται τα φαινόμενα αυτά προσεκτικά όπως και οι επιπτώσεις τους και προτείνονται κάποιες μέθοδοι αποφυγής αυτών των φαινομένων όσο το δυνατόν πιο αποτελεσματικά.

Το Κεφάλαιο 4 ασχολείται με την μελέτη και τις εφαρμογές των FinFET στον χώρο της αποθήκευσης. Συγκεκριμένα ο στόχος είναι οι διεργασίες να ολοκληρώνονται χωρίς να χρειάζεται πολύ ρεύμα, άλλα αντιθέτως όσο το δυνατόν λιγότερο, ενώ παράλληλα αυτό να μην στέκεται εμπόδιο στην επίτευξη υψηλών αποδόσεων. Επίσης παρουσιάζονται και κάποιες μέθοδοι που χρησιμοποιούνται για την επίτευξη αυτού του στόχου.

Το Κεφάλαιο 5 αναλύει κυρίως τα κβαντομηχανικά φαινόμενα που δημιουργούνται καθώς μικραίνει ολοένα και περισσότερο το FinFET φτάνοντας σε σχεδόν ατομική κλίμακα στην οποία κυριαρχούν τα φαινόμενα αυτά, επηρεάζοντας ριζικά την ομαλή λειτουργία των τρανζίστορ, επίσης γίνεται λόγος για τις δυνατότητες επέκτασης που μπορεί να έχουν.

Στο Κεφάλαιο 6 συνοψίζονται τα συμπεράσματα που εκλύθηκαν από την εργασία αυτή.

# Ακρωνύμια

---

*IC – Integrated Circuit*

*MOS – Metal Oxide Semiconductor*

*FET – Field Effect Transistor*

*Fin-FET – FET με Fin*

*SOI – Silicon on Insulator*

*CMOS – Complementary Metal-Oxide-Semiconductor*

*DELTA – fully Depleted Lean-channel TrAnsistor*

*CHC – Channel Hot Carrier*

*HCE – Hot Carrier Effect*

*EES – Electrical Electron Scattering*

*TCAD – Technology Computer Aided Design*

*PBTI – Positive Bias Temperature Instability*

*TDDDB – Time-Dependent Dielectric Breakdown*

*SHE – Self-Heating Effects*

*EOT – Electrical Oxide Thickness*

*SILC – Stress-Induced Leakage Current*

*SNM - Static Noise Margins*

*CET – Cutting Edge Technology*

*NEGF – Non-Equilibrium Green's Function*

*SCE – Short Channel Effects*

*STEM – Scanning Transmission Electron Microscope*

*RVT – Reliability Verification Test*

*ICP – Inductively Coupled Plasma*

*SoC – System on a Chip*

*DIBL – Drain Induced Barrier Lowering*

*CMP – Chemical-Mechanical-Polishing*

*SEM – Scanning Electron Microscope*

*NSG – Non-doped Silicate Glass*

*QM – Quantum Mechanical*

*EB – Electric Beam*

*QME – Quantum Mechanical Effects*

*RIE – Reactive Ion Etching*

*2D – Two-Dimensional*

# ΠΕΡΙΕΧΟΜΕΝΑ

---

<b>Κεφάλαιο 1 – Εισαγωγή.....</b>	<b>9</b>
1.1 – Σύντομη Ιστορική Αναδρομή της τεχνολογίας τρανζίστορ.....	9
1.2 – Ιστορική Αναδρομή Τρανζίστορ τύπου Fin-Fet.....	14
<b>Κεφάλαιο 2 – Υλοποίηση των τρανζίστορ.....</b>	<b>17</b>
2.1 – Η Μέθοδος Κατασκευής των Τρανζίστορ Πυριτίου τύπου FinFET.....	17
2.2 – Επίτευξη Βασικών Λειτουργιών με Τρανζίστορ.....	24
2.3 – Η Μέθοδος Λειτουργίας των Τρανζίστορ FinFET.....	27
2.4 – Σχεδίαση Διατάξεων Τρανζίστορ τύπου FinFET.....	32
<b>Κεφάλαιο 3 – Μελέτη &amp; Εφαρμογές Φαινομένων Υπερθέρμανσης Τρανζίστορ FinFET.....</b>	<b>36</b>
3.1 – Μοντελοποίηση του φαινομένου του Θερμού Φορέα – Hot Carrier.....	37
3.2 – Μελέτη Λειτουργίας Τρανζίστορ FinFET λόγω παραχθέντων θερμοκρασιών.....	38
3.3 – Το φαινόμενο της Αυτό-θέρμανσης.....	44
3.4 – Διηλεκτρικά Υψηλού-k.....	47
<b>Κεφάλαιο 4 – Μελέτη &amp; Εφαρμογές Τρανζίστορ τύπου FinFET στον χώρο της αποθήκευσης.....</b>	<b>49</b>
4.1 – Αρχές Σχεδίασης SRAM Χαμηλής-Τάσης , Υψηλής απόδοσης.....	50
4.2 – Ανεξάρτητα FinFET με διπλές πύλες για κελιά SRAM Δραστικού Περιορισμού Διαρροών Ρεύματος.....	53
<b>Κεφάλαιο 5 – Το κβαντικό FinFET.....</b>	<b>61</b>
5.1 – Προσομοίωση της Κβαντικής Μεταφοράς στα FinFET.....	61
5.2 – Μοντελοποίηση Δυναμικού Κβαντικής Μηχανικής στα FinFET.....	63
5.3 – Μοντελοποίηση Κβαντικών Φαινομένων στα FinFET.....	70
<b>Κεφάλαιο 6 – Συμπεράσματα.....</b>	<b>71</b>



# Κεφάλαιο 1 – ΕΙΣΑΓΩΓΗ

---

Η ανακάλυψη του τρανζίστορ ήταν ένα ορόσημο στην ιστορία της ανθρωπότητας καθώς άλλαξε τελείως τον τρόπο της επικοινωνίας διευκολύνοντας και επιταχύνοντας δραστικά τους ρυθμούς ανταλλαγής πληροφοριών. Κάτι τέτοιο οδήγησε σε μια ριζική αλλαγή των αλληλεπιδράσεων μας σε παγκόσμιο επίπεδο. Παρ' όλα αυτά ο κλάδος της επιστήμης που ασχολείται με την τεχνολογία αυτή είναι κάθε άλλο παρά κορεσμένος. Έχουν πραγματοποιηθεί πολλές μελέτες και στο διάβα των ετών έχουν εφαρμοστεί επιτυχώς αρκετές ιδέες που χάρη σε αυτές βιώνουμε την αλματώδη ανάπτυξη της σημερινής τεχνολογίας. Στην συγκεκριμένη εργασία η τεχνολογία που θα παρουσιαστεί είναι αρκετά επίκαιρη καθώς χρησιμοποιείται ολοένα και περισσότερο στις σύγχρονες βιομηχανίες παραγωγής ολοκληρωμένων κυκλωμάτων. Το έναυσμα για να δημιουργήσουν το πρώτο τρανζίστορ ήταν η αυτοματοποίηση των διαδικασιών, ώστε να μην χρειάζεται να ασχολείται το ανθρώπινο δυναμικό με κάθε τετριμμένη εργασία, χάνοντας πολύτιμο χρόνο και καθυστερώντας τα σημαντικότερα έργα. Αντ' αυτού να επικεντρώνεται σε πιο ουσιαστικές εργασίες ενώ παράλληλα θα υπήρχε αυτόματη υποβοήθηση για να βγει εις πέρας κάποιος διορισμός, πιο γρήγορα και οικονομικά. Χάρη σε αυτή την ιδέα, σήμερα έχουμε λύσει πολλά προβλήματα ικανοποιώντας αρκετές από τις ανάγκες μας. Για παράδειγμα έχουμε εμπλουτίσει τις γνώσεις μας σχετικά με το σύμπαν που μας περιβάλλει, όπως και με τον ίδιο τον πλανήτη μας, κατανοώντας πιο ξεκάθαρα πως λειτουργούν. Πράγμα που διαφορετικά θα χρειαζόνταν αιώνες να εξιχνιαστούν όλα αυτά. Είναι γεγονός ότι παραμένουν πάρα πολλά από τα σημαντικότερα ερωτήματα της ζωής αναπάντητα, ένα μέρος αυτών όμως έχουν ικανοποιηθεί με αδιάσειστες αποδείξεις.

Ας δούμε παρακάτω, με περισσότερες τεχνικές λεπτομέρειες, την ιστορία και τις διάφορες τεχνολογικές λύσεις που εφαρμόστηκαν ανά τις δεκαετίες, όπως και τα διάφορα προβλήματα που ξεπεράστηκαν, ώστε να επιτευχθεί η ανάπτυξη να λαβαίνει τόπο με αυξανόμενους ρυθμούς όπως τους βιώνουμε.

## 1.1 – Σύντομη Ιστορική Αναδρομή της τεχνολογίας των τρανζίστορ

Από το 1895 κιόλας υπήρχε ήδη δίκτυο επικοινωνιών όταν ο Marconi έστειλε επιτυχώς ένα ραδιοφωνικό σήμα με μεγάλη ισχύ, σε απόσταση περίπου 2 χιλιομέτρων, όμως υπήρχαν σοβαρές αποσβέσεις λόγω απόστασης και διάφορων εμποδίων, συνεπώς ήταν αναγκαίο να υπάρχει κάποιου είδους ενίσχυση του σήματος, ώστε να φτάνει πιο μακριά. Η αρχική λύση ήρθε από τον Άγγλο φυσικό John Ambrose Fleming ο οποίος εφεύρε την λυχνία ανόρθωσης κενού που είχε δύο ηλεκτρόδια (ανόδου και καθόδου - δίοδος) και συνδέονταν στο ραδιοφωνικό σύστημα λήψης. Έπειτα προστέθηκε και ένα επιπλέον ηλεκτρόδιο (τρίοδος) από τον Lee DeForest το οποίο βρισκόταν στην κάθοδο της διόδου και τροφοδοτούταν με αρνητικό πρόσημο έτσι ώστε να επιτευχθεί ο έλεγχος της ροής των ηλεκτρονίων από την κάθοδο στην άνοδο, με αυτό τον τρόπο αυτή η λυχνία τριόδου παρήγαγε ενισχυμένο ρεύμα.

Αυτή η τεχνολογία κατέστησε εφικτό να παραχθεί καλύτερο ραδιόφωνο, τηλεφωνικός εξοπλισμός, τηλεοράσεις και υπολογιστές. Όμως δεν ήταν και όλα τέλεια. Οι λυχνίες κενού καταλάωναν πολύ ρεύμα, έκλυαν αρκετή θερμότητα, καταλάμβαναν πολύ χώρο, η κατασκευή τους ήταν δαπανηρή και όταν καίγονταν έπρεπε να αντικατασταθούν. (Ο υπολογιστής ENIAC του Πανεπιστημίου της Πελοποννησιακής που χρησιμοποιούσε τέτοια τεχνολογία αποτελούνταν από χιλιάδες λυχνίες, καταλάμβανε αρκετές μεγάλες αίθουσες και κατανάλωνε ρεύμα ανάλογο με τις ανάγκες δέκα νοικοκυριών)

Τα αρχικά βήματα που έλαβαν χώρα για να έρθει το τρανζίστορ, ξεκίνησαν στις 22 Οκτωβρίου του 1925, δηλαδή πριν από 90 και πλέον χρόνια, όταν κατοχυρώθηκαν οι πρώτες πατέντες που σχετίζονταν με τις αρχές της τεχνολογίας FET από τον Γιούλιους Έντγκαρ Λιλινφελντ (Julius Edgar Lilienfeld) στην Γερμανία, όμως αγνοήθηκαν από την βιομηχανία επειδή ήταν ανεπτυγμένες μόνο σε θεωρητικό επίπεδο.

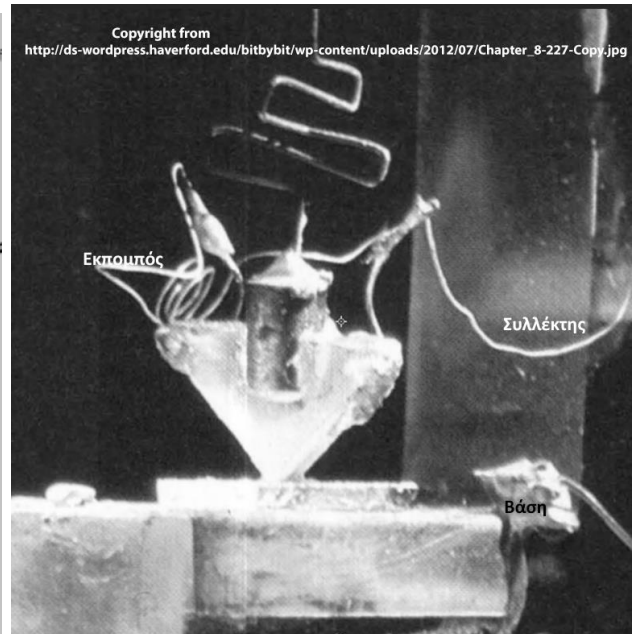
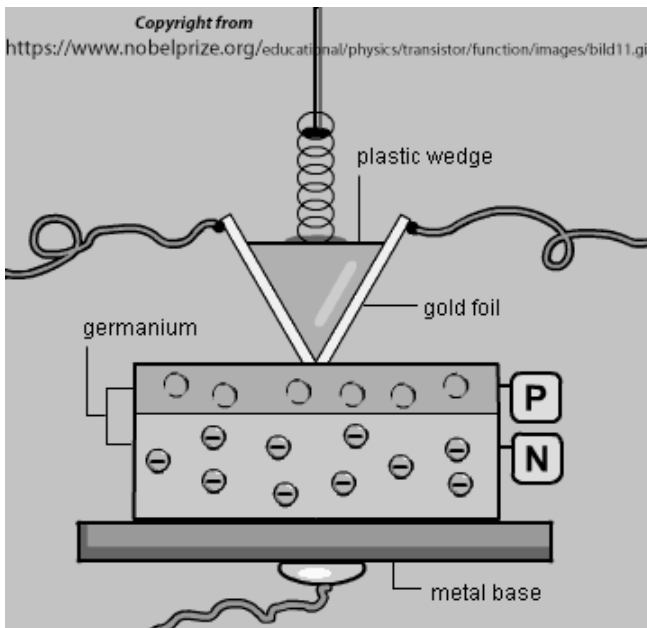
Αργότερα το 1934 ο Γερμανός φυσικός Όσκαρ Χάιλ (Oskar Heil) κατοχύρωσε την ευρεσιτεχνία για το τρανζίστορ επίδρασης πεδίου το FET όπως το ξέρουμε μέχρι σήμερα.

Κατά την διάρκεια του πολέμου η εταιρία Bell Labs έτεινε να επιτύχει να παράγει κρυστάλλους γερμανίου όσο το δυνατόν υψηλότερης καθαρότητας, ώστε να χρησιμοποιηθούν στα ραντάρ με σκοπό να ανιχνεύονται μικροκύματα τα οποία είναι υψηλής συχνότητας και οι λυχνίες κενού δεν κατάφερναν να τα ανιχνεύσουν λόγω του ότι δεν μπορούσαν να συντονιστούν στις γρήγορες εναλλαγές της συχνότητας των μικροκυμάτων. Την έρευνα αυτή την άρχισε και το Πανεπιστήμιο Purdue το οποίο και κατάφερε να παρασκευάσει καλής ποιότητας κρυστάλλους γερμανίου οι οποίοι έπειτα χρησιμοποιήθηκαν από την Bell Labs. Έτσι λοιπόν κατασκευάστηκαν οι δίοδοι στερεής κατάστασης.

Με τις γνώσεις που αποκόμισαν από τις δίοδους στερεής κατάστασης, ο John Bardeen, ο William Shockley, και ο Walter Brattain προσπάθησαν να κατασκευάσουν τρίοδο, όμως αυτό αποδείχθηκε πολύ δύσκολο. Το πρόβλημα ήταν ότι δεν κατανοούνταν ακριβώς η κινητικότητα των ηλεκτρονίων. Μάλιστα ο John Bardeen ανέπτυξε έναν καινούργιο κλάδο της κβαντικής φυσικής γνωστό και ως φυσική των επιφανειών για να εξηγήσει τα περίεργα φαινόμενα που δημιουργούνταν στα πειράματά τους. Επειδή μερικές φορές ενώ όλα τα συστήματα λειτουργούσαν κανονικά ξαφνικά δεν δούλευε τίποτα. Τελικά έπειτα από διάφορους πειραματισμούς κατέληξαν στα συμπεράσμα ότι δεν χρειαζόταν πολύ ρεύμα για να λειτουργήσει η τρίοδος, ακόμη έπρεπε να υπάρχει μικρή επιφάνεια και ορισμένη κλίση μεταξύ της εισόδου των ηλεκτρονίων και της εξόδου (το σχήμα ήταν τρίγωνο), καθώς όταν βρίσκονταν αρκετά κοντά, επιτυγχανόταν η αγωγιμότητα των ηλεκτρονίων.

Έπειτα από αρκετές έρευνες, τελικά τον Δεκέμβρη του 1947 χρησιμοποιώντας φύλλο χρυσού στις άκρες μιας πλαστικής επιφάνειας το οποίο κόψανε με ξυράφι στην άκρη του τριγώνου (ώστε να χωριστεί η είσοδος από την έξοδο) όταν δινόταν τάση στο κρύσταλλο γερμανίου παρατηρούνταν ροή ηλεκτρονίων, αντιθέτως δεν υπήρχε ροή ήταν ανοιχτό το κύκλωμα ανάμεσα στην είσοδο και στην έξοδο. Έτσι με 1,3 volts στην είσοδο κατάφεραν να παραχθούν μέχρι και 15 volts στην έξοδο, γινόταν περίπου 15 φορές μεγαλύτερη ενίσχυση των ηλεκτρικών σημάτων επί της ζητούμενης συχνότητας. Αυτή η εφεύρεση ονομάστηκε τρανζίστορ, που βγαίνει από την λέξη αντίσταση (resistor). Επειδή ένα ημιαγωγό στοιχείο (γερμάνιο) ενισχύει τα ηλεκτρικά σήματα, που μεταφέρονται μέσα από αυτό, δηλαδή από την είσοδο των σημάτων στην έξοδο. Το τρανζίστορ έχει 3 επαφές μια για την είσοδο των σημάτων που ονομάζεται συλλέκτης, μια για την έξοδο των σημάτων που ονομάζεται εκπομπός και μια για τον έλεγχο της ροής των ηλεκτρονίων που ονομάζεται βάση. Το 1956 οι επιστήμονες John Bardeen, William Shockley και Walter Brattain κέρδισαν το Nobel Φυσικής για την εφεύρεση του τρανζίστορ.

Συνεπώς τα τρανζίστορ μπορούν να θεωρηθούν ηλεκτρικά ελεγχόμενοι διακόπτες, με έναν ακροδέκτη ελέγχου (βάση) και δύο άλλους ακροδέκτες (εκπομπός και συλλέκτης), οι οποίοι είναι συνδεδεμένοι ή αποσυνδεδεμένοι αναλόγως την τάση ή το ρεύμα που εφαρμόζεται στον ακροδέκτη ελέγχου (βάση).



Σχήμα 1.1 – Το πρώτο τρανζίστορ. Αριστερά είναι η σχηματική του μορφή, ενώ δεξιά η πραγματική του μορφή. Στις δύο πλευρές του τριγώνου είναι το φύλλο χρυσού με μια μικρή εγκοπή στην μύτη του τριγώνου που ακουμπά πάνω στο κρύσταλλο γερμανίου το οποίο είναι η βάση και ελέγχει την ροή του ρεύματος, ενώ από την μία πλευρά είναι ο ακροδέκτης του εκπομπού και από την άλλη του συλλέκτη. Το ελατήριο από πάνω είναι απλώς για να κρατάει σταθερό πάνω στην βάση το τριγωνικό πλαστικό κομμάτι.

Αυτή η τόσο σημαντική ανακάλυψη ήταν επανάσταση στην παγκόσμια κοινωνία, καθώς άνοιξε τις προοπτικές για περαιτέρω ανάπτυξη της τεχνολογίας. Στα χρόνια που ακολούθησαν δημιουργήθηκαν καινούργιες βιομηχανίες και μπήκαμε στην εποχή της πληροφορίας. Το 1953 το τρανζίστορ χρησιμοποιούταν στην τηλεφωνία και στα ακουστικά βαρηκοΐας, όμως είχαν αδύνατα σημεία λόγω των ευαίσθητων καλωδίων και ήταν επιρρεπή στην υγρασία.

Το 1950 ο Shokley ανέπτυξε το διπολικό τρανζίστορ, που είχε διαφορετική κατασκευή από το αρχικό τρανζίστορ και στηριζόταν σε άλλες αρχές λειτουργίας. Το πρώτα φορητά ραδιόφωνα που κυκλοφόρησαν το 1954 φτιάχνονταν με τέτοιου είδους τεχνολογίας τρανζίστορ.

Εκείνη την περίοδο γίνονταν πειράματα και με διαφορετικά κρύσταλλα όπως του πυριτίου. Συγκεκριμένα στις 26 Ιανουαρίου του 1954 κατασκεύασε ένα τρανζίστορ από πυρίτιο. Όμως εκείνη την περίοδο αυτή η τεχνολογία θεωρούταν μη πρακτική.

Στα μέσα του 1958 ο Jack Kilby που δούλευε στην Texas Instruments, συνειδητοποίησε ότι θα μπορούσε να σμικρυνθεί ο όγκος των τρανζίστορ εάν κατασκευάζονταν όλα μαζί πάνω σε ένα κομμάτι πυριτίου. Έτσι έφτιαξε το πρώτο γνωστό ολοκληρωμένο κύκλωμα. Όμως λόγω του ότι η τεχνολογία είχε φτάσει μέχρι το διπολικό τρανζίστορ, υπήρχε το μειονέκτημα πως ακόμα και όταν δεν δούλευε το τρανζίστορ και ήταν σε ηρεμία, υπήρχε ζήτηση συνεχόμενης τάσης, πράγμα που σήμαινε ότι δεν μπορούσαν να ολοκληρωθούν πολλά τρανζίστορ σε μια ψηφίδα πυριτίου.

Την δεκαετία του 1960 ξεκίνησε η τεχνολογική αυτή επανάσταση να παίρνει μεγαλύτερες διαστάσεις και να γίνεται πιο ξεκάθαρος ο δρόμος προς την ανάπτυξη. Κατ' αρχάς μπήκαν στην παραγωγή τα τρανζίστορ επίδρασης πεδίου μετάλλου-οξειδίου-ημιαγωγού (Metal-Oxide-Semiconductor FET ή αλλιώς MOSFET).

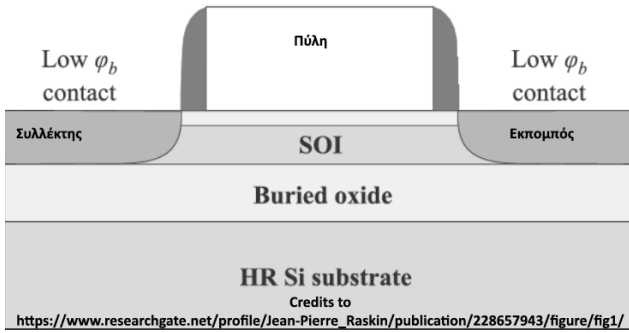
Τα MOSFET έχουν το πλεονέκτημα ότι λειτουργούν με σχεδόν μηδενικό ρεύμα όταν είναι σε κατάσταση ηρεμίας. Μάλιστα υπάρχουν δύο ειδών MOS, το nMOS που είναι φτιαγμένο με πυρίτιο n-τύπου δηλαδή λειτουργεί όταν υπάρχει κινητικότητα στα ηλεκτρόνια και το pMOS που είναι φτιαγμένο με πυρίτιο p-τύπου και αντίστοιχα λειτουργεί όταν υπάρχει κινητικότητα στις οπές (θετικά φορτισμένα σωματίδια). Το πυρίτιο από μόνο του έχει 4 ηλεκτρόνια στην εξωτερική του στοιβάδα, συνεπώς για να επιτευχθεί ένα nMOS προστίθεται ένα επιπλέον ηλεκτρόνιο ώστε να γίνει αρνητικά φορτισμένο, αυτό επιτυγχάνεται όταν αναμιγνύεται (ντοπάρεται) η δομή του πυριτίου με ένα άλλο στοιχείο που έχει στην εξωτερική του στοιβάδα πάνω από 4 ηλεκτρόνια. Αντίστοιχα το ίδιο ισχύει και για το pMOS προστίθεται (ντοπάρεται) στην δομή του ένα άλλο στοιχείο που έχει λιγότερα από 4 ηλεκτρόνια ώστε να δημιουργηθούν αντί για επιπλέον ηλεκτρόνια, οπές (έλλειψη ηλεκτρονίων). Όμως λόγω προβλημάτων με τα υλικά κατασκευής αυτές οι πρώτες προσπάθειες κατασκευής αξιόπιστων ημιαγωγών δεν καρποφόρησαν.

Το 1963 ο Frank Wanlass που ήταν στην εταιρία Fairchild περιέγραψε τις πρώτες λογικές πύλες με συνδυασμό pMOS και nMOS, επειδή ήταν πια ολοκληρωμένα κυκλώματα ονομάστηκαν συμπληρωματικοί αγωγοί μετάλλου-οξειδίου (Complementary Metal-Oxide-Semiconductor ή CMOS) και καταλάωναν ελάχιστο ρεύμα. Χάρη στην ανάπτυξη της επίπεδης επεξεργασίας πυριτίου (SOI) όπου ο σχεδιασμός ήταν σαν σάντουιτς (φαίνεται στο Σχήμα 1.2 ο σχεδιασμός αυτός) άλλαξαν τα δεδομένα και τα ολοκληρωμένα κυκλώματα MOS έγιναν πιο διαδεδομένα λόγω του χαμηλού κόστους παραγωγής τους και του μικρού μεγέθους χάρη στην απλή κατασκευή, καθώς το κάθε τρανζίστορ καταλάμβανε λιγότερη επιφάνεια. Κυρίως οι τεχνολογίες που χρησιμοποιούσαν nMOS κυριάρχησαν τη δεκαετία το 1970 και από τότε χάρη στην τεχνολογία SOI ο ρυθμός παραγωγής τρανζίστορ ανά επιφάνεια συνεχώς αυξάνεται ώστε οι βιομηχανίες να μπορούν να ανταποκριθούν στις αυξανόμενες ανάγκες όπως και στον ανταγωνισμό.

Το 1965 ο Gordon Moore, παρατήρησε ότι εάν παρασταθεί γραφικά ο αριθμός των τρανζίστορ που μπορούν να κατασκευαστούν με τον πλέον οικονομικότερο τρόπο σε ένα ολοκληρωμένο κύκλωμα, προκύπτει μια ευθεία γραμμή σε ημιαλογριθμική κλίμακα. Έκανε την εικασία, πως ο αριθμός των τρανζίστορ ανά ολοκληρωμένο κύκλωμα θα διπλασιαζόνταν κάθε 18 μήνες. Η πρόβλεψη αυτή ονομάστηκε νόμος του Moore. Όπως φαίνεται και στο Σχήμα 1.3, ο νόμος του Moore επαληθεύεται κυρίως λόγω της σμίκρυνσης των διαστάσεων των τρανζίστορ και, σε μικρότερο βαθμό λόγω της κατασκευής μεγαλύτερων και πιο περίπλοκων ολοκληρωμένων. Υπάρχουν κλίμακες αναλόγως τον βαθμό ολοκλήρωσης των ολοκληρωμένων κυκλωμάτων, όπως: μικρή (Small-Scale Intergration, SSI – που έχουν λιγότερες από 10 πύλες και 6 τρανζίστορ ανά πύλη), μεσαία (Medium-Scale Intergration, MSI – που έχουν έως 1000 πύλες), μεγάλη (Large-Scale Intergration, LSI – που έχουν έως 10.000 πύλες) και πολύ μεγάλη (Very Large-Scale Intergration, VLSI – όλα τα υπόλοιπα που έχουν πάνω από 10.000 πύλες). Φαινομενικά θα έπρεπε να επινοούνται κάθε πέντε χρόνια καινούργια ονόματα για να περιγράψουν τα κυκλώματα που κατασκευάστηκαν από την δεκαετία του 1980 και μετά, όμως έχει κυριαρχήσει ο όρος VLSI για να περιγραφτούν όλα αυτά.

Επίσης ένα επακόλουθο του νόμου του Moore, είναι ο νόμος κλιμάκωσης του Dennard που ορίζει ότι καθώς τα τρανζίστορ γίνονται ταχύτερα, καταναλώνουν λιγότερη ισχύ και η κατασκευή τους στοιχίζει λιγότερο. Στο Σχήμα 1.4 περιγράφεται ένα πρόβλημα που προκύπτει μετά τα 45 νανόμετρα.

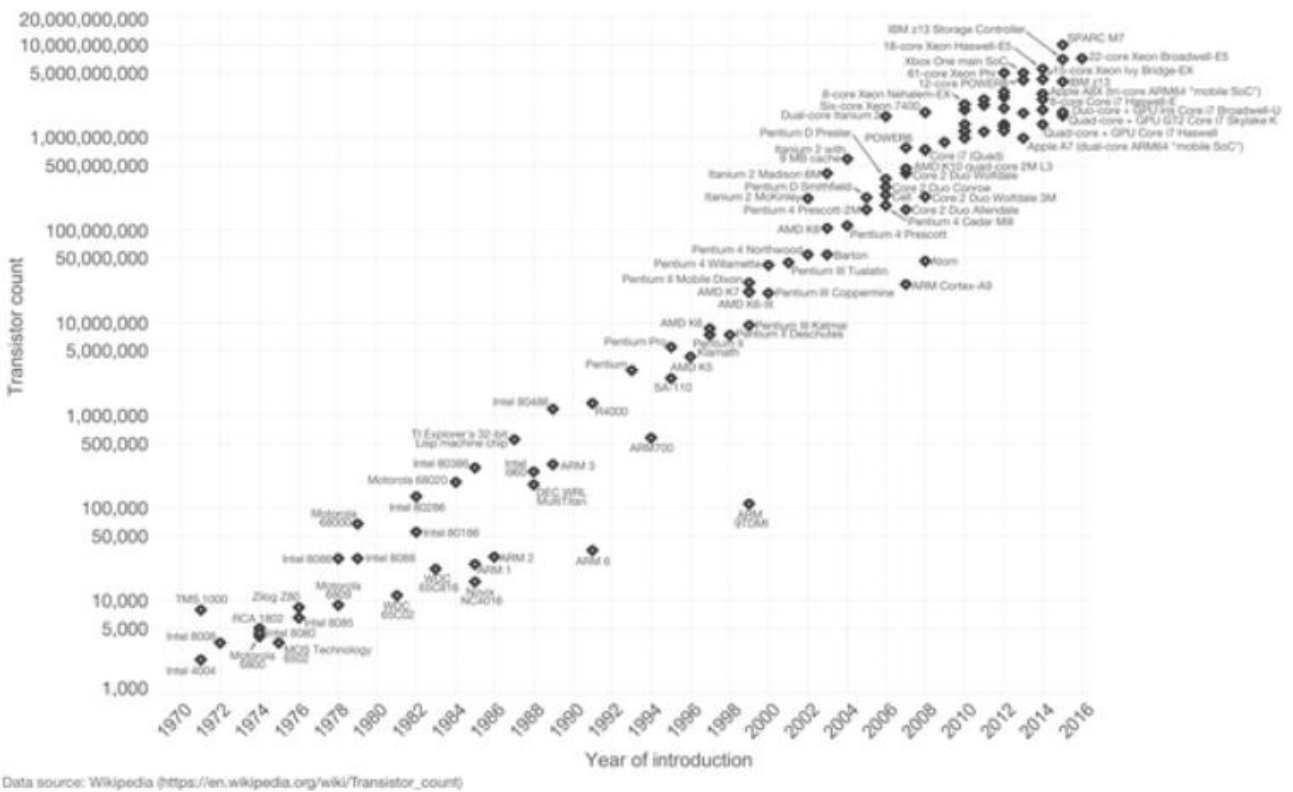
Σήμερα η κλασική δομή του CMOS φτάνει στα όρια τις κλίμακας του πόσο μικρό μπορεί να παραχθεί και ερευνώνται εναλλακτικά είδη τεχνολογιών. Μεταξύ των διαφόρων τύπων τεχνολογιών SOI που έχουν προταθεί μια ξεχωρίζει με διαφορά: το FET με πολλαπλές βάσεις (MultigateFET), σε αυτή την κατηγορία ανήκει και το FinFet.



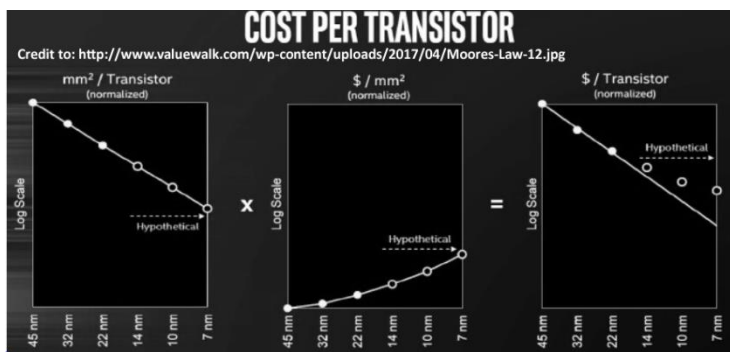
Σχήμα 1.2 – MOSFET με τεχνολογία SOI.

Όπως αναφέραμε μοιάζει με σάντουιτς επειδή αποτελείται από στρώματα το ένα πάνω στο άλλο. Παρατηρούμε επίσης πώς το σημείο που ελέγχει την ροή λέγεται Πύλη αντί για Βάση, επειδή η Βάση του σάντουιτς (το πυρίτιο) δεν άγει ρεύμα καθώς από πάνω του απλώνεται ένα στρώμα οξειδίου που είναι μονωτής. Πάνω από το οξείδιο με την βοήθεια

της τεχνολογίας πυριτίου πάνω σε μονωτή SOI και αναλόγως την τάση της πύλης, επιτυγχάνετε στο μικρό κανάλι από πάνω, να επιτρέπεται ή να διακόπτεται η ροή ρεύματος.



Σχήμα 1.3 – Η ιστορία επαληθεύει τον Νόμο του Moore, όμως πολύ σύντομα η ραγδαία αυτή ανάπτυξη θα σταματήσει επειδή δεν είναι εφικτό ένα τρανζίστορ να γίνει μικρότερο από τα άτομα που το αποτελούν.

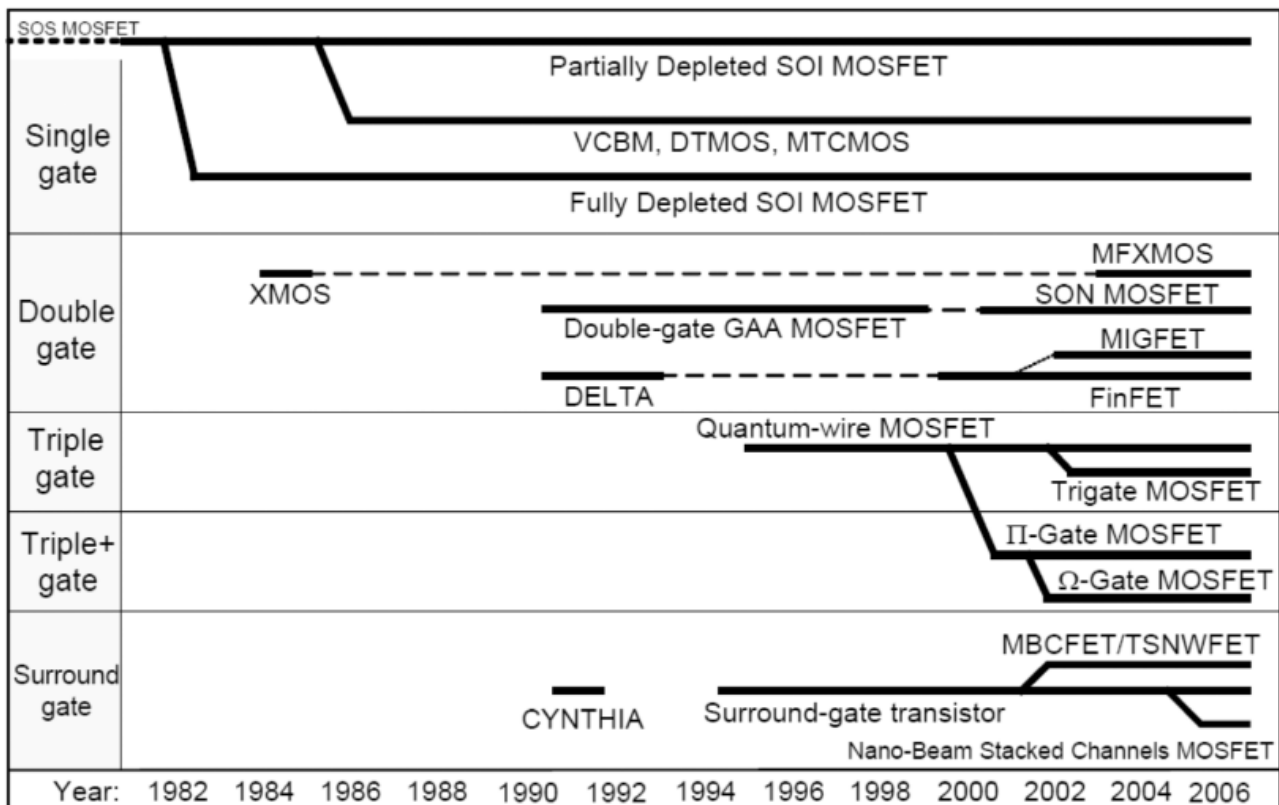


Σχήμα 1.4 – Ήδη μετά τα 45 νανόμετρα ο ρυθμός της κλίμακας Dennard έχει αρχίσει να επιβραδύνετε, επειδή προκύπτει η ανάγκη συμβιβασμού μεταξύ κατανάλωσης ισχύος και χρόνου καθυστέρησης. Αν και το κόστος εκτύπωσης τρανζίστορ είναι φθηνότερο, οι εφάπαξ δαπάνες σχεδίασης αυξάνονται με εκθετικό ρυθμό. Οι τεχνολογίες αιχμής είναι οικονομικά

βιώσιμες αλλά μόνο όταν πωλούνται: σε τεράστιες ποσότητες ή σε εφαρμογές υψηλών απαιτήσεων.

## 1.2 – Ιστορική Αναδρομή Τρανζίστορ τύπου Fin-Fet

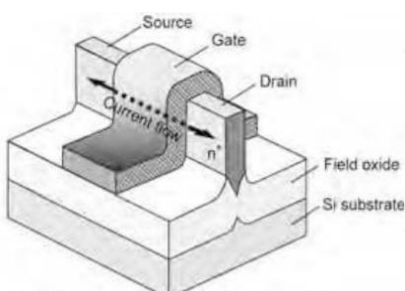
Από την δεκαετία του 1980 και έπειτα άρχισαν να εφευρίσκονται πολλά είδη τρανζίστορ, ακολουθώντας την τεχνολογία SOI. Οι κύριες διαφορές μεταξύ τους ήταν ότι μπορούσαν να έχουν πολλαπλές πύλες, να είναι μικρότερα ή μεγαλύτερα σε κλίμακα, να στηρίζονται σε διάφορες αρχιτεκτονικές σχεδίασης, αναλόγως τον σκοπό κατασκευής και ως ολοκληρωμένα συνεπώς να έχουν διαφορετικές επιδόσεις. Χάρη στην τεχνολογία SOI όμως, οι πύλες μπορούσαν να είναι όσο το δυνατόν μικρότερες. Παρακάτω στο Σχήμα 1.5 φαίνεται το “Οικογενειακό Δέντρο” της τεχνολογίας SOI και τα διάφορα MOSFET που ανακαλύπτονταν ανά τα χρόνια.



Credits to: FinFets and Other Multi-Gate Transistors Jean-Pierre Colinge Springer ISBN:978-0-387-71751-7

Σχήμα 1.5 – Το “Οικογενειακό Δέντρο” της τεχνολογίας SOI και τα διάφορα MOSFET ανα τις δεκαετίες.

Ας επικεντρωθούμε στο “Οικογενειακό Δέντρο” του FinFET. Όπως βλέπουμε ανήκει στην κατηγορία των τρανζίστορ που έχουν δύο πύλες (Double Gate). Ο πρόγονος του είναι το DELTA τρανζίστορ που κατασκευάστηκε το 1989 από τον D. Hisamoto. Η αρχιτεκτονική του φαίνεται στο παρακάτω Σχήμα 1.6.



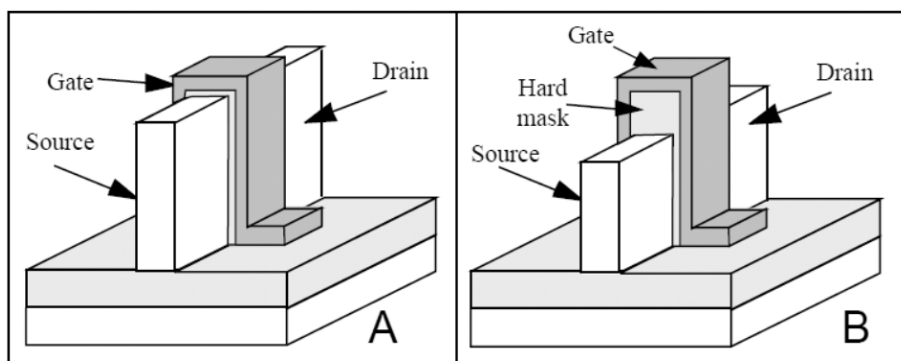
Credits to: <https://cdn.intechopen.com/pdfs-wm/9855.pdf>

Σχήμα 1.6 – Το DELTA (fully Depleted Lean-channel TrAnsistor)

Όπως φαίνεται είναι διαφορετικό από τα υπόλοιπα που είδαμε επειδή δεν είναι οριζόντιο το κανάλι που ρέει το ρεύμα, αλλά κάθετο σε σχέση με το πυρίτιο από κάτω. Αυτής της αρχιτεκτονικής τα τρανζίστορ λέγονται quasi 3-D. Ή διαφορετικά τρισδιάστατα. Το σηκωμένο κομμάτι λέγεται “fin”, βγήκε από την λέξη “finger” που σημαίνει δάχτυλο.

Η χρήση των τρανζίστορ με δύο πύλες επιτρέπει να ελαχιστοποιηθεί το μήκος των πυλών περισσότερο και είναι η μόνη τεχνολογία που ξεπερνάει τις υπόλοιπες ως προς τις προοπτικές μεγαλύτερης σμίκρυνσης.

Το DELTA τρανζίστορ δημιουργήθηκε έπειτα από έρευνες σχετικά με το πώς μπορεί να επιτευχθεί το μικρότερο δυνατό τρανζίστορ χωρίς να υποστεί βραχυκύκλωμα. Σύμφωνα με την έρευνα, το απόλυτο τρανζίστορ πυριτίου πρέπει να είναι με δύο πύλες και να έχει το μέγεθος της πύλης στα 30nm, το πάχος του οξειδίου μόνωσης στα 3nm και το φιλμ πυριτίου (SOI) από 5 έως 20nm. Οι προσομοιώσεις έδειξαν ότι οι συσκευές με αυτά τα χαρακτηριστικά δεν παρουσιάζουν βραχυκυκλώματα εάν το μήκος των πυλών είναι πάνω από 70nm, ακόμη παρέχει δείκτη διαπερατότητας έως και 2300mS/mm. Το πρώτο τρανζίστορ που κατασκευάστηκε με αυτά τα χαρακτηριστικά ήταν το DELTA. Το FinFET που παρουσιάστηκε από την εταιρεία Intel έχει παρόμοια δομή με το DELTA τρανζίστορ, εκτός από το ότι περιλαμβάνει και ένα διηλεκτρικό στρώμα που αποτελείται από hard mask (σκληρή μάσκα) πάνω από το "δάχτυλο" του πυριτίου. Αυτό χρησιμοποιείται για να αποφεύγονται τα φαινόμενα θορύβων στις πάνω γωνίες των καναλιών της συσκευής. Παρακάτω στο Σχήμα 1.7 φαίνονται οι διαφορές τους.



Credits to: FinFETs and Other Multi-Gate Transistors – Edited by J.-P. Colinge, Springer, ISBN 978-0-387-71751-7

Σχήμα 1.7

A) DELTA τρανζίστορ

B) FinFET τρανζίστορ

Το FinFET αντίστοιχα χωρίζεται σε pFET και nFET, αναλόγως αν υπάρχει έλλειψη ή πληθώρα ηλεκτρονίων στην δομή του.

Περισσότερα με λεπτομέρειες θα αναφερθούν στο Κεφάλαιο 4.

Ένα αξιόλογο χαρακτηριστικό που αξίζει να σημειωθεί είναι η αντίληψη του μεγέθους των τρανζίστορ τύπου FinFET. Στα σημερινά δεδομένα ένα τυπικό τρανζίστορ έχει μέγεθος 14nm. Τι σημαίνει αυτό; Πόσα είναι σε μέγεθος τα 14 νανόμετρα; Άμα το συγκρίνουμε με τον ιό HIV που έχει μέγεθος περίπου 120 nm, το τρανζίστορ είναι 8,5 φορές μικρότερο. Ενώ άμα το συγκρίνουμε με ένα ερυθρό αιμοσφαίριο που είναι περίπου 7μm ή αλλιώς 7000nm, το τρανζίστορ FinFET είναι περίπου 500 φορές μικρότερο.

# Πηγές & Βιβλιογραφία

---

<https://el.wikipedia.org/wiki/Τρανζίστορ>

This Month in Physics History: November 17 to December 23, 1947: Invention of the First Transistor.  
From the American Physical Society

Σχεδίαση Ολοκληρωμένων Συστημάτων CMOS VLSI Neil H.E. West & David M. Harris 4<sup>η</sup> έκδοση, εκδόσεις Παπασωτηρίου, 2011, ISBN 978-960-7182-67-8

Integrated Circuits and Systems – FinFETs and Other Multi-Gate Transistors – Edited by J.-P. Colinge,  
Springer Science+Business Media, LLC, ISBN 978-0-387-71751-7, e-ISBN 978-0-387-71752-4

<https://www.intechopen.com/books/advances-in-solid-state-circuit-technologies/dimension-increase-in-metal-oxide-semiconductor-memories-and-transistors>. *By Hideo Sunami, DOI: 10.5772/8638*

<http://book.bionumbers.org/how-big-are-viruses/>

[https://en.wikipedia.org/wiki/Red\\_blood\\_cell](https://en.wikipedia.org/wiki/Red_blood_cell)



# Κεφάλαιο 2 – Υλοποίηση των Τρανζίστορ

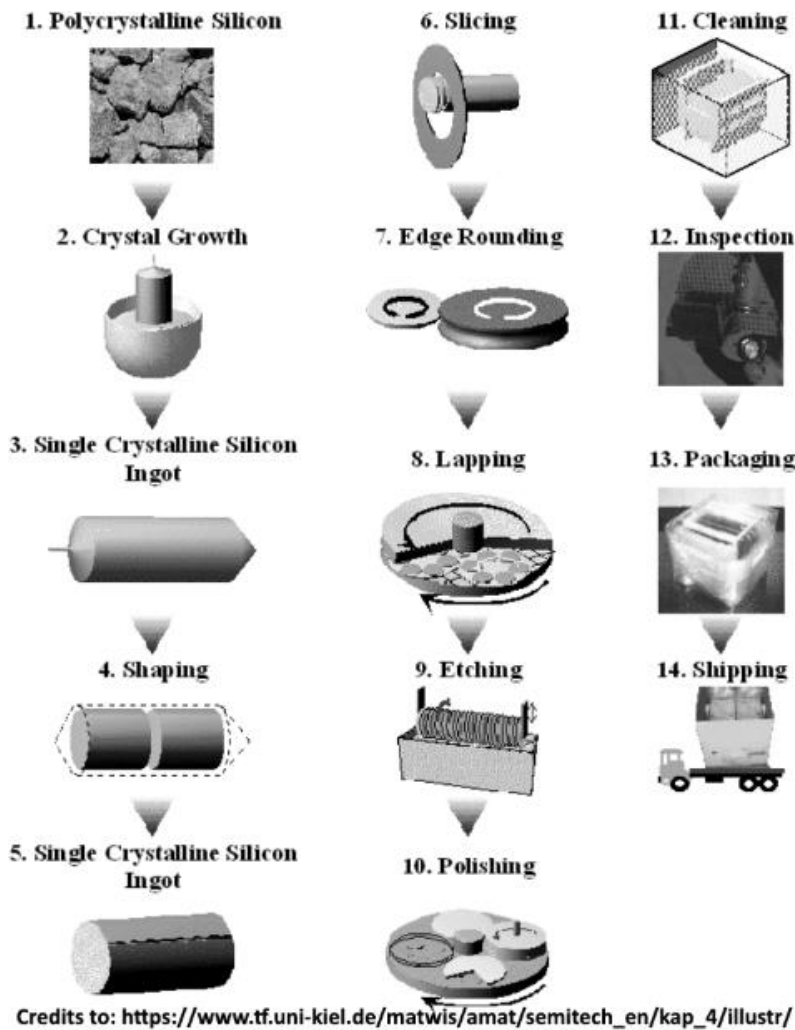
Σε αυτό το κεφάλαιο υπάρχουν τρία σκέλη, τα οποία καλύπτουν μόνο το κομμάτι της κατασκευής τρανζίστορ και συγκεκριμένα τύπου FinFET και όχι την διαδικασία παραγωγής ενός ολόκληρου chip. Στο πρώτο σκέλος αναφέρονται οι βασικές μέθοδοι υλοποίησης των τρανζίστορ. Οι διαδικασίες δηλαδή, που λαμβάνουν χώρα από την συγκομιδή της πρώτης ύλης μέχρι να είναι όλα έτοιμα για να ελεγχθούν (αυτή η διαδικασία περιγράφεται στο επόμενο κεφάλαιο) και να παρουσιαστούν στο καταναλωτικό κοινό ή γενικότερα προς κάθε είδους χρήση. Έπειτα στο δεύτερο κομμάτι αναλύεται πώς με τις σωστές διατάξεις γίνεται εφικτό να επιτυγχάνονται βασικές λειτουργίες. Τέλος, στο τρίτο κομμάτι αναφέρετε ο τρόπος λειτουργίας των τρανζίστορ, δηλαδή που χρησιμεύουν και γιατί τα έχουμε τόσο ανάγκη.

## 2.1 – Η Μέθοδος Κατασκευής των Τρανζίστορ Πυριτίου τύπου FinFET

Η βασική πρώτη ύλη που χρειαζόμαστε για να κατασκευάσουμε ένα τρανζίστορ είναι ένα δισκίο πυριτίου (wafer). Πάνω στο δισκίο αυτό τυπώνονται πολλές διατάξεις με πολλά τρανζίστορ. Επειδή τυπώνεται ανά επιφάνεια το κόστος ορίζεται ανά επιφάνεια και όχι ανά τρανζίστορ, συνεπώς όσα περισσότερα τρανζίστορ χωρέσουν, τόσο πιο φθηνά θεωρούνται στην παραγωγή. Επίσης όσο πιο μικρά είναι, τόσο πιο γρήγορα επιτυγχάνουν διάφορες λειτουργίες και καταναλώνουν λιγότερη ισχύ. Συνεπώς, με την πρόοδο της τεχνολογίας να τυπώνονται ολοένα και μικρότερα τρανζίστορ, ταυτόχρονα γίνονται πιο φθηνά και πιο αποδοτικά. Βέβαια, τα τρανζίστορ μπορεί να γίνονται πιο φθηνά, το κόστος των εγκαταστάσεων όμως που χρειάζονται για να παραχθούν, αυξάνεται. Για να παραχθεί ένα δισκίο 300mm όπου το κάθε τρανζίστορ να έχει μέγεθος 45nm, χρειάζεται εγκαταστάσεις αξίας περίπου 3 δισεκατομμυρίων δολαρίων. Έκτος αυτού η έρευνα και η ανάπτυξη μιας τέτοιας τεχνολογία κοστίζει επιπλέον 2,4 δισεκατομμύρια δολάρια. Προφανώς ελάχιστες είναι οι εταιρείες που μπορούν να διαχειριστούν έναν τέτοιο όγκο επενδύσεων, όμως σχεδιάζουν διάφορες κοινοπραξίες όπου μοιράζονται με άλλες εταιρείες το κόστος ή νοικιάζουν χώρο και δυναμικό από την γραμμή παραγωγής τους σε άλλες που ώστε να παράγουν και αυτές.

Όπως αναφέραμε παραπάνω όλα ξεκινάνε από ένα δισκίο πυριτίου. Το μέγεθος των δισκίων διαφέρει, μπορεί να είναι από 70 έως 300 χιλιοστά (όσο περίπου ένα πιάτο), ενώ το πάχος τους είναι μικρότερο από ένα χιλιοστό, την τελευταία δεκαετία τείνουν να γίνονται μεγαλύτερα. Πώς παράγονται όμως αυτά τα δισκία; -Από άμμο, είτε από θάλασσα είτε από έρημο. Η ίδια η άμμος είναι διοξείδιο του Πυριτίου, πράγμα που σημαίνει ότι είναι όσο το δυνατόν πιο κοντά στην καθαρή μορφή του πυριτίου, με τις κατάλληλες χημικές διαδικασίες επιτυγχάνεται το καθαρό πυρίτιο (χημική ονομασία: Si).

Όταν παράγετε το πολυκρυσταλλικό πυρίτιο έχει την μορφή πέτρας όμως είναι κρύσταλλο, έπειτα με την κατάλληλη επεξεργασία οι πολλοί αυτοί κρύσταλλοι ενώνονται με όσο το δυνατόν πιο τέλειους δεσμούς σε έναν μεγάλο ενιαίο κρύσταλλο, αυτό έχει την μορφή μιας μεγάλης ράβδου, όπως φαίνεται και στο Σχήμα 2.1.1 στο βήμα 3, υπάρχουν διαφορετικές ράβδοι, κατά την παραγωγή της ράβδου μπορεί να αναμειχθούν διάφορα υλικά ώστε να έχει περισσότερα ηλεκτρόνια στην δομή του (wafer τύπου n) ή περισσότερες οπές (wafer τύπου p). Έπειτα από αυτό η ράβδος, αφού της δοθεί ένα πιο στρογγυλό σχήμα, κόβεται σε μικρότερα κομμάτια, στα οποία στην συνέχεια δίνεται ακόμα πιο ακριβέστερο στρογγυλό σχήμα και μετά κόβονται σε μικρότερα του ενός χιλιοστού κομμάτια. Στην συνέχεια, γυαλίζετε ώστε να έχει ένα τελείως λείο σχήμα ως και την παραμικρή λεπτομέρεια, μετά το πλένουν καλά ώστε να μην απομείνει τίποτα από της προηγούμενες διαδικασίες, το ελέγχουν λεπτομερώς ως προς την καθαρότητα και την λεία επιφάνεια του, το συσκευάζουν και το στέλνουν ώστε να τυπωθεί σε άλλο εργαστήριο.



Σχήμα 2.1.1 – Τα στάδια παραγωγής ενός δισκίου πυριτίου (wafer).

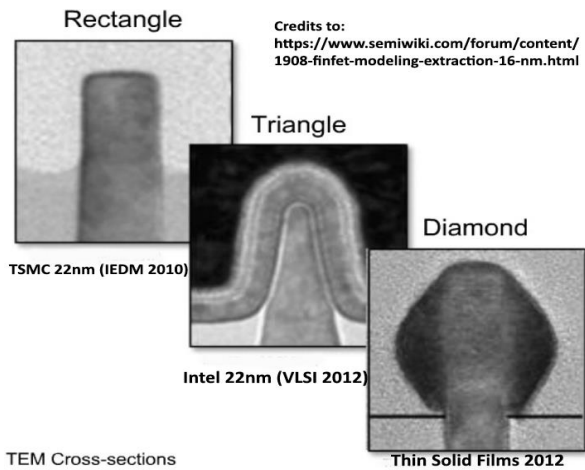
Όλη η διαδικασία αυτή συνήθως γίνεται σε διαφορετικό εργαστήριο από αυτό που τυπώνονται τελικά τα δισκία και γίνονται λειτουργικά.

Για να παραχθούν ως και την παραμικρή λεπτομέρεια wafer, χρειάζεται ειδικό εξοπλισμό και χειρισμό, από το βήμα 7 και μετά, ειδικά μετά το βήμα 11 οι εργασίες γίνονται σε ειδικά δωμάτια όπου οι εργαζόμενοι φορούν ολόσωμες στολές και γάντια και το περιβάλλον συνεχώς φιλτράρετε, ώστε να μην μείνει πάνω στο δίκιο κανένα απολύτως σημάδι, ούτε το παραμικρό μόριο σκόνης που μπορεί να το κάνει μην είναι τελείως λείο. Αυτό το δωμάτιο λέγεται clean room (καθαρός χώρος), έπειτα από αυτό και στο επόμενο εργαστήριο που πάει συνεχίζει να βρίσκεται σε clean room μέχρι να είναι έτοιμο προς την τελική χρήση.

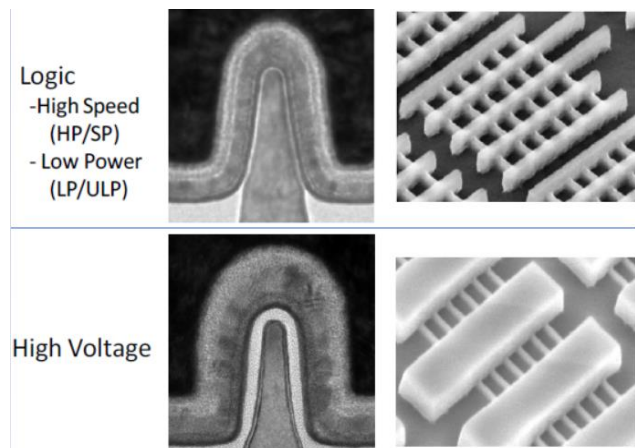
Αφού εξετάσαμε την διαδικασία παραγωγής των δισκίων πυριτίου, ας δούμε στην συνέχεια τι γίνεται στην επόμενη γραμμή παραγωγής στο εργαστήριο όπου τυπώνονται πια τα ολοκληρωμένα. Αν και μπορεί να γίνεται λόγος για ένα είδος τεχνολογίας (π.χ. FinFET), οι αρχιτεκτονικές σχεδίασης για το είδος αυτό, ποικίλουν όπως φαίνεται και στο Σχήμα 2.1.2.

Φτάνοντας η πρώτη ύλη (το wafer), ξεκινάνε διάφορες διαδικασίες για να παραχθεί το τρανζίστορ, οι κυριότερες είναι η φωτολιθογραφία, η εγχάραξη και η εναπόθεση. Η διαδικασία μέχρι να ετοιμαστεί το τρανζίστορ έχει αρκετά στάδια και αυτά ποικίλουν αναλόγως την χρήση για την οποία προορίζονται. Π.χ. αλλιώς φτιάχνετε ένα τρανζίστορ που θα διαχειρίζεται υψηλή τάση και αλλιώς κάποιο που προορίζετε για λογικές πύλες και χρειάζεται να επιτυγχάνει υψηλές ταχύτητες μεταφοράς ηλεκτρονίων (Σχήμα 2.1.3). Σίγουρα υπάρχουν κάποια στάδια που αναπόφευκτα δεν γίνονται αλλιώς και σε αυτά θα επικεντρωθούμε, όπως επίσης το κάθε στάδιο μπορεί να γίνει με διάφορες τεχνικές, εδώ όμως θα αναφερθούμε στις πιο κοινές.

Συγκεκριμένα ας δούμε την διαδικασία που χρειάζεται ώστε να παραχθούν τα ολοκληρωμένα κυκλώματα τεχνολογίας FinFET στα 22nm.



Σχήμα 2.1.2 – Διάφοροι σχεδιασμοί FinFET.

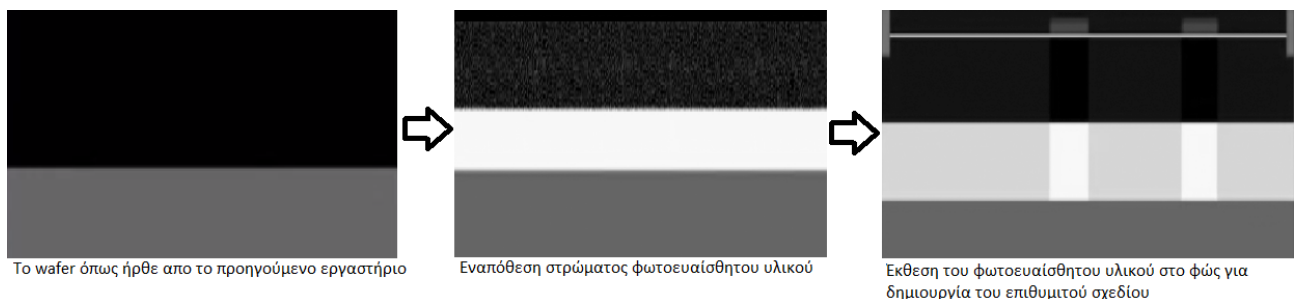


Σχήμα 2.1.3 – Διάφορες χρήσεις των ίδιων FinFET.

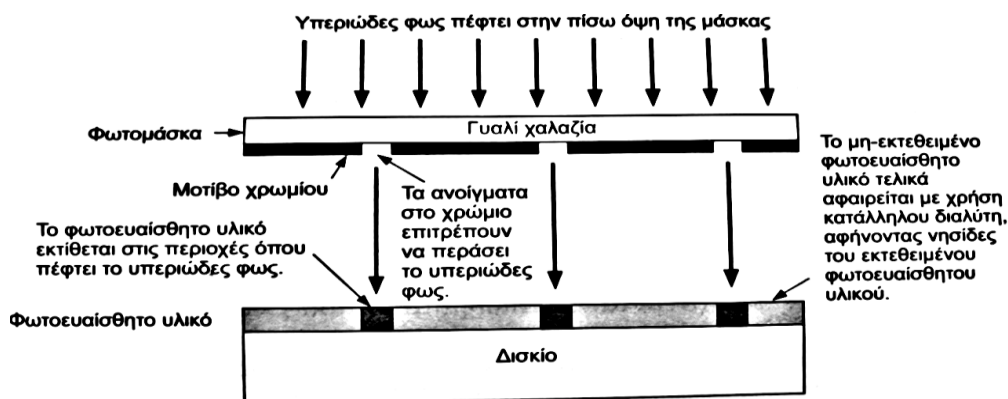
Θα αναλυθεί κυρίως ο σχεδιασμός της εταιρείας Intel (ο τριγωνικός) όπως φαίνεται και στο Σχήμα 2.1.3.

Κατ' αρχάς για να δημιουργηθεί το τρανζίστορ όπως φαίνεται στα παραπάνω Σχήματα (Σχήμα 2.1.2 & 2.1.3), το πρώτο στάδιο είναι η φωτολιθογραφία. Σε αυτό το στάδιο αφού έχει εναποτεθεί στο wafer ένα στρώμα φωτοευαίσθητου υλικού, έρχεται από πάνω ένα μηχάνημα που παράγει ειδικό φως (σαν laser), με ανάλογα μήκη κύματος, που περνάει μέσα από μια μάσκα και έτσι αποτυπώνει το σχέδιο της μάσκας με υψηλή ανάλυση πάνω στο φωτοευαίσθητο υλικό που είναι από κάτω στο wafer. (Σχήμα 2.1.4 & 2.1.5)

Η εναπόθεση στοιχείων γίνεται: είτε με φυσικό τρόπο (PVD – Physical Vapor Deposition), είτε με χημικό τρόπο (CVD – Chemical Vapor Deposition). Αναλόγως την επιλογή του τρόπου εναπόθεσης, υπάρχουν και οι διάφορες μεθοδολογίες, όπως για την χημική εναπόθεση υπάρχουν – η APCVD που είναι με χρήση ατμοσφαιρικής πίεσης, η PECVD που είναι με πλάσμα (τα χημικά σωματίδια είναι φορτισμένα με τάση), η HDPCVD που είναι με χρήση πλάσματος υψηλής πυκνότητας, η LPCVD που είναι με χρήση χαμηλής πίεσης και υπάρχουν και άλλες μεθοδολογίες χημικής εναπόθεσης με πλάσμα. Αντίστοιχα εφαρμόζονται άλλες, διαφορετικές, για να επιτευχθεί εναπόθεση με φυσικό τρόπο.



Σχήμα 2.1.4 – Η φωτολιθογραφία



Σχήμα 2.1.5

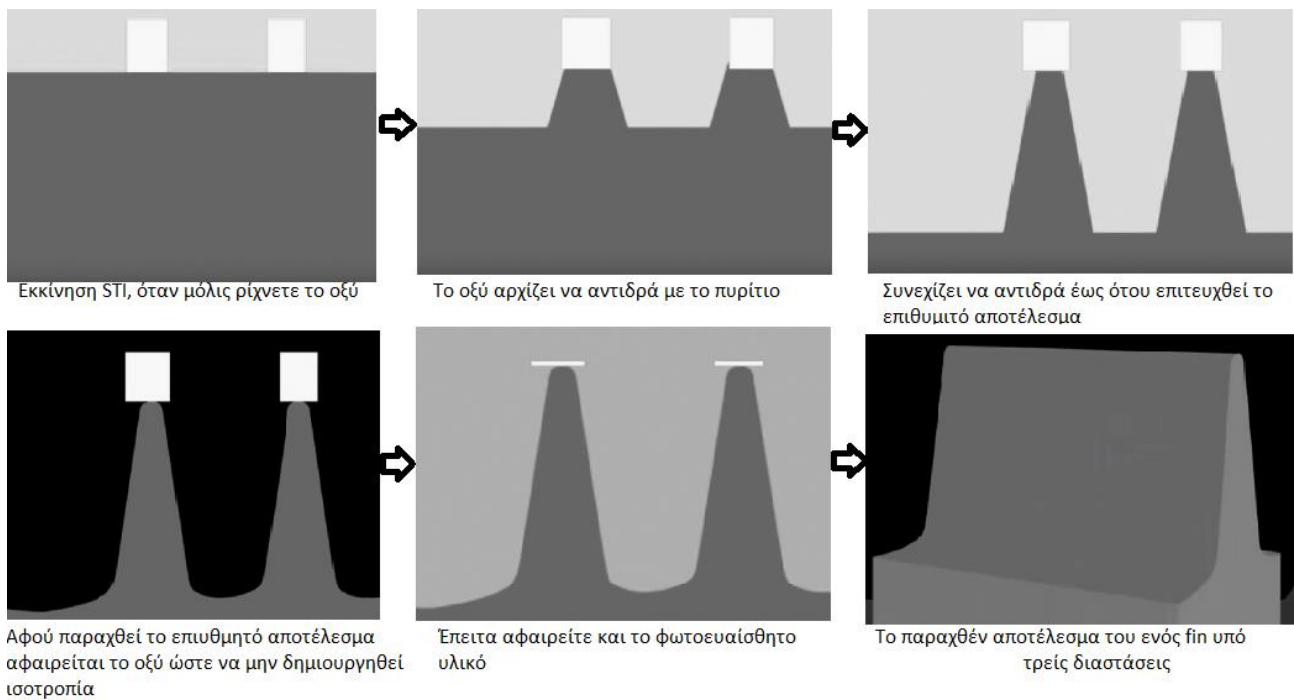
-Το τρίτο βήμα του Σχήματος 2.1.4 με περισσότερες λεπτομέρειες.

Όπως περιγράφει και το Σχήμα 2.1.5, το επόμενο βήμα αφού μαρκαριστούν οι περιοχές που πρέπει να μείνουν από την έκθεση το φωτοευαίσθητου υλικού στο φως, ξεπλένετε το υπόλοιπο με την χρήση κατάλληλου διαλύτη αφήνοντας τις μαρκαρισμένες νησίδες, αυτό λέγεται εγχάραξη.

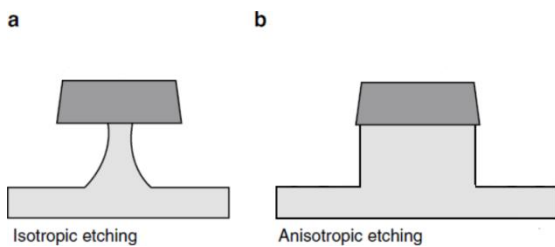
Κατά την εγχάραξη αφαιρείτε υλικό, είτε με χημικό τρόπο (υγρή εγχάραξη), είτε με πλάσμα αερίων (υγρή εγχάραξη – πλάσμα ονομάζονται τα φορτισμένα με τάση σωματίδια, ένα φυσικό φαινόμενο κατά το οποίο παράγεται πλάσμα είναι το Βόρειο Σέλλας).

Έτσι λοιπόν αφού παραστήσουμε την νανοδομή που θέλουμε με το φως, για να φύγει το περίσσιο φωτοευαίσθητο υλικό με την χρήση διαλυτικού ώστε να μείνει το αποτύπωμα της μάσκας, γίνετε εγχάραξη. Στο επόμενο βήμα, αφού έχουμε μείνει μόνο με το αποτύπωμα, κάνουμε ξανά εγχάραξη, ώστε να δημιουργηθεί το σχήμα της δομής του FinFET, πάνω στο πυρίτιο. Αυτή η τεχνική ονομάζεται Shallow Trench Isolation (STI) και από αυτό το σημείο ξεκινάει η παραγωγή των τρανζίστορ τύπου FinFET. Βεβαίως υπάρχουν και άλλες τεχνικές. Παρακάτω στο Σχήμα 2.1.6 φαίνεται η διαδικασία και το αποτέλεσμα της τεχνικής STI. Αξίζει να σημειωθεί πως αυτό είναι το κρίσιμότερο στάδιο όλης της παραγωγής, καθώς όλα τα υπόλοιπα στηρίζονται στο πόσο επιτυχημένα και ακριβέστερα θα γίνει η συγκεκριμένη εγχάραξη. Αυτό που μπορεί να οδηγήσει σε αποτυχία, είναι να εγχαραχτεί περισσότερο από το επιθυμητό υλικό, οδηγώντας έτσι σε μία ιστροπική εγχάραξη, όπως λέγεται και να μην πληροί τις προϋποθέσεις κατασκευής (Σχήμα 2.1.7). Για να αποφευχθεί όσο το δυνατόν περισσότερο αυτό το φαινόμενο, είναι απαραίτητη κυρίως η αυστηρή τήρηση του χρόνου παραμονής του οξέως με το πυρίτιο, η συνεχής παρακολούθηση και ρύθμιση της θερμοκρασίας, η ακριβής πυκνότητα του μίγματος, όπως και τάσης αν πρόκειται για ξηρή εγχάραξη. Συνεπώς έπειτα από έρευνες η καλύτερη επιλογή μεθοδολογίας επίτευξης αυτής της κρίσιμης εγχάραξης που είναι ουσιαστικά ο στύλος όλης της κατασκευής, επιλέχθηκε η STI που είναι μια μέθοδος της υγρής χημικής εγχάραξης με οξύ (είναι η πιο σύγχρονη) και έχει μικρά ποσοστά παρουσίας φαινομένων ιστροπίας.

Αφού τελειώσει αυτή η διαδικασία (STI), αφαιρείτε με εγχάραξη το εναπομείναν φωτοευαίσθητο υλικό.



Σχήμα 2.1.6 – Τα απαιτούμενα βήματα ώστε να παραχθεί η αρχική δομή του FinFET.



Σχήμα 2.1.7 – a) Ισοτροπική εγχάραξη

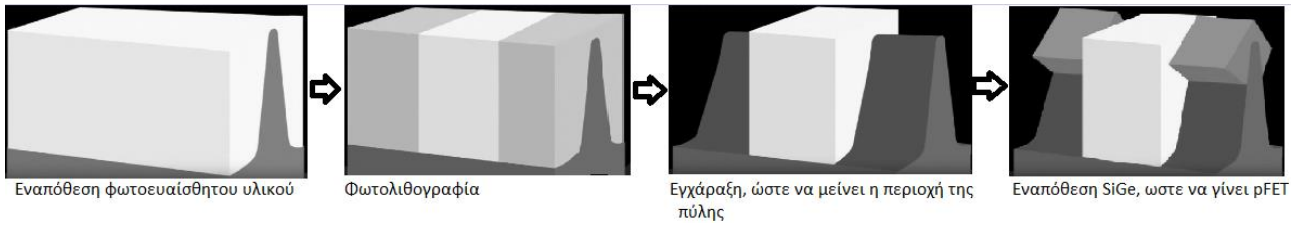
b) Ανιστροπική εγχάραξη

Βέβαια είναι σχεδόν αδύνατον να επιτευχθεί μια τέλεια ανιστροπική εγχάραξη, όμως και η τελείως ισοτροπική ενέχει αυξημένες πιθανότητες αστοχίας κατασκευής.

Το επόμενο βήμα αφού κατασκευάσαμε το fin (δάκτυλο), είναι να ξεκινήσουμε να κατασκευάζουμε την πύλη που θα ελέγχει την ροή των ηλεκτρονίων μέσα από αυτό το fin. Όπως είδαμε νωρίτερα υπάρχουν γενικά δύο ειδών τρανζίστορ, αυτά που έχουν στην δομή τους περίσσειμα ηλεκτρονίων (τύπου-n) και αυτά που έχουν έλλειψη ηλεκτρονίων (τύπου-p). Όταν φτιάχνουμε την περιοχή pMOS όπου τα τρανζίστορ θα διαχειρίζονται τις σπές που δημιουργούνται λόγω της έλλειψης ηλεκτρονίων, η διαδικασία αυτή ξεκινάει λίγο διαφορετικά. Η διαφορά είναι πως αφού εναποθέσουμε φωτοευαίσθητο υλικό και έπειτα με την κατάλληλη μάσκα ρίξουμε φως στο σημείο που θέλουμε να σχεδιαστεί η πύλη και εγχαράξουμε το φωτοευαίσθητο, έπειτα εναποθέτουμε στις περιοχές του συλλέκτη και του εκπομπού, μίγμα πυριτίου-γερμανίου (SiGe), έτσι ώστε να διαχειρίζονται τις σπές. Αυτή η περιοχή έχει διαφορετικό σχήμα – είναι πιο ρομβοειδές αντί για τριγωνικό – και μοιάζει αρκετά σαν το τρανζίστορ από το Σχήμα 2.1.2 κάτω από την περιγραφή Diamond.

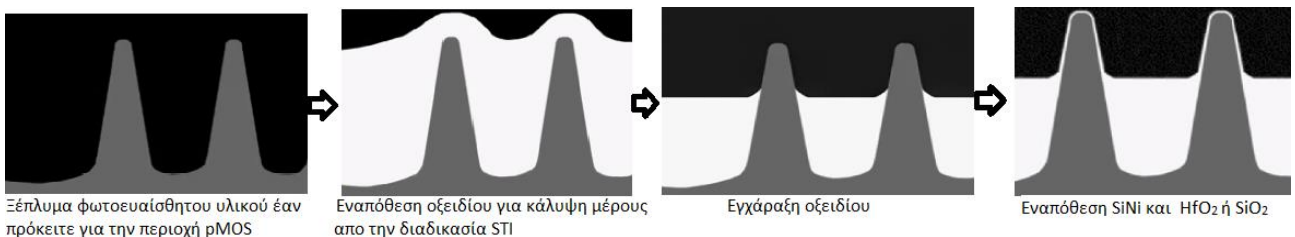
Αντιθέτως όταν φτιάχνουμε την περιοχή nMOS δεν υπάρχει ανάγκη για περαιτέρω διαδικασίες (εναπόθεση μίγματος SiGe – Σχήμα 2.1.8).

Όπως θα κάναμε στην συνέχεια και στην περιοχή pMOS, εναποθέτουμε οξείδιο (θάβοντας το fin) και έπειτα το εγχαράσσουμε έως ότου φαγωθεί μέχρι το επιθυμητό σημείο (να μην σκεπάζει τα fin αλλά να είναι κάπου μέχρι την μέση του ύψους τους – άμα είναι στα 34nm το fin σε ύψος μέχρι τα 20nm περίπου – ώστε να δημιουργηθεί στην μύτη του fin η πύλη που θα ελέγχει την λειτουργία τους).

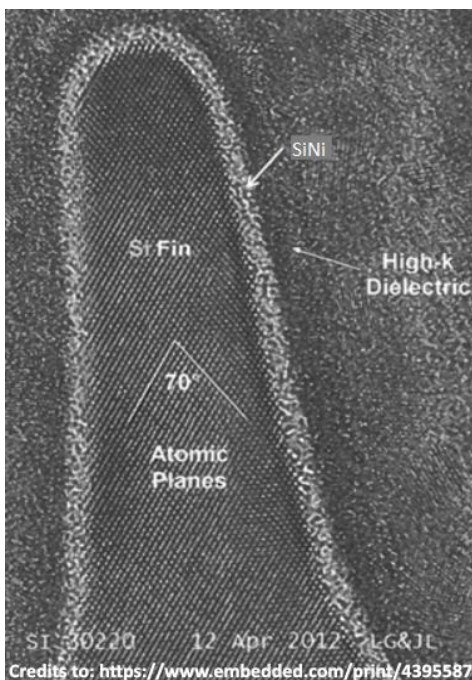


Σχήμα 2.1.8 – Εναπόθεση μίγματος SiGe, μόνο στην περιοχή του pMOS.

Στην συνέχεια εναποθέτουμε με την μέθοδο LPCVD, τυπικά μια επίστρωση Νιτρίδιου του Πυριτίου που έχει ιδιότητες μονωτή, ώστε να χωριστεί το fin από την πύλη και έπειτα από πάνω του διηλεκτρικά στρώματα από διοξείδιο του πυριτίου ( $\text{SiO}_2$ ) ή διοξείδιο του αφνίου ( $\text{HfO}_2$ ) που συνηθίζεται περισσότερο από την Intel. Η διαδικασία φαίνεται και σχηματικά στο Σχήμα 2.1.9, ενώ στο σχήμα 2.1.10 που είναι μια φωτογραφία ατομικής κλίμακας φαίνεται πόσο λεπτή είναι αυτή η επίστρωση.



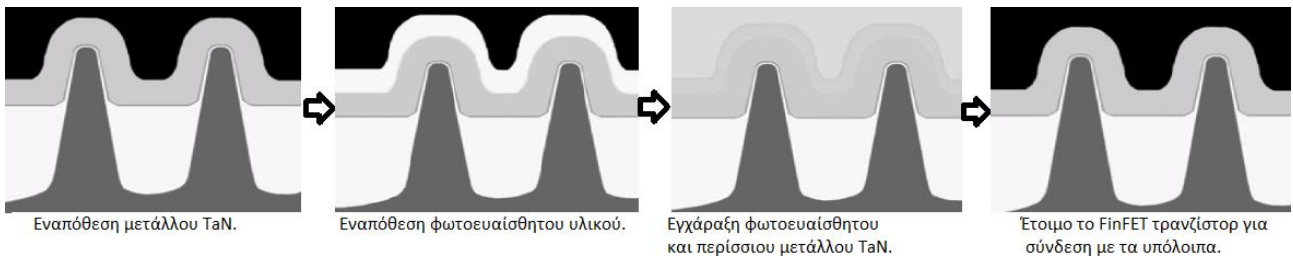
Σχήμα 2.1.9 – Ετοιμασία fin για την δημιουργία της πύλης.



Σχήμα 2.1.10 – Φωτογραφία που φαίνεται η εναπόθεση του νιτρίδιου του πυριτίου, όπως και του διοξειδίου του αφνίου από πάνω, που έχει υψηλή διηλεκτρική σταθερά (High-K Dielectric)

Όπως φαίνεται είναι πολύ λεπτή η στρώση και του SiNi όπως και του  $\text{HfO}_2$ . Παρά την λεπτή στρώση όμως, χάρη στο υλικό αυτό, επιτυγχάνετε να είναι ψηλά η διηλεκτρική σταθερά, ώστε να μπορεί να διαχειρίζεται με μεγαλύτερη ακρίβεια, την ροή του φορτίου μέσα από το fin, καθώς αντέχει πιο υψηλές τάσεις σε σχέση με άλλα στρώματα που χρησιμοποιούνταν πρωτότερα.

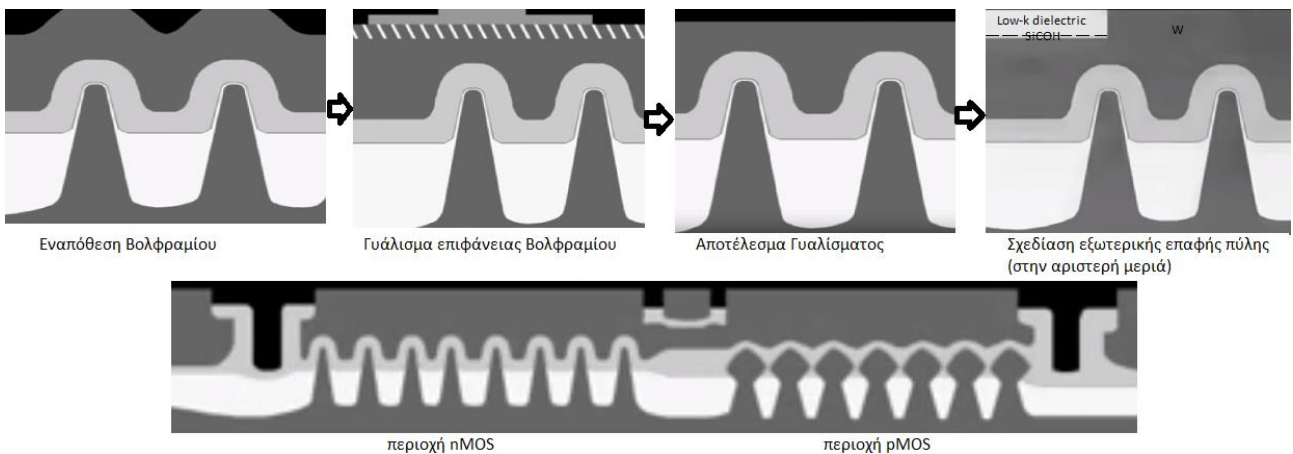
Η επόμενη στρώση είναι το μέταλλο της πύλης, που αποτελείται από νιτρίδιο του τανταλίου ( $\text{TaN}$ ). Η εναπόθεση αυτή γίνεται κάθετα στο fin. Έπειτα τοποθετείτε φωτοευαίσθητο υλικό και γίνεται λιθογραφία ώστε να αποτυπωθεί το σχήμα της πύλης (σε ποια σημεία χρειάζεται να μείνει το μέταλλο), στη συνέχεια γίνεται μια φορά εγχάραξη ώστε να φύγει το φωτοευαίσθητο που δεν επηρεάστηκε από το φως, μια άλλη για να φύγει το μέταλλο από τις περιοχές που δεν χρειάζεται, ώστε να μείνει μόνο κάτω από το αποτύπωμα του φωτοευαίσθητου και έπειτα γίνεται ακόμη μία φορά εγχάραξη για να φύγει και το υπόλοιπο φωτοευαίσθητο υλικό. Η διαδικασία αυτή φαίνεται παρακάτω σχηματικά στο Σχήμα 2.1.11.



Σχήμα 2.1.11 – Σχηματισμός πύλης και ολοκλήρωση της διαδικασίας παραγωγής τρανζίστορ τύπου FinFET.

Αφού δημιουργηθεί το τρανζίστορ, το επόμενο βήμα είναι να συνδεθεί με τα υπόλοιπα, βέβαια υπάρχει η περίπτωση ένα τρανζίστορ να αποτελείται από δύο ή περισσότερα fin. Γιαυτό, προτού γίνει η σύνδεση με τα κυκλώματα, όλα τα fin εκτός από την επαφή της πύλης του τρανζίστορ που ξεχωρίζει (επειδή είναι πιο ψηλά) καλύπτονται με Βολφράμιο (W) και έτσι είναι σαν να χτίζετε ένας όροφος (το ισόγειο σε αυτή την περίπτωση, καθώς είναι η βάση όλου του τσιπ).

Η επιφάνεια του βολφραμίου στην συνέχεια γυαλίζεται ώστε να πάρει επίπεδο και λείο σχήμα. Έπειτα εναποτίθεται φωτοευαίσθητο, γίνεται λιθογραφία ώστε να δημιουργηθεί εξωτερική πια επαφή για να συνδεθεί με τον από πάνω όροφο που φτιάχνονται τα διάφορα κυκλώματα και γίνεται η επιμετάλλωση. Ύστερα από την λιθογραφία, γίνεται εγχάραξη στο φωτοευαίσθητο, αποκαλύπτονται τα σημεία που θα είναι οι επαφές για το από πάνω κύκλωμα και εναποτίθεται λεπτή στρώση εκεί μιας σκληρής μάσκας όπως ονομάζετε (hard mask) που αποτελείται από πυρίτιο-άνθρακα-οξυγόνο-υδρογόνο (SiCOH). Έπειτα συμπληρώνεται υλικό χαμηλής διηλεκτρικής σταθεράς με εναπόθεση πάλι ώστε να φτάσει στο επιθυμητό ύψος. Στην συνέχεια γίνεται πάλι εγχάραξη ώστε να φύγει το εναπομείναν φωτοευαίσθητο υλικό και συμπληρώνετε με εναπόθεση στην θέση του βολφραμίου μέχρι να γίνει ίσα με το άλλο υλικό. Η διαδικασία αυτή όπως και το τελικό αποτέλεσμα περιγράφετε σχηματικά στο Σχήμα 2.1.12 παρακάτω.



Σχήμα 2.1.12 – Τα τελευταία βήματα ώστε να παραχθεί ολοκληρωμένο αποτέλεσμα, βλέπουμε στο κάτω σχήμα ένα CMOS τεχνολογίας FinFET όπου τα nMOS και τα pMOS είναι συνδεδεμένα μεταξύ τους.

## 2.2 – Επίτευξη Βασικών Λειτουργιών με Τρανζίστορ

Τα τρανζίστορ έχουν καταφέρει να φέρουν επανάσταση σε πολλά πράγματα της καθημερινότητας μας. Εδώ θα δούμε, πως έγινε εφικτό να αποκτήσει υπολογιστική νοημοσύνη και να γίνει τόσο χρήσιμο ένα μηχάνημα με τόσο απλή κατασκευή. Θα γίνει αναφορά σε διάφορες απλές διατάξεις τρανζίστορ που καταφέρνουν να κάνουν πολύπλοκους υπολογισμούς. Το κλειδί είναι η επίτευξη τα τρανζίστορ να κάνουν πολλαπλασιασμό, έπειτα από αυτό όλα τα υπόλοιπα είναι εύκολα.

Όπως αναφέρθηκε στο προηγούμενο κεφάλαιο, η λειτουργία των τρανζίστορ μπορεί να παρομοιαστεί με αυτή ενός διακόπτη, στην περίπτωση μας όμως, ο διακόπτης αυτός ελέγχετε αυτοματοποιημένα και ανοιγοκλείνει με τάση, αν υπάρχει τάση στην πύλη είναι κλειστός και περνά φορτίο, αν όχι και είναι ανοιχτός δεν περνά στην ιδανική περίπτωση, τίποτα. Όμως σε αυτό το κομμάτι θα αναφερθούμε σε διαφορετικού είδους πύλες, αυτές που αποτελούνται από πλήθος τρανζίστορ και αναλόγως το πώς είναι συνδεδεμένα εκτελούν διαφορετικές λειτουργίες. Οι κύριες πύλες είναι η AND, η OR και ο αναστροφέας – NOT, έπειτα οι συνδυασμοί αυτών επιτυγχάνουν και άλλες λειτουργίες.

Η πιο απλή μορφή της πύλης AND αποτελείται από 6 τρανζίστορ και έχει δύο εισόδους και μία έξοδο, η λογική πράξη που εκτελεί η AND είναι πως άμα και στις δύο εισόδους της έχει τάση (το λογικό '1') θα έχει και η έξοδος τάση (το λογικό '1') αλλιώς η έξοδος δεν θα έχει τάση (το λογικό '0'). Η πιο κοντινή πύλη στην πύλη AND είναι η NAND, της οποίας η λειτουργία είναι η ακριβώς αντίθετη (δηλαδή άμα έχει και στις δύο εισόδους τάση δεν βγάζει στην έξοδο τάση, ενώ σε όλες τις άλλες περιπτώσεις βγάζει) και αποτελείται από 4 τρανζίστορ. Για να παραχθεί η πύλη NAND, δύο τρανζίστορ τύπου-p συνδέονται παράλληλα και έπειτα αυτά τα δύο συνδέονται με άλλα δύο τρανζίστορ τύπου-n που είναι συνδεδεμένα σε σειρά, οι πύλες τους συνδέονται μεταξύ τους, και είναι οι είσοδοι της πύλης, δηλαδή μια πύλη από το τύπου-p τρανζίστορ συνδέεται με την μια πύλη από του τύπου-n τρανζίστορ, αυτή είναι η μια είσοδος, αντίστοιχα γίνεται και με τα άλλα δύο, ενώ η έξοδος της πύλης είναι το σημείο που συνδέονται τα τύπου-p με τα τύπου-n, καθώς θα χρησιμοποιείτε ή η μια μεριά των τύπου-p που είναι συνδεδεμένη με την πηγή, ή η άλλη μεριά της περιοχής των τύπου-n τρανζίστορ, που είναι συνδεδεμένη με την γείωση.

Για την πύλη AND όμως χρειάζονται άλλα δύο, αυτά τα επιπλέον δύο, έχουν τον ρόλο του αναστροφέα και είναι ένα τύπου-p και ένα τύπου-n συνδεδεμένα σε σειρά, με μια είσοδο που είναι οι επαφές των δύο πυλών των τρανζίστορ κολλημένες και μία έξοδο το σημείο που ενώνονται τα δύο τρανζίστορ. Η λειτουργία δηλαδή είναι να αντιστρέφει τα αποτελέσματα της πύλης NAND, πετυχαίνοντας έτσι την λειτουργία της πύλης AND. Επίσης υπάρχουν πύλες AND και NAND με περισσότερες από δύο εισόδους, όμως πάντα θα υπάρχει μια έξοδος, σε αυτή την περίπτωση προσθέτονται επιπλέον δύο τρανζίστορ (ένα τύπου-p και ένα τύπου-n) για κάθε είσοδο.

Η πύλη OR, αποτελείται και αυτή από 6 τρανζίστορ, μόνο που είναι σχεδιασμένη διαφορετικά. Η λειτουργία της είναι: αν έχει έστω και σε μία είσοδο της τάση (το λογικό '1') να δίνει στην έξοδο τάση (το λογικό '1'), ενώ σε αντίθετη περίπτωση (εάν δεν έχει σε καμία από τις εισόδους τάση), να μην δίνει τάση στην έξοδο της (το λογικό '0'). Αντίστοιχα, υπάρχει και η πύλη NOR που αποτελείται από 4 τρανζίστορ και η λειτουργία της είναι να παράγει τα αντίθετα αποτελέσματα από αυτά της πύλης OR (δηλαδή εάν έχει έστω και σε μία είσοδο τάση, η έξοδος δεν θα έχει τάση, ενώ άμα και οι δύο εισοδοι δεν έχουν τάση, η έξοδος θα έχει τάση). Τα τρανζίστορ της πύλης NOR είναι συνδεδεμένα ως εξής: τα τύπου-p είναι συνδεδεμένα σε σειρά μεταξύ τους, ενώ τα τύπου-n είναι συνδεδεμένα παράλληλα μεταξύ τους. Για τις πύλες των τρανζίστορ ισχύουν τα ίδια που αναφέρθηκαν παραπάνω είναι συνδεδεμένα μεταξύ τους ένα τύπου-p με ένα τύπου-n η μία είσοδος της πύλης, όπως και για την έξοδο που βρίσκετε στο σημείο που συνδέονται οι



δύο περιοχές. Η πύλη OR είναι στην ουσία η πύλη NOR με έναν αντιστροφέα (NOT) που αποτελείται από δύο επιπλέον τρανζίστορ και η σύνδεση του είναι όμοια όπως περιγράφεται παραπάνω για την πύλη AND.

Στο Πίνακα 2.1.1 φαίνετε ο πίνακας αληθείας των πυλών αυτών όπου τα x,y είναι οι δύο είσοδοι.

X Y	AND	NAND	OR	NOR
0 0	0	1	0	1
0 1	0	1	1	0
1 0	0	1	1	0
1 1	1	0	1	0

Είσοδος	NOT
0	1
1	0

Πίνακας 2.2.1 – Ο πίνακας αληθείας βασικών λογικών πυλών

Η λειτουργία αυτών των λογικών πυλών είναι απλή, χάρη στην πρόοδο των τρανζίστορ έχουν πολύ μικρή καθυστέρηση μέχρι να δώσουν το αποτέλεσμα στην έξοδο. Ακόμη, μέσω των λογικών πυλών, επιτυγχάνονται δύσκολοι μαθηματικοί υπολογισμοί. Με την σωστή διάταξη μπορούν να κάνουν όλες τις βασικές μαθηματικές πράξεις όπως πρόσθεση, αφαίρεση, πολλαπλασιασμό και διαίρεση. Ως επακόλουθο μπορούν να κάνουν και πολύ εξειδικευμένες και δύσκολες πράξεις που σε εμάς θα έπαιρναν δεκαετίες μέχρι να τις ολοκληρώναμε, πάντως μέχρι και αυτό έχει τα όρια του, καθώς μερικά προβλήματα ιδιαίτερα οι εφαρμογές περίπλοκων προσομοιώσεων, παίρνουν μεγάλο όγκο πόρων και χρόνου και μερικές φορές είναι ημιτελή. Πάντως με αρκετές τέτοιες απλές διατάξεις μπορούν να επιλυθούν προβλήματα που ξεκινάνε από τα απλά μαθηματικά προβλήματα, μέχρι περίπλοκα αστροφυσικά.

Σε μεγαλύτερη επέκταση, χάρη στα τρανζίστορ μπορούμε και αποθηκεύουμε όπως και ανακτούμε δεδομένα σε μεγάλες ταχύτητες. Οι μνήμες και οι δίσκοι με μηχανικά μέρη όπως οι μαγνητικοί δίσκοι, αρχίζουν να εκλείπουν καθώς έρχονται στο προσκήνιο νέες τεχνολογίες που χρησιμοποιούν κυρίως τρανζίστορ για να κάνουν τις ίδιες λειτουργίες πιο γρήγορα και πιο οικονομικά. Η βάση αυτών των νέων καινοτόμων τεχνολογιών λέγεται flip-flop. Τα flip-flops έχουν το χαρακτηριστικό πως όσο τροφοδοτούνται με ρεύμα, μπορούν να συγκρατούν διάφορες καταστάσεις έως ότου λάβουν το σήμα να κάνουν διαφορετικά. Χάρη σε αυτά γίνεται εφικτό να προσπελαύνετε μεγάλος όγκος δεδομένων σε πολύ μικρή χρονική στιγμή. Οι μνήμες RAM όπως και οι μνήμες που υπάρχουν μέσα στον επεξεργαστή χρησιμοποιούν flip-flops.

Φυσικά μια ακόμη σπουδαία προσφορά των τρανζίστορ είναι στον χώρο των τηλεπικοινωνιών και δικτύων. Κατ' αρχάς τα τρανζίστορ φτιάχτηκαν κυρίως για αυτό τον σκοπό όπως είδαμε και στο πρώτο κεφάλαιο και έγινε εφικτό αυτό όταν κατασκευάστηκε ο πρώτος ενισχυτής σήματος. Σίγουρα μαζί με την πρόοδο της τεχνολογίας εκσυγχρονίστηκε και ο τομέας των τηλεπικοινωνιών και δικτύων και αυτό γίνεται αντιληπτό από το την ποιότητα και η τον όγκο των κλήσεων και δεδομένων που διαχειρίζεται ένα τηλεφωνικό κέντρο είναι ασύγκριτα σε σχέση με πριν είκοσι χρόνια. Οι ταχύτητες του ιντερνέτ συνεχώς αυξάνονται και καλύπτουν επιμελώς τις ολοένα και αυξανόμενες απαιτήσεις. Οι οπτικές ίνες, οι κεραιές με πρωτόκολλα επικοινωνίας που οι ταχύτητες που υποστηρίζουν ολοένα αυξάνονται είναι μεγάλη υπόθεση να μπορούν όλα αυτά να διαχειρίζονται με πολύ υψηλή ακρίβεια, ώστε να λειτουργούν ομαλά και να εξυπηρετούν εκατοντάδες εκατομμύρια χρήστες και παράλληλα να καλύπτουν απομακρυσμένα μέρη. Όλα αυτά δεν θα ήταν εφικτά χωρίς τα τρανζίστορ που αυτά είναι το θεμέλιο της προόδου της τεχνολογίας.

Δεν μπορεί να μην γίνει λόγος για τις διαστημικές αποστολές και του γεγονότος ότι έχουμε όλοι μια πρόσβαση ανά πάσα στιγμή σε κάποιον δορυφόρο, έστω για να δούμε και μόνο την τοποθεσία μας. Εδώ

και μερικά χρόνια υπάρχει διαστημικός σταθμός που βρίσκεται στην τροχιά της γης και έχει μόνιμα προσωπικό που πραγματοποιεί έρευνες και έχει διαρκή επικοινωνία με την γη. Όπως επίσης έχουμε την ευκαιρία να εξερευνούμε πολύ μακρινούς πλανήτες, που δεν θα είχαμε διαφορετικά την ευκαιρία να δούμε από τόσο κοντά, ούτε να συλλέξουμε και να επεξεργαστούμε ύλη από αυτούς. Επίσης έχουμε το προνόμιο να μπορούμε έχουμε ένα μεγάλο τηλεσκόπιο έξω από την γη που περιπλανιέται σε διάφορα σημεία του γαλαξία μας και μας στέλνει πίσω φοβερές εικόνες, μετρήσεις και συστάσεις διαφόρων υλικών στοιχείων που αλλιώς θα μας ήταν άγνωστα γιατί δεν φαίνονται τόσο ξεκάθαρα από την γη λόγω της ατμόσφαιρας.

Μεγάλη ανάπτυξη έχει σημειωθεί και στον τομέα της ρομποτικής που η τεχνητή νοημοσύνη χάρη στην αυξημένη ταχύτητα με την οποία λειτουργούν τα τρανζίστορ μπορεί και κερδίζει έδαφος συνεχώς. Ειδικότερα οι βαριές βιομηχανίες έχουν υιοθετήσει αρκετό καιρό τέτοιου είδους τεχνολογία και η παραγωγή έχει αυξηθεί κατακόρυφα. Αλλά και σε απλά πράγματα πια όπως μια αναζήτηση ή ένα βίντεο που θα δούμε στο διαδίκτυο οι εκάστοτε εταιρείες που προσφέρουν αυτού του είδους τις υπηρεσίες, εκπαιδεύουν τα συστήματά τους να ανιχνεύουν τις προτιμήσεις του χρήστη ώστε να δαπανά περισσότερο χρόνο στην υπηρεσία τους, αυτή η τακτική στηρίζεται στην τεχνητή νοημοσύνη που είναι ένα σύστημα το οποίο εκπαιδεύεται μόνο του.

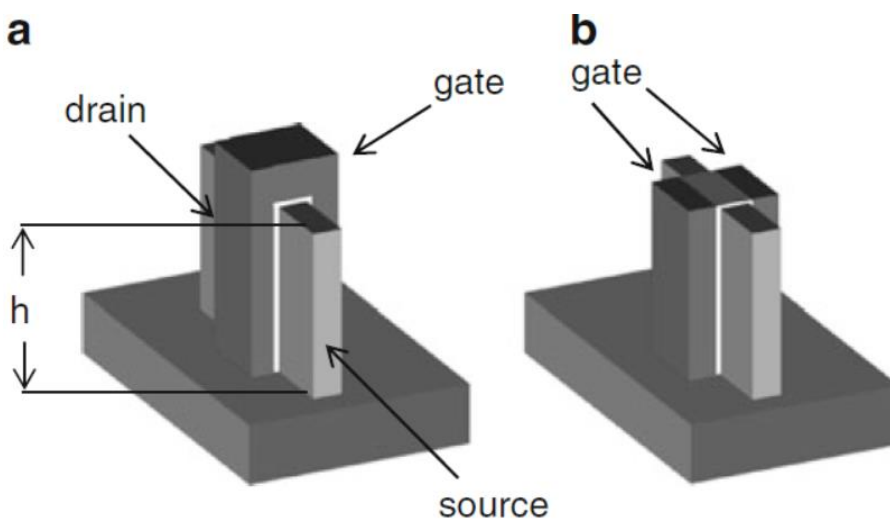
Κοινά πράγματα που έχουμε όλοι είναι τα πλυντήρια ρούχων και πιάτων, τα ψυγεία, οι κλιματισμοί, όπως επίσης τα κινητά μας τηλέφωνα και τα τάμπλετ, τα οποία εξελίσσονται και αυτά με ραγδαίους ρυθμούς κυρίως λόγω του μεγάλου ανταγωνισμού. Τα έξυπνα τηλέφωνα όπως ονομάζονται έχουν πολύ μεγάλη υπολογιστική ισχύ για το μέγεθος τους, μεγαλύτερη μάλιστα και από τα διαστημόπλοια των προηγούμενων δεκαετιών. Είναι ένα πολύ ισχυρό εργαλείο το οποίο έχει αντικαταστήσει την απλή καθημερινή χρήση των ηλεκτρονικών υπολογιστών, αφού γίνονται οι ίδιες διεργασίες και με αυτά ενώ μάλιστα παρέχουν σε ορισμένες περιπτώσεις και περισσότερα εργαλεία και ευκολίες χρήσεις για τον απλό ερασιτέχνη χρήστη.

Λόγω όμως του μεγέθους των τρανζίστορ έχουμε φτάσει στο όριο της κλίμακας που μπορούμε να σχεδιάζουμε τρανζίστορ, καθώς όταν προχωράμε παρακάτω αρχίζουν να εμφανίζονται κβαντικά φαινόμενα, τα οποία κάθε άλλο παρά βοηθούν στην ομαλή λειτουργία των τρανζίστορ, αν και θα αναφερθούμε σε αυτές τις περιπτώσεις στο κεφάλαιο 5 καθώς στα τρανζίστορ τύπου FinFET υπάρχουν προοπτικές να αξιοποιηθούν αυτά τα φαινόμενα. Το πρόβλημα είναι πως ενώ ο στόχος μας είναι να διαχειριζόμαστε όσο το δυνατόν πληρέστερα την ροή των ηλεκτρονίων ή των οπών, όταν εμφανίζονται κβαντικά φαινόμενα αυτό είναι αδύνατον, διότι τα ηλεκτρόνια δεν αναγνωρίζουν τα εμπόδια που βάζουμε ώστε να σταματήσουν, απλά τα περνάνε σαν να μην υπήρξαν ποτέ, συνεπώς είναι αδύνατος ο έλεγχος τους με τους τρόπους που τα ελέγχουμε σε τεχνολογία μεγαλύτερης κλίμακας.

## 2.3 – Η Μέθοδος Λειτουργίας των Τρανζίστορ τύπου FinFET

Σε αυτό το μέρος θα γίνει αναφορά στο πως συμπεριφέρονται τα τρανζίστορ τύπου FinFET, όταν απαρτίζουν κάποιες λογικές πύλες και γενικότερα διάφορες διατάξεις που εξυπηρετούν διαφορετικούς σκοπούς. Όπως επίσης θα γίνει αναφορά και στον τρόπο με τον οποίο απεικονίζονται όχι μόνο σχηματικά αλλά και αρχιτεκτονικά, πριν ξεκινήσει η παραγωγή τους. Οι βασικές αρχές με τις οποίες λειτουργούν εξηγήθηκαν στα παραπάνω μέρη κυρίως, δηλαδή ότι η λειτουργία τους είναι σαν ενός διακόπτη με την διαφορά ότι ελέγχεται με τάση για το αν θα είναι ανοιχτός ή κλειστός. Συνεπώς τα δύο άκρα του διακόπτη είναι ο συλλέκτης (source) και ο εκπομπός (drain), ενώ ο έλεγχος του γίνεται από την πύλη (gate).

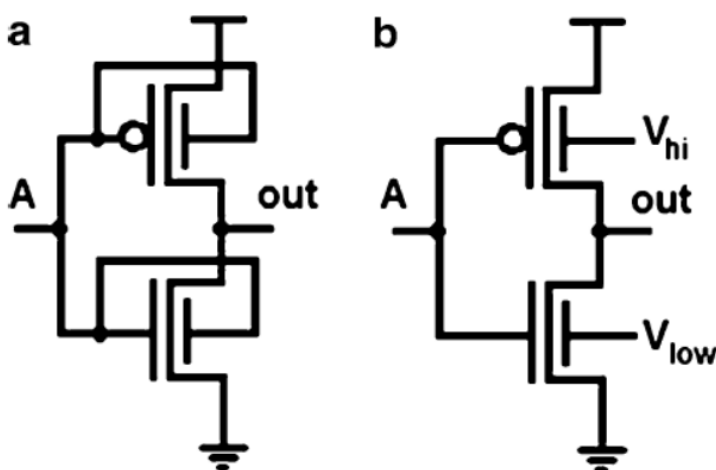
Όπως αναφερθήκαμε και στο Κεφάλαιο 1, τα FinFET ανήκουν στην κατηγορία των διπλόπυλων τρανζίστορ. Πράγμα που σημαίνει ότι αποτελούνται από δύο πύλες και αυτό συμβάλει πολύ στην υψηλή απόδοση άμα βραχυκυκλωθούν οι δύο πύλες σε μια ή αντιθέτως άμα χρησιμοποιούνται ξεχωριστά αποσκοπούν ή στην εξοικονόμηση ενέργειας (έως και 60% όταν είναι σε λειτουργία) ή στην μικρότερη ανάγκη πλήθους τρανζίστορ. Συνεπώς υπάρχουν δύο κατηγορίες FinFET, αυτά που έχουν μία πύλη και λέγονται shorted-gate (SG) FinFET και αυτά που έχουν δύο πύλες, που λέγονται independent-gate (IG) FinFET, αυτό επιτυγχάνεται όταν το πάνω κομμάτι της πύλης στην μύτη του fin εγχαρασσεται, δίνοντας έτσι δύο ανεξάρτητες πύλες. Επειδή μπορούν αυτές οι πύλες να ελέγχονται χωριστά προσφέρουν μεγάλο φάσμα δημιουργικότητας και ευελιξίας σχεδιασμού, όπως φαίνεται η διαφορά τους στο Σχήμα 2.3.1, ενώ στο Σχήμα 2.3.2 είναι η σχηματική τους αναπαράσταση στην περίπτωση του αντιστροφέα τάσης (λογικό NOT).



Σχήμα 2.3.1 – Δύο μέθοδοι χρήσης των FinFET τρανζίστορ.

a) SG FinFET - Με κολλημένες τις δύο πλευρές των πυλών, άρα είναι σαν μία πύλη.

b) IG FinFET – Η κάθε πλευρά έχει την δική της ξεχωριστή πύλη.



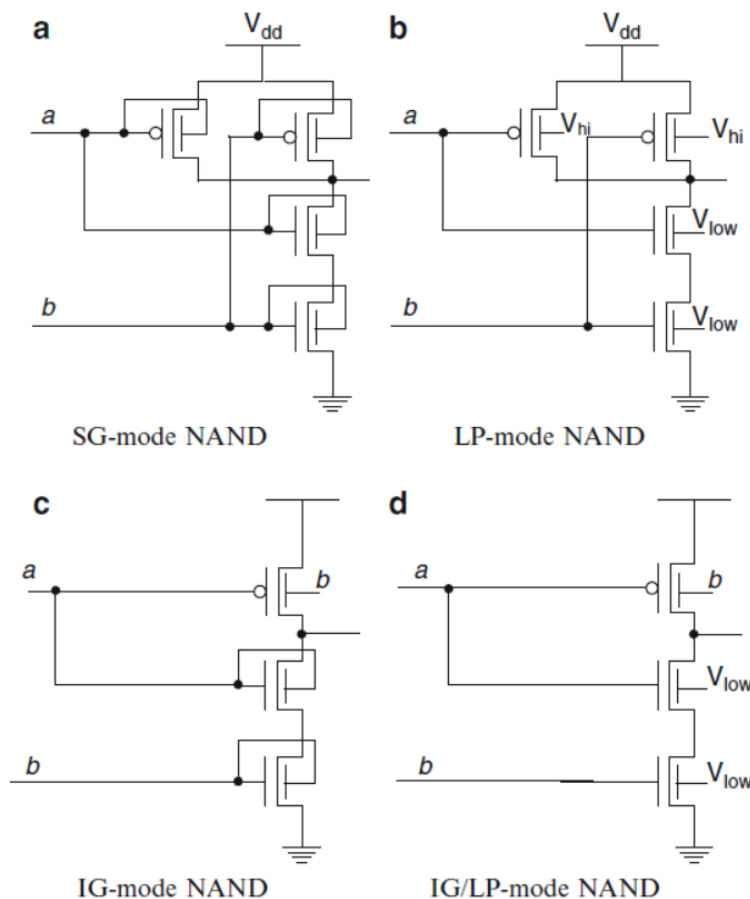
Σχήμα 2.3.2 – Σχηματική αναπαράσταση αντιστροφέα με δύο ειδών FinFET.

a) SG FinFET – η δεύτερη πύλη είναι βραχυκυκλωμένη με την πρώτη

b) IG FinFET – η μία πύλη εξυπηρετεί ως η είσοδος (A), ενώ η δεύτερη είναι συνδεδεμένη σε τάση αναλόγως τον τύπου τρανζίστορ.

Το τρανζίστορ με το κύκλο είναι το τύπου-p.

Όπως έχει γίνει αντιληπτό μέχρι στιγμής, σε γενικές γραμμές υπάρχουν τριών ειδών λειτουργίες στις λογικές πύλες των FinFET: (1) η λειτουργία SG όπου οι δύο πύλες είναι συνδεδεμένες μεταξύ τους, (2) η λειτουργία LP χαμηλού ρεύματος, όπου η πίσω πύλη είναι συνδεδεμένη με την αντίθετης πολικότητας πηγή ώστε να μειωθεί το όριο της διαρροής και (3) η λειτουργία IG όπου στις δύο πύλες καταλήγουν διαφορετικά τελείως σήματα. Το Σχήμα 2.3.3 δείχνει την εκτέλεση των παραπάνω ρυθμίσεων χρησιμοποιώντας μια πύλη NAND δύο εισόδων. Υπάρχει και μια υβριδική λειτουργία η IG/LP, στην οποία συνδυάζονται οι καταστάσεις LP και IG. Το ίδιο μπορεί να γίνει και με άλλες παρόμοιες συναρτήσεις Boole και να ενσωματωθούν σε ολοκληρωμένο σχέδιο για κάθε μια από τις παραπάνω λειτουργίες που αναφερθήκαμε.



Σχήμα 2.3.3 – Η πύλη NAND, σχεδιασμένη με FinFET που το καθένα προσφέρει διαφορετικές δυνατότητες στο συνολικό σύστημα.

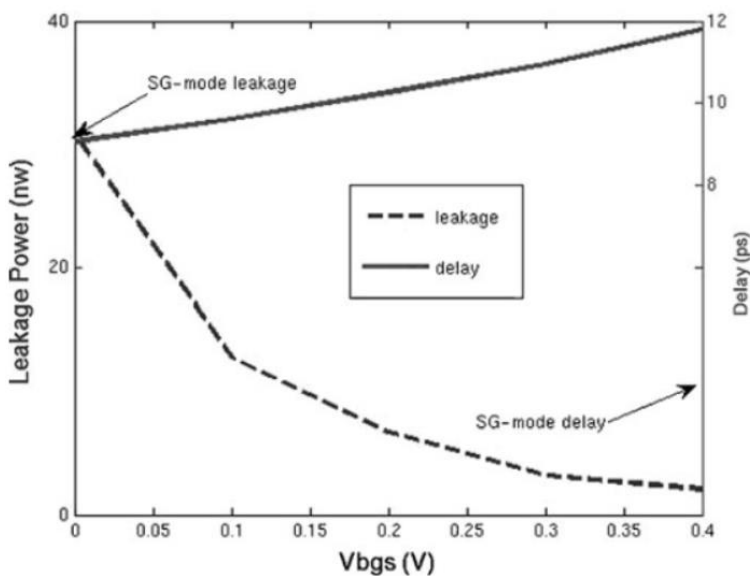
(Τα  $V_{hi}$  και  $V_{low}$  είναι οι εκάστοτε αντίθετες πολικότητας τάσης, ώστε να μην περνά καθόλου φορτίο)

Γενικά μιλώντας η δομή των FinFET υποφέρει από αξιόλογο ποσοστό υπερθέρμανσης. Οι θερμικές προσομοιώσεις δείχνουν πως παράγεται θερμοκρασία κοντά στους 70 βαθμούς κελσίου εάν οι δραστηριότητες των εναλλαγών υποθεθούν ότι είναι 0.1.

Η εναλλαγές στις καταστάσεις on/off των ρευμάτων του FinFET, αναλόγως τις τρεις λειτουργίες που έχουν, είναι εμφανείς. Τα FinFET προσφέρουν την καλύτερη απόδοση στην κατάσταση SG. Το  $I_{on}$  (το ρεύμα ενεργοποίησης) ελαττώνετε περίπου στο 60% στις καταστάσεις IG και LP. Η εφαρμογή αντίστροφης πόλωσης στην πίσω πύλη κατά την κατάσταση LP οδηγεί σε περαιτέρω μείωση του  $I_{on}$ , αν και σε μικρότερο ποσοστό. Ωστόσο, παρατηρείτε πως σε ένα FinFET που η μια πύλη τροφοδοτείται από το λογικό 0, τα FinFET τύπου-r μιας πύλης NAND με λειτουργία IG, δεν είναι σημαντικά καλύτερα από ένα FinFET στο οποίο έχει συνδεθεί η πίσω πύλη του με αντίστροφη πόλωση.

Από την άλλη πλευρά, το  $I_{off}$  (ρεύμα ηρεμίας – όταν δεν χρησιμοποιείτε το τρανζίστορ) μειώνεται πολύ πιο γρήγορα με την αυξανόμενη αντίστροφη πόλωση. Μια ισχυρή αντίστροφη πόλωση μειώνει το  $I_{off}$  κατά περισσότερο από μια τάξη μεγέθους σε σύγκριση με την λειτουργία SG, το οποίο εμφανίζει το υψηλότερο  $I_{off}$ .

Είναι χρήσιμο να εξεταστούν οι συνέπειες των παραπάνω χαρακτηριστικών της συσκευής στο σχεδιασμό αντιστροφέα (λογικό NOT) FinFET με λειτουργία LP. Το Σχήμα 2.3.4 παρουσιάζει τη μεταβολή της μέσης καθυστέρησης και την διαρροή ισχύος έναντι μεταβολής της τάσης πόλωσης της πίσω πύλης για ένα ελάχιστο μέγεθος λειτουργίας LP-αντιστροφέα, με φορτίο τετραπλάσιο του μεγέθους του και οδηγούμενο από κλίση 5 ps. Τόσο η άνοδος όσο και η πτώση, οδήγησαν την πόλωση της πίσω πύλης σε ίση ισχύ σε αυτό το πείραμα. Για παράδειγμα, εάν η ισχύς της πόλωσης της πίσω πύλης ήταν 0,2 V, η τάση των -0,2 V χρησιμοποιήθηκε για την πόλωση πίσω πύλης του FinFET που είναι στην κάτω περιοχή και μια τάση των 1,20 V χρησιμοποιήθηκε για να προκαλέσει την άνω περιοχή του FinFET. Το Σχήμα 2.3.4 απεικονίζει επίσης την καθυστέρηση και την διαρροή για έναν αντιστροφέα λειτουργίας SG. Μπορεί να παρατηρηθεί ότι η καθυστέρηση του αντιστροφέα υποβαθμίζεται απότομα όταν μεταβαίνει από τη λειτουργία SG σε μηδενική αντίστροφη πόλωση στην λειτουργία LP και πιο αργά όταν αυξάνεται η αντίστροφη πόλωση. Το ρεύμα διαρροής, ωστόσο, ποικίλλει έντονα σε σχέση με την πόλωση της πίσω πύλης. Η καμπύλη διαρροής παρουσιάζει μια αρχική απότομη πτώση, αλλά ευθυγραμμίζεται όταν η τάση πόλωσης της πίσω πύλης υπερβαίνει τα 0,26 V. Η περαιτέρω αύξηση της πόλωσης μπορεί να οδηγήσει μόνο στο να καθυστερήσει η επεξεργασία χωρίς όμως την σημαντική αντιστάθμιση της διαρροής. Με αυτό το σκεπτικό, μια κατάλληλη τιμή για την πόλωση της πίσω πύλης στα FinFET τύπου-n, είναι τα 0.26 V. Ενώ για τα FinFET τύπου-p, η τάση της πίσω πύλης στα 1.18 V ώστε να εξισωθούν οι καθυστερήσεις αύξησης και πτώσης.



Σχήμα 2.3.4 – Η καθυστέρηση και η εναλλαγή διαρροής ισχύος του αντιστροφέα FinFET κατά την λειτουργία LP.

Ας επανεξετάσουμε τα σχέδια της πύλης NAND που φαίνονται στο Σχήμα 2.3.3. Ας εξετάσουμε το μέγεθος του τρανζίστορ για κάθε πύλη. Ας υποθέσουμε, ότι όλες οι λογικές πύλες είναι σχεδιασμένες ώστε να έχουν το ελάχιστο δυνατό μέγεθος που μπορεί να είναι επιτευχθεί με την τεχνολογία FinFET. Όλα τα FinFET που είναι στην άνοδο και στην πτώση του μπλοκ, αντίστοιχα, ταξινομήθηκαν ισόποσα. Ας ορίσουμε την αναλογία του πλάτους της ανόδου ( $Wp$ ) και της πτώσης του FinFET ( $Wn$ ) να σημειωθεί ως  $\beta$ . Για να βρούμε το  $\beta$ , χρησιμοποιούμε τις ακόλουθες εκτιμήσεις:

1. Η κινητικότητα ηλεκτρονίων υπερβαίνει την κινητικότητα της οπών κατά 2X.
2. Το ηλεκτρικό πλάτος ενός FinFET είναι κβαντισμένο με βάση τον αριθμό των fin μέσα σε αυτό. Υποτίθεται ότι τα πλατύτερα τρανζίστορ μπορούν να προκύψουν μόνο με την αύξηση του αριθμού των fin. Το ύψος του κάθε fin θεωρείται ότι είναι ενιαίο και σίγουρο.
3. Όπως παρατηρήσαμε νωρίτερα, η χρήση ενός FinFET στις λειτουργίες LP ή IG μειώνει την απόδοση της δύναμης του σχεδόν 60%.

Οι τιμές για το  $\beta$ , και οι εκτιμήσεις για χωρητικότητα εισόδου, το μέσο ρεύμα εκτός λειτουργίας, η κατανάλωση κάτω από διαφορετικές εισόδους και η καθυστέρηση (ο μέσος όρος καθυστερήσεων μεταξύ αύξησης και πτώσης) για κάθε πύλη παρουσιάζονται στον Πίνακα 2.3.1. Υποθέτοντας μια αναλογία 2: 1 μεταξύ του της κινητικότητας των ηλεκτρονίων και των οπών, μπορεί να σχεδιαστεί μια αντιστοιχισμένη πύλη NAND CMOS με  $\beta=1$ . Η πύλη NAND λειτουργίας SG μπορεί να προκύψει εάν μεταφερθεί απευθείας το σχέδιο της CMOS NAND σε FinFETs, ενώ διατηρεί παράλληλα το ίδιο μέγεθος. Ο πίνακας 2.3.1 αναφέρει τις μετρήσεις των καθυστερήσεων που ελήφθησαν με τη χρήση HSPICE, υπό τρεις συνθήκες φορτίου: χωρίς φορτίο και με φορτία 4 (FO4) και 20 (FO20) αναστροφείς FinFET ελάχιστου μεγέθους λειτουργίας SG αντίστοιχα, για κάθε τύπο σχεδιασμού. Μια κλίση εισόδου 5 ps χρησιμοποιήθηκε για να οδηγήσει τις πύλες.

Στην πύλη λειτουργίας LP, η ισχύς κίνησης του κάθε FinFET μειώνεται εξίσου. Έτσι, μπορούμε να συνεχίσουμε να χρησιμοποιούμε το  $\beta=1$ . Όπως αναμενόταν, η μέση καθυστέρηση της πύλης κατά την λειτουργία LP είναι σχεδόν διπλάσια από την πύλη με λειτουργία SG. Από την άλλη πλευρά, η χωρητικότητα της εισόδου μιας πύλης με λειτουργία LP είναι μόνο η μισή από την πύλη με λειτουργία SG, επειδή μόνο μια πύλη FinFET οδηγείται από το σήμα εισόδου. Πιο σημαντικά, η διαρροή της ισχύος, κατά μέσο όρο για όλους τους συνδυασμούς των εισόδων, μειώνεται κατά περισσότερο από 90% λόγω της τάσης κατωφλίου.

Η πύλη λειτουργίας IG σχεδιάστηκε έτσι ώστε να έχει ασύμμετρες καθυστερήσεις ανόδου και πτώσης. Μόνο μια πύλη του τρανζίστορ χρησιμοποιείται για την άνοδο της πύλης NAND λειτουργίας IG. Για να επιτευχθούν ισορροπημένες καθυστερήσεις ανόδου και πτώσης θα πρέπει να κλιμακωθεί. Ωστόσο, χρησιμοποιώντας εξίσου μεγέθους ανόδους και πτώσεις, δηλ.  $\beta=1$ , αποφέρει εξοικονόμηση στην περιοχή, χωρητικότητα στην είσοδο και χωρητικότητα διάχυσης στην έξοδο της πύλης. Ως αποτέλεσμα, υπό συνθήκες χωρίς φόρτο, η πύλη NAND λειτουργίας IG, έχει μια μέση καθυστέρηση μεγαλύτερη από αυτή της λειτουργίας SG, όμως καταναλώνει λιγότερη περιοχή και ισχύ. Δυστυχώς, η ασυμμετρία στην άνοδο και στην πτώση της δύναμης οδήγησε μιας πύλης λειτουργίας IG μπορεί να οδηγήσει σε μεγάλες διαφορές στις καθυστερήσεις ανόδου και πτώσης κάτω από συνθήκες μεγάλου φορτίου. Αν και οι δύο μεταβάσεις μέσω μιας πύλης είναι κρίσιμες, μια πύλη λειτουργίας IG μπορεί να μην είναι κατάλληλη.

Ως εναλλακτική λύση, εξετάζεται η λειτουργία IG/LP. Όπως και με τον τρόπο η πύλη να είναι σε λειτουργία IG, κατά την λειτουργία IG/LP, τα παράλληλα τρανζίστορ, τα οποία είναι, τα ανοδικά στην NAND και τα καθοδικά στην πύλη NOR, συγχωνεύονται. Ωστόσο, σε αντίθεση με το σχέδιο λειτουργίας IG, οι καθυστερήσεις αντισταθμίζονται (ισορροπούνται) με τη μείωση της αντοχής της ολοκληρωμένης δομής της σειράς. Αυτό μπορεί να φανεί συγκρίνοντας τα αποτελέσματα της πύλης NAND με λειτουργία IG και IG/LP στον Πίνακα 2.3.1.

Η μείωση της αντοχής επιτυγχάνεται με τη σύνδεση των πίσω πυλών των FinFET σε σειρά και σε μια ισχυρή αντίστροφη πόλωση. Ουσιαστικά, η ταχύτερη μετάβαση επιβραδύνεται για να ταιριάζει με την μετάβαση που έγινε αργή λόγω της συγχώνευσης τρανζίστορ, έτσι υπάρχουν σημαντικές εξοικονομήσεις στα φαινόμενα διαρροής ρεύματος. Εκ πρώτης όψευς, αυτό μπορεί να φαίνεται να είναι μια μεγάλη απώλεια στην απόδοση. Ωστόσο, αυτό μπορεί να κάνει τις πύλες λειτουργίας IG/LP πιο χρήσιμες σε καταστάσεις όπου οι μεταβολές ανόδου και πτώσης (ενεργοποίησης/απενεργοποίησης) μέσω μιας πύλης είναι κρίσιμες.

Εδώ παρουσιάστηκαν δεδομένα μόνο για πύλες NAND δύο εισόδων. Ωστόσο, οι τεχνικές σχεδιασμού που εξετάστηκαν είναι γενικά εφαρμόσιμες. Οι NOR και AND-OR-NOT (Όλων των ειδών εισόδων) μπορούν να σχεδιαστούν χρησιμοποιώντας τις ίδιες αρχές και παρόμοια συμπεράσματα θα παρατηρηθούν σχετικά με την ισχύ και την καθυστέρηση. Συμπεριλαμβανομένων των ποικίλων υλοποιήσεων για κάθε λογική πύλη.

Design mode	$\beta$	$C_{in}$ (aF)	$I_{off}$ (nA)	Unloaded delay (ps)	FO4 delay (ps)	FO20 delay (ps)
SG	1	340	4.44	1.31	5.05	13.94
LP	1	170	0.22	5.64	19.95	61.84
IG	1	255	3.41	2.89	10.21	20.12
IG/LP	1	170	0.42	3.44	28.82	60.32

Πίνακας 2.1.1 – Σύγκριση καθυστέρησης και διαρροής ρεύματος της πύλης NAND για της λειτουργίες SG,LP,IG και IG/LP.

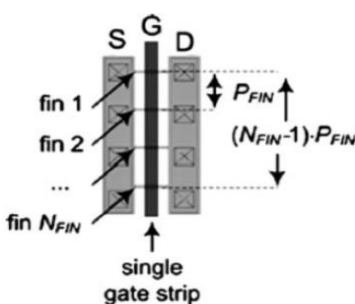
## 2.4 – Σχεδίαση Διατάξεων Τρανζίστορ τύπου FinFET

Μέχρι τώρα, έχουμε κάποια κατανόηση της λειτουργίας SG/IG του FinFET σε συνδυαστικά /διαδοχικά κυκλώματα, όμως όχι και τόσο πολύ στο φυσικό επίπεδο της αφαίρεσης. Επειδή ο σχεδιασμός ψηφιακών κυκλωμάτων VLSI βασίζεται συχνά στην τυπική προσέγγιση των fin, η κατανόηση των προβλημάτων διάταξης σε τυποποιημένα fin λειτουργίας SG/IG είναι σημαντική.

Ας υποθέσουμε ότι το πλάτος πύλης ενός FinFET με ένα μόνο fin είναι  $W_{min}$ . Όπως αναφέρθηκε νωρίτερα, το πλάτος της πύλης ενός multi-fin FinFET (είναι η περίπτωση που αναφέρθηκε παραπάνω, όταν ένα τρανζίστορ αποτελείται από πολλά fin λέγεται multi-fin FINFET), είναι συγκεκριμένη αναλόγως τον αριθμό των fin που αποτελείτε. Οι τιμές του πλάτους γίνονται ψηλότερες όταν συνδέονται ένα πλήθος από fin ( $N_{FIN}$ ) παράλληλα. Το Σχήμα 2.4.1 δείχνει ένα FinFET λειτουργίας SG, στο οποίο έχουν συνδεθεί τέσσερα fin παράλληλα. Το πλάτος αυτής της συσκευής είναι  $4W_{min}$ . Η περιοχή που καταλαμβάνει αυτή η συσκευή είναι αναλογική σε σχέση με την σχέση  $(N_{FIN} - 1) / P_{FIN}$ , όπου το  $P_{FIN}$  είναι η απόσταση μεταξύ της αρχής του ενός fin έως την αρχή του διπλανού άλλου (pitch) που ορίζεται από την διαδικασία παρασκευής (Σχήμα 2.4.2).

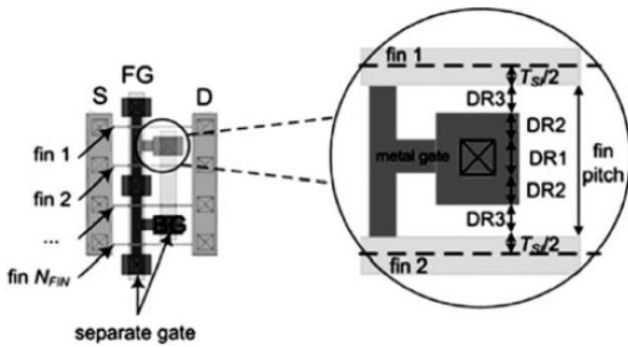
Επί του παρόντος, υπάρχουν δύο διαφορετικά είδη τεχνολογιών που χρησιμοποιούνται για τον ορισμό του  $P_{FIN}$ . Συγκεκριμένα, για την τεχνολογία FinFET που καθορίζεται από τη λιθογραφία, το  $P_{FIN}$  ορίζεται από την λιθογραφική ανάλυση της διαδικασίας. Από την άλλη πλευρά, χάρη στην τεχνολογία spacer-defined, το  $P_{FIN}$  μπορεί να μειωθεί στο μισό, επιτρέποντας έτσι τη χρήση υπολιθογραφικού ελέγχου του pitch των fin. Η περιοχή της συσκευής αποτελείται επίσης από συλλέκτη, εκπομπό όπως και πύλη που έχει από κάτω τα fin. Η περιοχή αυτή παραμένει η ίδια και στους δύο τύπους τεχνολογιών διεργασίας. Μια άλλη μέθοδος για τη μείωση της περιοχής διάταξης βασίζεται στην αύξηση του  $W_{min}$ , το οποίο με την σειρά του, αυξάνει το ύψος του fin. Ωστόσο, για να περιοριστεί το φαινόμενο βραχυκύκλωσης, δεν μπορούν να επιλεγούν αυθαίρετα μεγάλες τιμές για το ύψος των fin. Πρέπει να διατηρηθούν ορισμένες αναλογίες μεταξύ του ύψους του fin, του μήκους του καναλιού και του πλάτους του fin, ώστε να γίνει επιτύχει ο σκοπός και να μειωθούν τα φαινόμενα βραχυκύκλωσης.

Το σχήμα 2.4.2 δείχνει τη διάταξη ενός FinFET λειτουργίας IG. Σε ένα τέτοιο FinFET, οι μπροστινές και οι πίσω πύλες έχουν ξεχωριστή επαφή και, κατά συνέπεια, το pitch των fin πρέπει να αυξηθεί ώστε να αφομοιωθεί η επαφή της πίσω πύλης. Συνεπώς, το pitch των fin σε FinFET λειτουργίας IG είναι μεγαλύτερο από το pitch των fin σε FinFET λειτουργίας SG. Το pitch των fin σε FinFET με λειτουργία IG δίνεται από τον τύπο  $T_{Si} + DR1 + 2(DR2 + DR3)$ , όπου τα  $DR1$ ,  $DR2$  και  $DR3$  είναι τεχνολογικά καθορισμένα στους κανόνες σχεδιασμού. Επίσης, τα FinFET λειτουργίας IG, δεν επωφελούνται από τη λιθογραφία τεχνολογίας spacer λόγω του αυξημένου pitch των fin. Επομένως, αναμένεται οι συσκευές λειτουργίας IG να έχουν πολύ κατώτερη πυκνότητα διάταξης σε σύγκριση με αυτή των συσκευών SG-mode.

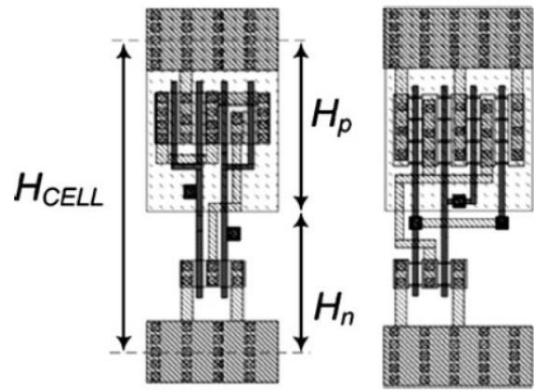


Σχήμα 2.4.1 – Διάταξη FinFET λειτουργίας SG





Σχήμα 2.4.2 – Διάταξη FinFET λειτουργίας IG.



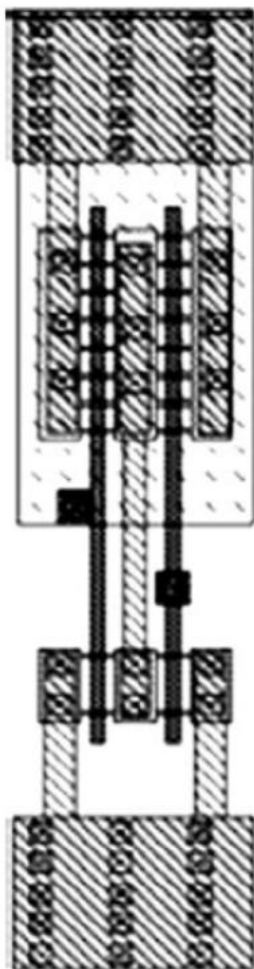
Σχήμα 2.4.3 – Διάταξη δύο πυλών NOR δύο εισόδων (NOR2) με τεχνολογία CMOS υλοποιημένη με FinFET λειτουργίας SG.

Το Σχήμα 2.4.3 δείχνει τη διάταξη μιας πύλης δομής NOR δύο εισόδων (που αναφέρεται ως NOR2) βασισμένη σε bulk CMOS και τα FinFET λειτουργίας SG κάνοντας χρήση τεχνολογίας λιθογραφίας. Το σχήμα 2.4.4 δείχνει τη διάταξη του FinFET λειτουργίας SG, κάνοντας χρήση την τεχνολογία spacer. Στο σχήμα 2.4.3, το πρότυπο ύψος κελιού HCELL ορίστηκε σε 14 τροχιές από μέταλλο 2, ενώ οι οι ράγες εδάφους/τροφοδοσίας υποθέτονται ότι είναι 2,5 τροχιές σε ύψος. Σε αυτή τη διάταξη, το ύψος  $H_p$  που αντιστοιχεί σε FinFET τύπου-p, ρυθμίστηκε ώστε να είναι 1,5 φορά το ύψος  $H_n$  που αντιστοιχεί σε FinFET τύπου-n. Το ίδιο μπορεί να ισχύει και για τις πύλες NAND, NOT, και άλλες που μπορούν να σχεδιαστούν με παρόμοιο τρόπο. Το σχήμα 2.4.5 δείχνει την διάταξη ενός κελιού που αποτελείτε από 2 πύλες NOR2 λειτουργίας IG.

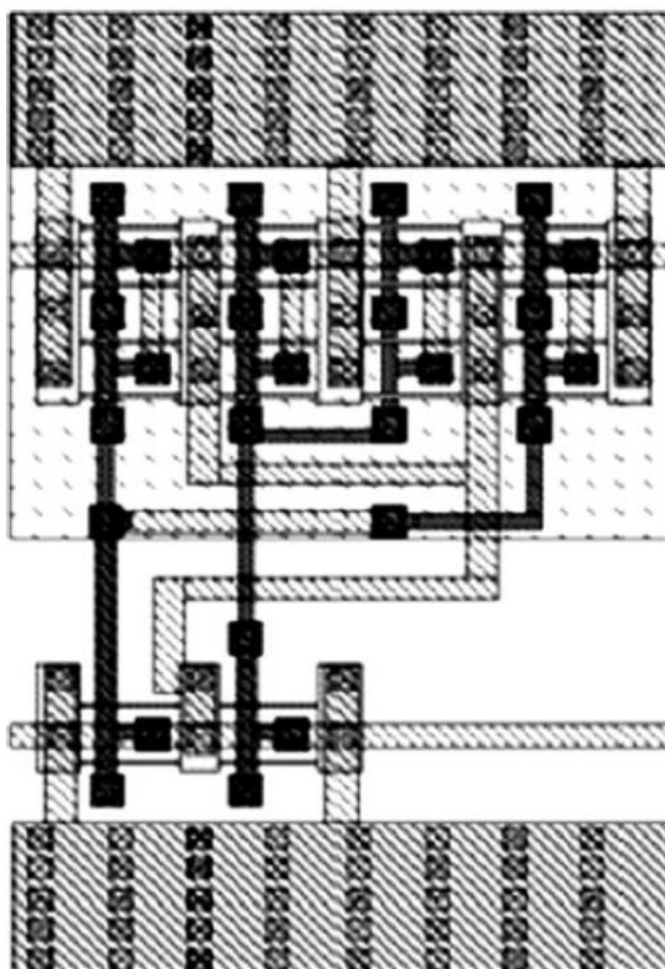
Ο Πίνακας 2.4.6 παρουσιάζει τα αποτελέσματα της περιοχής του FinFET των κελιών των 2 πυλών NOR2 (λειτουργίας SG/IG) που προσαρμόστηκαν ως προς το κελί που υλοποιείται σε bulk CMOS χρησιμοποιώντας τεχνολογία spacer και λιθογραφίας. Μπορεί να φανεί από τον πίνακα ότι η πύλη NOR λειτουργίας SG έχει μεγαλύτερη πυκνότητα διάταξης σε σύγκριση με αυτή του bulk CMOS όταν χρησιμοποιείτε η τεχνολογία spacer. Από την άλλη πλευρά, η πύλη NOR λειτουργίας SG και οι πύλες NOR τεχνολογίας bulk CMOS έχουν συγκρίσιμες περιοχές όταν χρησιμοποιείται τεχνολογία λιθογραφίας. Ωστόσο, η πύλη NOR λειτουργίας IG καταλαμβάνει το διπλάσιο χώρο, σε σύγκριση με την bulk CMOS. Παρόμοιες τάσεις παρατηρούνται και σε άλλες πύλες που υλοποιούνται με τη χρήσης τεχνολογίας λιθογραφίας, όπως φαίνεται στο Σχήμα 2.4.7. Ως εκ τούτου, πρέπει να γίνονται έξυπνες επιλογές όταν η περιοχή και οι διαρροές αποτελούν μείζονα ανησυχία.

	Λειτουργία SG	Λειτουργία IG
Τεχνολογία Λιθογραφίας	1.1	2
Τεχνολογία Spacer	0.7	2

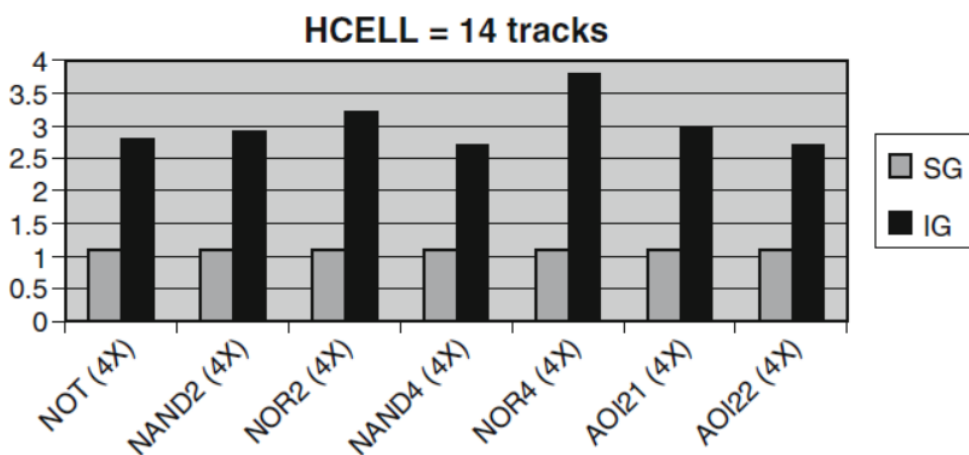
Πίνακας 2.4.6 – Προσαρμοσμένη περιοχή κελιών δύο πυλών NOR2 σε σχέση με την διάταξη συμβατικού CMOS.



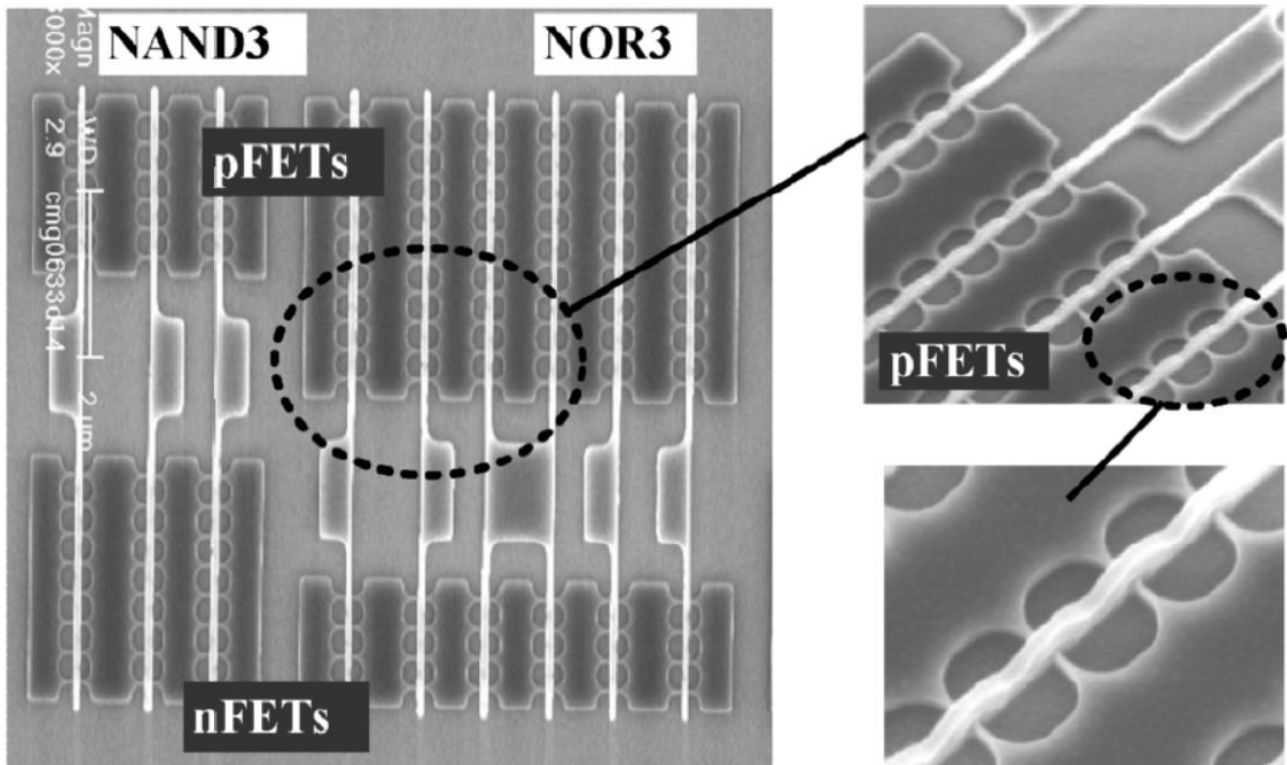
Σχήμα 2.4.4 – Διάταξη πύλης NOR2 λειτουργίας SG, υλοποιημένη με τεχνολογία spacer.



Σχήμα 2.4.5 – Διάταξη δύο πυλών NOR2 λειτουργίας SG, τεχνολογίας spacer



Σχήμα 2.4.7 – Ο χώρος προσαρμογής των κελιών λειτουργίας SG και IG, τεχνολογίας λιθογραφίας σε σχέση με την συμβατική τεχνολογία CMOS.



Σχήμα 2.4.8 – Φωτογραφία από σαρωτή ηλεκτρονικού μικροσκοπίου (SEM) των πυλών NAND3 και NOR3. Copyright © 2007 IEEE.

## Πηγές & Βιβλιογραφία

- Σχεδίαση Ολοκληρωμένων Συστημάτων CMOS VLSI Neil H.E. West & David M. Harris 4<sup>η</sup> έκδοση, εκδόσεις Παπασωτηρίου, 2011, ISBN 978-960-7182-67-8

### Semitracks: Intel Ivy Bridge 22nm FinFET Process Fabrication

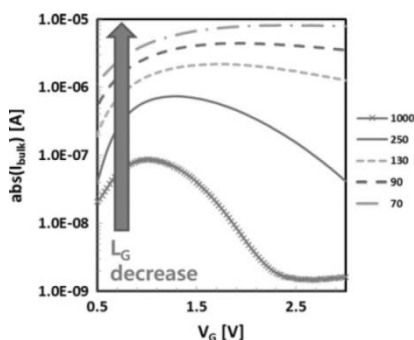
- Silicon VLSI Technology Fundamentals, Practice and Modeling. Authors: J.D. Plummer, M.D. Deal, and P.B. Griffin, ©2000 by Prentice Hall Upper Saddle River NJ
- Dry Etching Technology for Semiconductors, Kazuo Nojiri, Springer, ISBN: 978-3-319-10294-8
- ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ. ΔΙΑΤΜΗΜΑΤΙΚΟ ΜΕΤΑΠΤΥΧΙΑΚΟ ΣΤΗ ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗ ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ « ΕΓΧΑΡΑΞΗ ΕΠΙΦΑΝΕΙΩΝ ΠΥΡΙΤΙΟΥ ΣΕ ΑΝΤΙΔΡΑΣΤΗΡΑ ΠΛΑΣΜΑΤΟΣ ΥΨΗΛΗΣ ΠΥΚΝΟΤΗΤΑΣ ΚΑΙ ΜΕΛΕΤΗ ΤΗΣ ΕΠΙΦΑΝΕΙΑΚΗΣ ΚΑΙ ΠΛΕΥΡΙΚΗΣ ΤΡΑΧΥΤΗΤΑΣ » ΚΩΝΣΤΑΝΤΙΝΟΣ Π. ΜΠΟΥΚΟΥΡΑΣ
- [https://www.intel.com/pressroom/kits/advancedtech/doodle/ref\\_HiK-MG/high-k.htm](https://www.intel.com/pressroom/kits/advancedtech/doodle/ref_HiK-MG/high-k.htm)
- <http://electroiq.com/blog/2012/02/semiconductor-metrology-beyond-22nm-finfet-metrology/>.
- Nanoelectronic Circuit Design, Niraj K. Jha, Deming Chen, Springer, ISBN: 978-1-4419-7444-0
- Integrated Circuits and Systems – FinFETs and Other Multi-Gate Transistors – Edited by J.-P. Colinge, Springer Science+Business Media, LLC, ISBN 978-0-387-71751-7, e-ISBN 978-0-387-71752-4

# Κεφάλαιο 3 – Μελέτη Φαινομένων Υπερθέρμανσης Τρανζίστορ FinFET

Κατά δεκαετία του 1970-1980, η ελαχιστοποίηση της κλίμακας των συσκευών MOSFET προχώρησε ενώ η τάση τροφοδοσίας ( $V_{DD}$ ) ήταν σταθερή, με αποτέλεσμα τα κατακόρυφα/πλευρικά ηλεκτρικά πεδία να αυξάνονται συνεχώς. Στη δεκαετία του 1990, το  $V_{DD}$  μειώθηκε όπως επίσης και κάθε τεχνολογικός κόμβος, και τα πεδία παρέμειναν σχετικά σταθερά. Από το 2000 περίπου, από τον κόμβο που ήταν κάτω από 65nm, τα  $V_{DD}$  είναι και πάλι σταθερά σε επίπεδο περίπου 1.0 V και τα κατακόρυφα/πλευρικά ηλεκτρικά πεδία πάλι αυξάνονταν όσο μειωνόταν η κλίμακα της συσκευής. Είναι απαραίτητο λοιπόν να ερευνηθεί ο Φορέας Θερμού Καναλιού (CHC – Channel Hot Carrier – θα ονομάζετε έτσι στο εξής) για την εγγύηση της αξιοπιστίας της συσκευής.

Σε επίπεδες συσκευές μεγάλου διαύλου, όταν η τάση της πύλης ( $V_G$ ) είναι περίπου ίση με την υποδιπλάσια τιμή της τάση του εκπομπού ( $V_D$ ), ( $V_G \sim V_D / 2$ ) αναφέρεται ως το πιο καταστροφικό CHC, όπου ο ιονισμός πρόσκρουσης είναι μέγιστος. Σε αυτήν την περίπτωση, η υποβάθμιση του υποστρώματος με Si/SiO<sub>2</sub> από θερμούς φορείς επισημαίνεται ως ο κύριος λόγος για την ολική υποβάθμιση της συσκευής λόγω του CHC. Για τις συσκευές βραχέων καναλιών, η πιο επιβλαβής συνθήκη CHC αλλάζει από  $V_G \sim V_D/2$  σε  $V_G = V_D$ , όπου ένα υψηλότερο κατακόρυφο πεδίο εφαρμόζεται στο οξειδίο της πύλης, το οποίο είναι σύμφωνο με το Σχήμα 3, από όπου παρατηρείτε πώς ο μέγιστος ιονισμός των κρούσεων μετατοπίζεται σε  $V_G = V_D$  σε συσκευές βραχέων καναλιών. Μία εξήγηση είναι ότι επηρεάζεται από την ένταση του ρεύματος η ζημιά που προκαλείται λόγω του θερμού φορέα. Αυτή η αλλαγή μπορεί να οφείλεται λόγω της αύξησης του ελαττωματικού υποστρώματος SiO<sub>2</sub> σε παχύτερες συσκευές EOT (Electrical Oxide Thickness – συσκευές όπου το κανάλι περνάει μέσα από το οξειδίο) ή λόγω του ελαττωματικού οξειδίου με υψηλό-k σε λεπτά EOT.

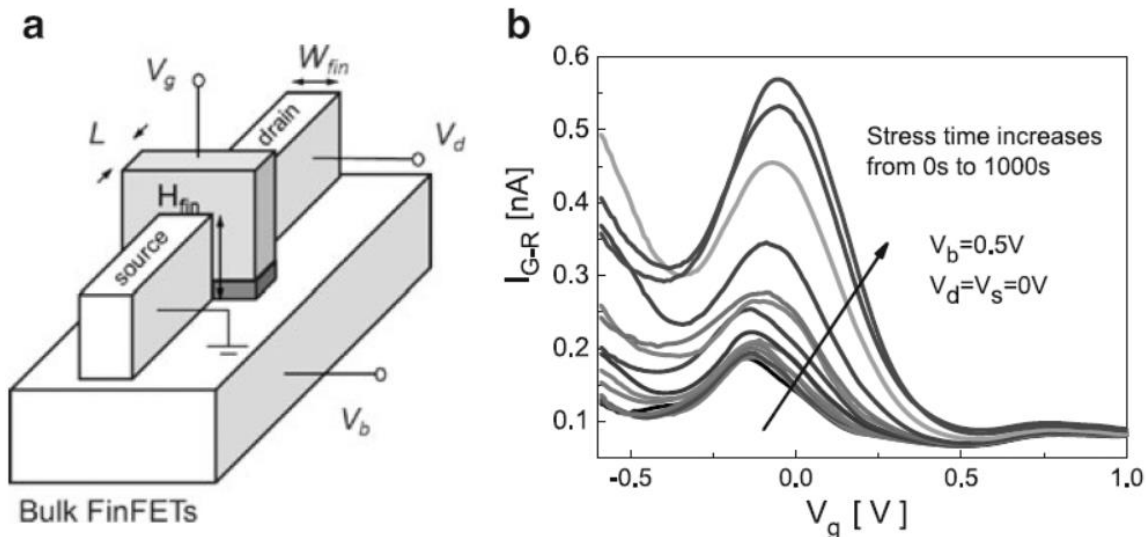
Από τότε που ξεκίνησε η παραγωγή τρισδιάστατων τρανζίστορ για λογικές εφαρμογές, η δομή του FinFET με υπόστρωμα Si λαμβάνει μεγάλη προσοχή. Αυτό το κεφάλαιο, εστιάζει κυρίως στον μηχανισμό υποβάθμισης του CHC όσο το δυνατόν καλύτερα αναλόγως τις διάφορες δομές του FinFET. Στο πρώτο κομμάτι γίνεται αναφορά στην μοντελοποίηση του φαινομένου του Θερμού Φορέα – Hot Carrier. Στο δεύτερο κομμάτι αυτού του κεφαλαίου, συζητείται ο μηχανισμός υποβάθμισης CHC, καλύπτοντας το μήκος της πύλης, το πλάτος των fin, τον προσανατολισμό των περιστρεμμένων fin και την στρογγυλοποίηση των γωνιών του fin. Στο τρίτο κομμάτι, παρουσιάζετε το αντίκτυπο της αυτό-θέρμανσης στα n-FinFET, δείχνοντας τη σημαντικότητα του FinFET αντί των επίπεδων συσκευών. Τέλος, παρουσιάζεται η συμβολή των διηλεκτρικών υψηλού-k στην κινητικότητα των ηλεκτρονίων.



Σχήμα 3 – Διάφορα ρεύματα για διάφορα μήκη πύλων των n-FinFET με fin πλάτους στα 10nm δείχνουν το  $V_D=2.50V$  σε θερμοκρασία δωματίου. Οι επιπτώσεις του ιονισμού εμφανίζονται όταν  $V_G \sim V_D/2$  σε συσκευές με μακριές πύλες, ωστόσο οι επιπτώσεις ιονισμού αυξάνονται συνεχώς για υψηλά  $V_G$  σε συσκευές με βραχείες πύλες.

### 3.1 – Μοντελοποίηση του φαινομένου του Θερμού Φορέα – Hot Carrier

Το Φαινόμενο Θερμού Φορέα (HCE – Hot Carrier Effect) οφείλεται στο ηλεκτρικό πεδίο μεγάλου καναλιού ή λόγω παγιδευμένων φορτίων στο υπόστρωμα. Τα υψηλά ηλεκτρικά πεδία στο κανάλι απαιτούν μεγάλη ενέργεια για να σπάσει ο επιφανειακός δεσμός πυριτίου/οξυγόνου ή για να εγχυθεί στο οξείδιο της πύλης, επίσης, το ρεύμα σε ενεργή κατάσταση προκαλεί υποβάθμιση της απόδοσης του τρανζίστορ. Εδώ, θα ληφθεί υπόψη μόνο η κατάσταση των HCE. Στο κανάλι του MOSFET, υπάρχει υψηλό ηλεκτρικό πεδίο κοντά στην πλευρά του εκπομπού. Για να μοντελοποιήσουμε τα αποτελέσματα των καταστάσεων στα χαρακτηριστικά του FinFET, πρώτα πρέπει να μοντελοποιηθεί η κατανομή του χώρου κατά μήκος του καναλιού, έπειτα αυτές οι πληροφορίες χωρικής κατανομής μπορούν να ενσωματωθούν στο προαναφερθέν μοντέλο για την DG FINFET. Η μέθοδος της εμπρόσθιας πύλης-διόδου υποθέτει ότι το ρεύμα παρέχεται κυρίως από τη διαδικασία ανασυνδυασμού φορέα στην περιοχή απογύμνωσης όταν η εξωτερική τάση δεν είναι μεγάλη. Το σχήμα 3.1a δείχνει τη σχηματική απεικόνιση των FinFET με υπόστρωμα Si. Με διαφορετικές σταθερές τάσεις στον εκπομπού, οι ιδιότητες του στρώματος του εκπομπού αλλάζουν, ομοίως και το ρεύμα. Οι καταστάσεις μπορούν να εξαχθούν από την εξάρτηση του ρεύματος της διόδου με την εξωτερική τάση.



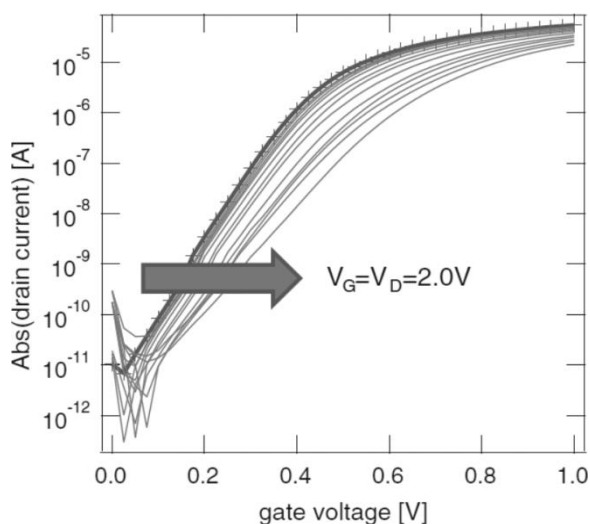
Σχήμα 3.1.1 – a) Η διαμόρφωση της μπροστινής πύλης-διόδου με την μέθοδο χαρακτηρισμού σε FinFET με υπόστρωμα Si και b) Το ρεύμα του υποστρώματος με τον συλλέκτη και τον εκπομπού γειωμένα και το υπόστρωμα τροφοδοτούμενο με σταθερή τάση 0,5V. Οι κορυφές του παραγόμενου ρεύματος εμφανίζονται περίπου όταν το  $V_g = -0.1V$  με διάφορες διάρκειες αυξομειώσεων της καταπόνησης.

### 3.2 – Μελέτη Λειτουργίας Τρανζίστορ FinFET λόγω παραχθέντων Θερμοκρασιών

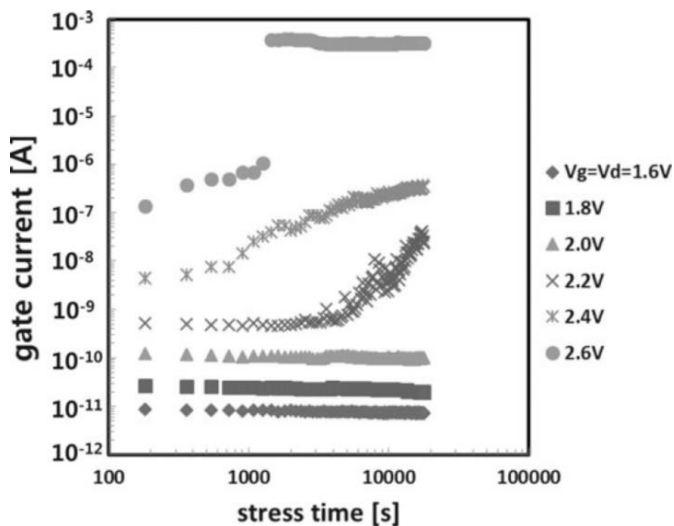
Ας αναλύσουμε αρχικά της συνθήκες που επικρατούν κατά τα πειράματα. Οι συσκευές των n-FinFET με υπόστρωμα Si, κατασκευάστηκαν σε δίσκους πυριτίου 300mm χρησιμοποιώντας ένα μείγμα ALD-HfO<sub>2</sub> στρώματος υψηλού-k. Ένα μεσαίο στρώμα αναπτύχθηκε με οξείδωση σε O<sub>3</sub>, στη συνέχεια πάνω από 1,8nm HfO<sub>2</sub> το ALD-TiN της μεταλλικής πύλης εναποτέθηκε στη στοίβα της πύλης. Πύλες μήκους 250 και 70nm επιλέχθηκαν για τη διερεύνηση συσκευών μακρών και βραχείων καναλιών. Για την ανάλυση της παραλλαγής πλάτους του fin ( $W_{fin}$ ), n-FinFET χρησιμοποιήθηκαν ίδιας στοίβας πύλες, αλλά επεξεργάστηκαν χωριστά και το πλάτος του fin κυμαινόταν από 5nm έως 1000nm. Κατά της μελέτες μήκους πύλης και πλάτους fin, επιλέχθηκαν τα n-FinFET με πέντε παράλληλα fin.

Οι μετρήσεις θερμού φορέα διαύλου πραγματοποιήθηκαν σε θερμοκρασία δωματίου και σε 125°C. Πρώτα, μετρήθηκε ένα χαρακτηριστικό  $I_D-V_G$  σε μια νέα συσκευή, στη συνέχεια εφαρμόστηκε σταθερή τάση στην πύλη, στον εκπομπό του τρανζίστορ και στον συλλέκτη εφαρμόστηκε γείωση. Η καταπόνηση (stress) διακόπηκε αρκετές φορές και τα πλήρη χαρακτηριστικά των  $I_D-V_G$  μετρήθηκαν για να παρακολουθηθεί η μείωση των υπο-κατωφλίων των  $V_{TH}$ ,  $I_D$ , και  $G_m$  ως συνάρτηση του χρόνου καταπόνησης, όπως φαίνεται στο σχήμα 3.2.1. Εφαρμόζοντας μια γρήγορη τεχνική μέτρησης, για τη μελέτη θερμού φορέα θα παραβλέψουμε τις πληροφορίες  $G_m$  ή της κλίσης υπο-κατωφλίου.

Το Σχήμα 3.2.2 δείχνει την καταπόνηση που προκαλείται από το ρεύμα διαρροής (SILC – Stress-Induced Leakage Current) για διάφορα  $V_G=V_D$  υπό συνθήκες άγχους. Στην κατάσταση CHC που είναι χαμηλότερη από  $V_G=V_D=2.0$  V, το ρεύμα της πύλης μειώνεται συνεχώς με το χρόνο, λόγω της παγίδευσης θερμού φορέα στα ελαττώματα του οξειδίου. Πάντως πάνω από το  $V_G=V_D=2.2$  V, η αύξηση του SILC παρατηρήθηκε οδηγώντας σε μεγάλη βλάβη της συσκευής όπως για  $V_G=V_D=2.6$  V. Η μελέτη για την υποβάθμιση του CHC έγινε κυρίως για  $V_G=V_D=1.75$  V. Τα ελαττώματα του υποστρώματος Si, που είναι υπεύθυνα για το CHC είναι προϋπάρχοντα ελαττώματα, που δεν δημιουργούνται από την καταπόνηση (stress) του CHC.



Σχήμα 3.2.1 – Χαρακτηριστικά  $I_D-V_G$  πριν και μετά την καταπόνηση για μια συσκευή n-FinFET με  $L_G=70$ nm,  $W_{fin}=15$ nm σε θερμοκρασία δωματίου.



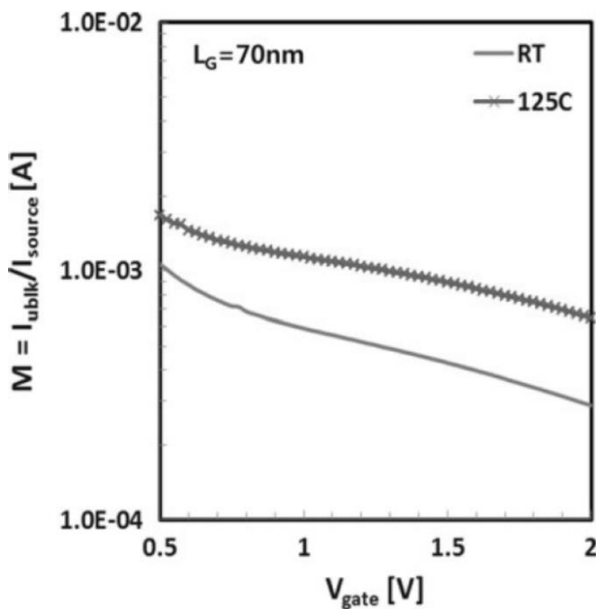
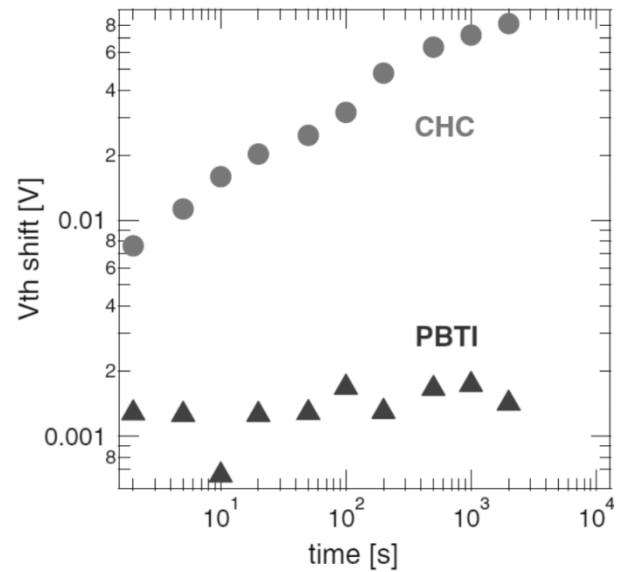
Σχήμα 3.2.2 – Οι πληροφορίες SILC λαμβάνονται από έξι διαφορετικές  $V_G=V_D$  συνθήκες καταπόνησης σε θερμοκρασία δωματίου. Κάτω από καταπόνηση υψηλής τάσης χαλαρεί, ωστόσο παρατηρείτε σφάλμα φόρτισης ακόμα και όταν  $V_G=V_D=1.75V$ .

Τώρα θα εξετάσουμε με περισσότερες λεπτομέρειες τον μηχανισμό υποβάθμισης CHC και τον αντίκτυπο του στο μήκος της πύλης και για διάφορα πλάτη των fin. Στη συνέχεια η στρογγυλοποίηση της γωνίας του fin και η περιστροφή του θα συζητηθεί περαιτέρω.

Ο ρυθμός υποβάθμισης του CHC είναι πιο αργός σε υψηλότερα  $V_G$ , αν και η απόλυτη υποβάθμιση είναι υψηλότερη. Για να γίνει η διάκριση μεταξύ θερμού και ψυχρού φορέα που επηρεάζει την αξιοπιστία CHC σε συσκευές μικρού καναλιού, πραγματοποιούνται μετρήσεις PBTI εφαρμόζοντας ξεχωριστά 0V στον εκπομπό κατά τη διάρκεια της καταπόνησης, όπως φαίνεται στο σχήμα 3.2.3. Ενώ η καταπόνηση του CHC περιέχει μια ξεκάθαρη υποβάθμιση του  $V_{TH}$  όταν  $V_G=V_D=1.75V$ , η καταπόνηση του PBTI σε τάση  $V_G=1.75V$  και  $V_D=0.0V$  δεν υποβαθμίζει τη συσκευή. Κατά την περίοδο καταπόνησης του PBTI, ολόκληρο το κανάλι είναι ανεστραμμένο και τα ηλεκτρόνια στο ανεστραμμένο στρώμα (ή "οι ψυχροί" φορείς) αντιδρούν με το οξειδίο της πύλης και τότε παράγουν την υποβάθμιση της συσκευής. Από την άλλη πλευρά, στην κατάσταση καταπόνησης CHC, το κανάλι είναι ανεστραμμένο μέχρι τη θέση αποκοπής και οι θερμοί φορείς εμφανίζονται σε όλη την υπόλοιπη περιοχή του καναλιού.

Επομένως, και οι ψυχροί φορείς από το στρώμα αντιστροφής και οι θερμοί φορείς από τον ιονισμό κρούσης, επηρεάζουν την αξιοπιστία της συσκευής. Το Σχήμα 3.2.3, δείχνει ότι είναι αμελητέος ο ψυχρός φορέας που προκαλεί υποβιβασμό της συσκευής, ως εκ τούτου οι θερμοί φορείς είναι η κύρια πηγή της υποβάθμισης στα σύντομα κανάλια των n-FinFET. Μια προσομοίωση TCAD επιβεβαιώνει αυτό το αποτέλεσμα, ότι η παραγωγή θερμού φορέα προκύπτει έντονα στο σύνολο της περιοχής καναλιών για μήκος πύλης των 70nm n-MOSFET, ενώ υπάρχει μια κορυφή στον ιονισμό κρούσης μόνο κοντά στην πλευρά του εκπομπού για ένα μακρύ μήκος καναλιού του 1μm n-MOSFET. Το σχήμα 3.2.4 δείχνει τον συντελεστή πολλαπλασιασμού ( $M=I_{BULK(ΥΠΟΣΤΡΩΜΑ\ SI)} / I_{SOURCE(ΣΥΛΛΕΚΤΗ)}$ ) σε θερμοκρασία δωματίου και στους 125 °C. Ο συντελεστής πολλαπλασιασμού μας δίνει μια χρήσιμη σύγκριση με την ομαλοποίηση του ρεύματος του υποστρώματος για το παρεχόμενο ρεύμα. Μία υψηλότερη πυκνότητα θερμών φορέων παράγεται σε υψηλότερες θερμοκρασίες. Μία εξήγηση βασίζεται στη φυσική πλέγματος πυριτίου και στη συμπεριφορά ηλεκτρονικής σκέδασης ηλεκτρονίων (EES). Όταν δύο φορτισμένα σωματίδια με μεσαία ενέργεια συγκρούονται το ένα με το άλλο (EES), μπορεί να συμβεί μεταφορά ενέργειας, έτσι ώστε ένα σωματίδιο να χάνοντας την ενέργεια του να την μεταδώσει στο άλλο, στρέφοντας το τελευταίο σε ένα θερμό φορέα. Αυτή είναι μια μεγαλύτερη θερμική ουρά στην κατανομή των ηλεκτρονίων σε υψηλές θερμοκρασίες, επομένως μπορούν να δημιουργηθούν περισσότεροι θερμοί φορείς από τον συνδυασμό του EES και της υψηλότερης πυκνότητας ηλεκτρονίων υψηλής ενέργειας.

Σχήμα 3.2.3 – Μετατόπιση του  $V_{TH}$  μετά από CHC καταπόνηση στο  $V_G=V_D=1,75$  V και μια καταπόνηση PBT στο  $V_G=1.75$  V και  $V_D=0.0$  V εμφανίζονται για n-FinFETs με 70nm μήκος πύλης και 12nm πλάτος fin. Η υποβάθμιση  $V_{TH}$  είναι ξεκάθαρα εμφανείς κατά την κατάσταση καταπόνησης του CHC, σε αντίθεση με την PBT κατάσταση καταπόνησης. Αυτό υπονοεί ότι ο ψυχρός φορέας δεν επηρεάζει την υποβάθμιση.



Σχήμα 3.2.4 – Ο παράγοντας πολλαπλασιασμού ( $M$ ) δείχνει αυξημένη παραγωγή θερμών φορέων στους 125°C από ότι σε θερμοκρασίας δωματίου (RT).

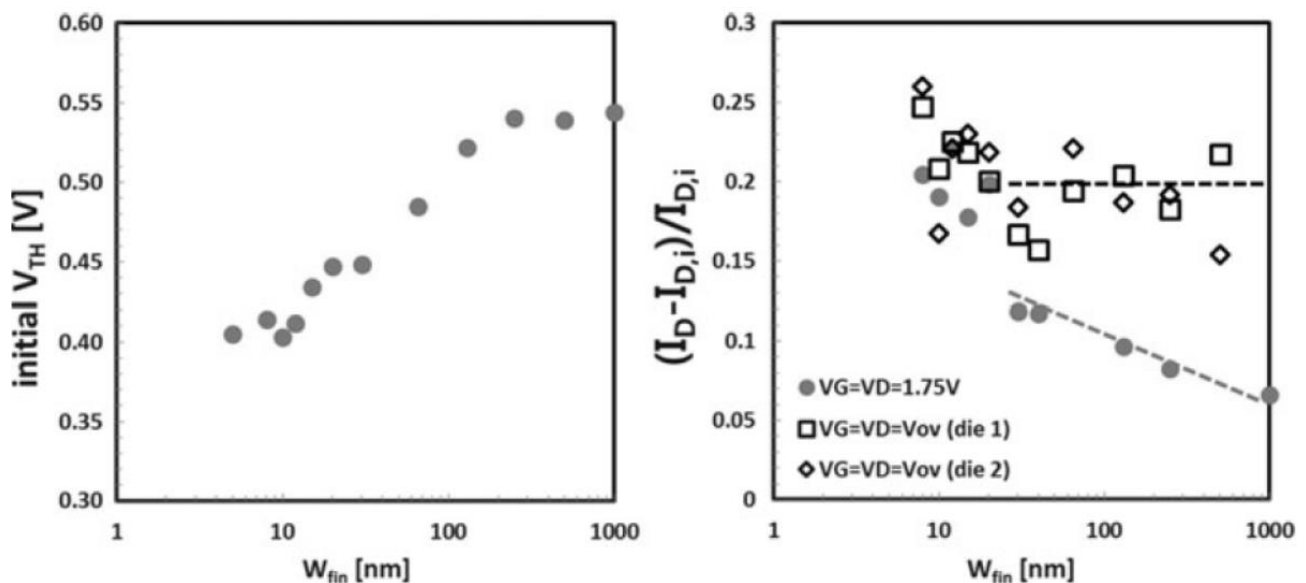
Ένα από τα πιο κρίσιμα στοιχεία μιας δομής του FinFET είναι το πλάτος του fin ( $W_{fin}$ ), μαζί λίγο πολύ η υποβάθμιση του CHC ως συνάρτηση της  $W_{fin}$  έχει αναφερθεί ότι επηρεάζονται. Σε στενότερες συσκευές  $W_{fin}$ , έχει παρατηρηθεί μεγαλύτερη υποβάθμιση του CHC λόγω ενός αυτό-θερμαινόμενου αποτελέσματος, στο εν τω μεταξύ βελτιώθηκε η αξιοπιστία του CHC λόγω του ότι παράγονταν λιγότερα ζευγάρια οπών-ηλεκτρονίων. Αυτή η διαδικασία σχετίζεται με χαρακτηριστικά της συσκευής όπως η συγκέντρωση ντόπινγκ ή η μέθοδος σύνδεσης, που μπορούν επίσης επηρεάζουν ολόκληρη την υποβάθμιση του CHC. Σε αυτή την ενότητα, θα δούμε την επίδραση των θερμών φορέων ως λειτουργία  $W_{fin}$  και διερευνάται σε συσκευές βραχέως καναλιού με μήκος πύλης στα 70nm.



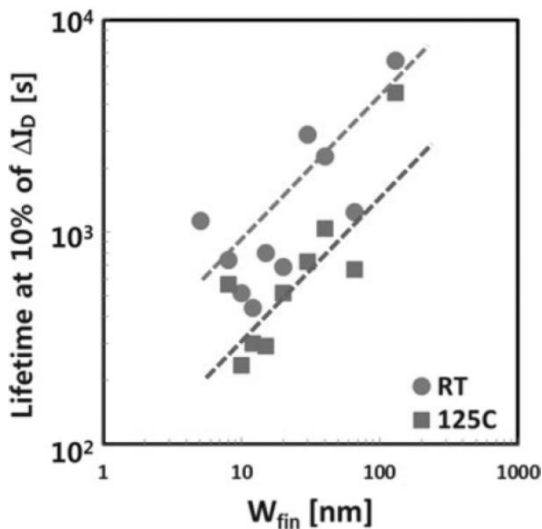
Το Σχήμα 3.2.5a δείχνει το αρχικό  $V_{TH}$  των συσκευών με n-FinFET ως συνάρτηση του  $W_{fin}$ , όπου το  $V_{TH}$  υπολογίζεται από το μέγιστο  $G_m$ . Το αρχικό  $V_{TH}$  μειώνεται σε στενότερα FinFET, πιθανώς λόγω της διαφοράς του ντοπαρισμένου υποστρώματος. Το Σχήμα 3.2.5b δείχνει την υποβάθμιση του  $I_D$  μετά από 5.000s καταπόνησης CHC για  $V_G=V_D=1.75V$  και για  $V_G=V_D=V_{OV}$ (τάση\_υπερδιέγερσης)= $1.34 V+V_{TH,αρχικό}$  ως συνάρτηση του  $W_{fin}$ . Η υποβάθμιση του  $I_D$  γίνεται ανεξάρτητη από το  $W_{fin}$  όταν εφαρμόζεται ίση τάση υπερδιέγερσης, επειδή στενότερες  $W_{fin}$  συσκευές παρουσιάζουν υψηλότερη υποβάθμιση CHC όταν  $V_G=V_D=1.75V$ , επειδή συμβάλει μεγαλύτερος αριθμός φορέων στην υποβάθμιση του CHC λόγω της εφαρμογής υψηλότερης τάσης υπερδιέγερσης.

Το Σχήμα 3.2.6, δείχνει τη διάρκεια ζωής CHC ως συνάρτηση του  $W_{fin}$  σε θερμοκρασία δωματίου και στους  $125^\circ C$  για σταθερή τάση  $V_G=V_D=1.75 V$ . Και στις δύο θερμοκρασίες, η διάρκεια ζωής μειώνεται στις στενότερες  $W_{fin}$  συσκευές λόγω της υψηλότερης υποβάθμισης στη περίπτωση  $V_G=V_D$ .

Η διάρκεια ζωής είναι μεγαλύτερη σε θερμοκρασία δωματίου σε σχέση με τους  $125^\circ C$ , ανεξάρτητα από το  $W_{fin}$ , το οποίο είναι σύμφωνο με την παραγωγή χαμηλότερου θερμού μεταφορά σε θερμοκρασία δωματίου.

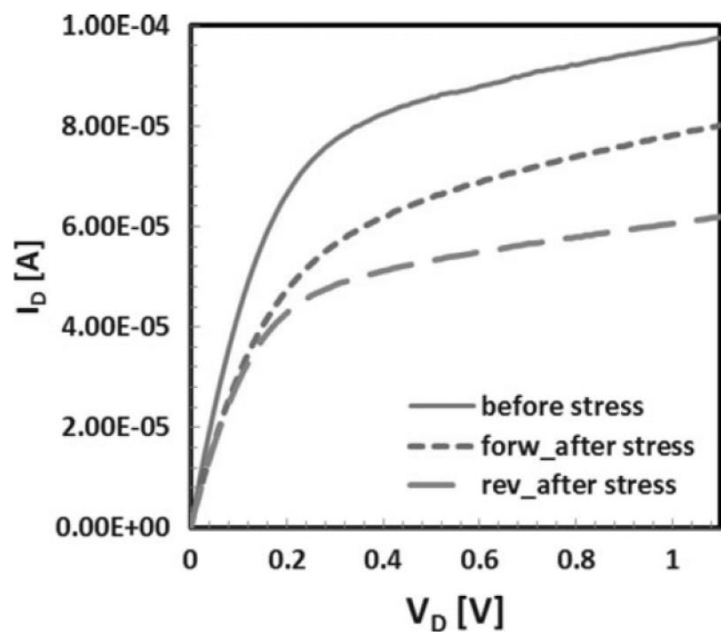


Σχήμα 3.2.5 – (a) Το μήκος της πύλης είναι σταθερό στα 70nm. (b) Η υποβάθμιση  $I_D$  κατά σταθερό  $V_G=V_D=1.75$  είναι υψηλότερη σε στενότερα FinFET, ωστόσο η υποβάθμιση  $I_D$  σε  $V_G=V_D=V_{ΥΠΕΡΔΙΕΓΕΡΣΗΣ}=1.34V+V_{TH,ΑΡΧΙΚΟ}$  δεν έχει μεγάλη διαφορά με το μήκος του fin  $W_{fin}$ . Αυτό δείχνει ότι η υποβάθμιση CHC είναι συνάρτηση του αριθμού των εφαρμοσμένων φορέων.

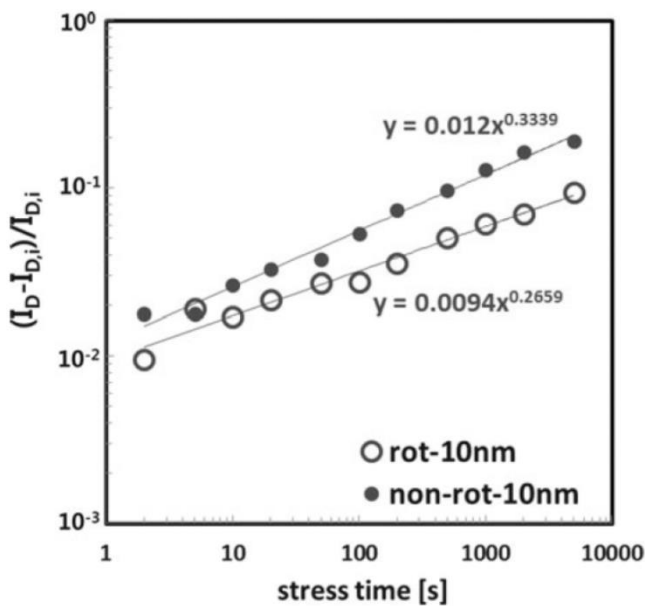


Σχήμα 3.2.6 – Ο χρόνος ζωής της μετατόπισης του  $I_b$  κατά την καταπόνηση CHC για  $V_G=V_D=1.75V$ . Μεγαλύτερος χρόνος ζωής επιταχύνεται σε θερμοκρασία δωματίου παρά στους  $125^\circ C$ .

Σχήμα 3.2.7 – Παρουσιάζονται οι καμπύλες  $I_D-V_D$  πριν την καταπόνηση και έπειτα από 2000s καταπόνησης CHC στα  $V_G=V_D=1.75V$ . Η  $L_G$  και το  $W_{fin}$  της συσκευής είναι στα 70nm και στα 12nm αντίστοιχα. Παρατηρείτε υποβάθμιση όχι μόνο κατά την λειτουργία αντιστροφής αλλά και κατά την κανονική λειτουργία λόγω της ζημιάς του CHC κοντά στον συλλέκτη. Αυτό επιβεβαιώνει ότι η υποβάθμιση CHC υφίσταται σε ολόκληρο το κανάλι στις συσκευές βραχέως καναλιού.

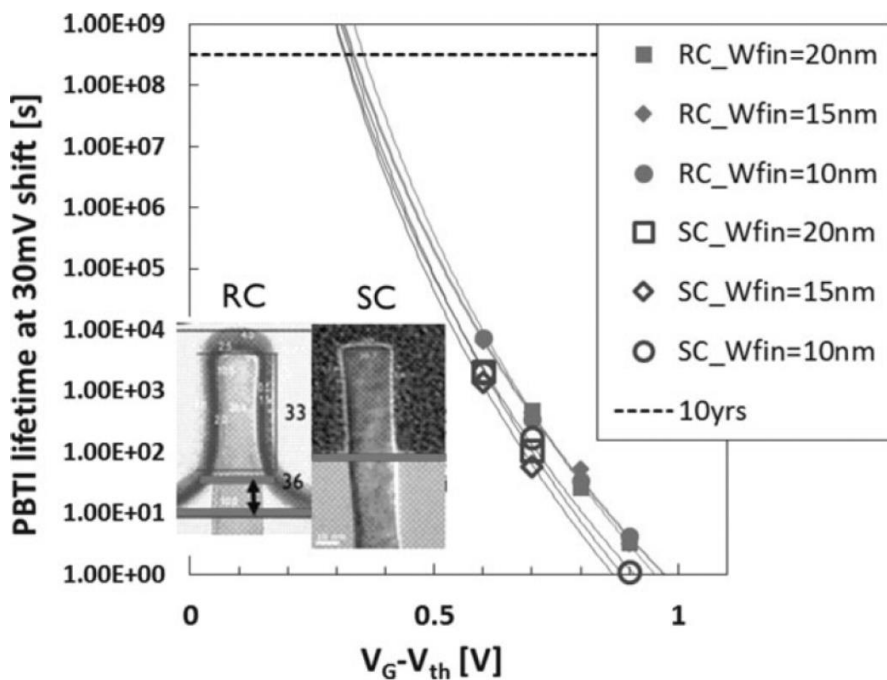


Για να προσδιοριστεί η θέση στην οποία συμβαίνει η υποβάθμιση του θερμού φορέα, οι καμπύλες  $I_D-V_D$  πριν και μετά την καταπόνηση CHC σε  $V_G=V_D=1.75V$  παρουσιάζονται στο Σχήμα 3.2.7. Η καμπύλη της αντιστροφής (δηλ. αλλάζει ο συλλέκτης με τον εκπομπό)  $I_D-V_D$  εμφανίζει μετά την εφαρμογή της καταπόνησης περισσότερη υποβάθμιση από την καμπύλη της κανονικής λειτουργίας, πράγμα που συνεπάγεται ότι παράγετε ακόμα πιο θερμός φορέας και η υποβάθμιση εμφανίζεται πιο κοντά στην πλευρά του εκπομπού, όπως και στις συσκευές με μακριά κανάλια. Ωστόσο, η κανονική λειτουργία επίσης δείχνει μεγάλη υποβάθμιση λόγω της δημιουργίας θερμού φορέα και υποβάθμιση σε ολόκληρη την περιοχή καναλιού στις συσκευές βραχέων καναλιών, το οποίο είναι σύμφωνο και με τις προηγούμενες προσομοιώσεις μας.



Σχήμα 3.2.8 – Η μεταβολή του ρεύματος του εκπομπού ( $I_D$ ) ως συνάρτηση του χρόνου καταπόνησης με  $45^\circ$  περιστρεμμένα και χωρίς-περιστρεμμένα n-FinFET με  $W_{fin}=10\text{nm}$ . Η συσκευή με  $45^\circ$  περιστρεμμένα FinFET έχει λιγότερη υποβάθμιση λόγω του μικρότερου αριθμού διεπαφών των (100) πλευρικών τοιχωμάτων αντί των (110) πλευρικών τοιχωμάτων στα μη-περιστρεμμένα FinFET.

Η υποβάθμιση CHC με τη μορφή της μετατόπισης του  $I_D$  σε περιστρεμμένα και σε μη-περιστρεμμένα n-FinFET είναι αυτή που φαίνεται στο Σχήμα 3.2.8. Παρατηρείται χαμηλότερη υποβάθμιση CHC στις περιστρεμμένες συσκευές FinFET. Περιστρέφοντας ένα fin κατά  $45^\circ$ , η κατεύθυνση των πλευρικών τοιχωμάτων του fin αλλάζει από (110) σε (100). Ως αποτέλεσμα, η περιστρεμμένη συσκευή εμφανίζει χαμηλότερο αρχικό  $N_{it}$  από την μη-περιστρεμμένη που επιβεβαιώνεται από τη μέτρηση της άντλησης φορτίου. Αυτό το χαμηλότερο πυκνότητας άτομο Si στην περιστρεμμένη συσκευή FinFET δημιουργεί τελικά χαμηλότερη υποβάθμιση CHC κατά την περίοδο καταπόνησης  $V_G=V_D$ .



Σχήμα 3.2.9 – Η Διάρκεια ζωής PBTI κατά την μετατόπιση  $V_{TH}$  και στους  $125^\circ\text{C}$  φαίνεται εδώ. Οι στρογγυλεμένες γωνίες (RC) και οι απότομες γωνίες (SC) των n-FinFET δεν παρουσιάζουν σημαντική διαφορά στην διάρκεια ζωής του PBTI. Αφού η κατάσταση καταπόνησης CHC,  $V_G=V_D$ , εφαρμόζει λιγότερο κατακόρυφο πεδίο στο οξειδίο της πύλης από το PBTI, η γωνιακή επίδραση του fin αναμένεται να είναι αμελητέα στην υποβάθμιση του CHC.

Όταν η γωνία του fin είναι απότομη-αιχμηρή, αναμένεται ότι θα προκαλείται ένα υψηλότερο τοπικό ηλεκτρικό πεδίο στις αιχμές-γωνίες των fin. Αυτό θα μπορούσε να προκαλέσει μεγαλύτερη παραγωγή θερμού φορέα και να γίνει μεγαλύτερη η υποβάθμιση του υποστρώματος του οξειδίου στην αιχμηρή-γωνιακή συσκευή υπό καταπόνηση CHC. Το Σχήμα 3.2.9, ωστόσο, δείχνει ότι η PBTI – Positive Bias Temperature Instability, σε αιχμηρές-γωνιακές συσκευές δεν είναι σημαντικά χαμηλότερη σε σύγκριση με την στρογγυλεμένη γωνία των n-FinFET. Επειδή το κατακόρυφο πεδίο που εφαρμόζεται στο οξείδιο είναι ακόμη χαμηλότερο στο CHC από το PBTI, η επίδραση της στρογγυλοποίησης της γωνίας στην υποβάθμιση του CHC θα είναι ακόμα μικρότερο. Στην Χρονικά-Εξαρτώμενη διηλεκτρική κατάρρευση (TDDB – Time-Dependent Dielectric Breakdown), μια ισχυρότερη επίδραση της στρογγυλοποίησης γωνίας στην υποβάθμιση αναμένεται, επειδή η καταπόνηση της τάσης στην πύλης είναι ισχυρότερη από τη BTI ή την CHC.

### 3.3 – Το φαινόμενο της Αυτό-θέρμανσης

Όταν αλλάζει η γεωμετρία της συσκευής από επίπεδη σε πολλαπλών πυλών, όπως είναι τα FinFET, η τα φαινόμενα της αυτό-θέρμανσης (SHE) έχουν αυξηθεί. Ειδικά για το SOI, το φαινόμενο της αυτό-θέρμανσης είναι μια ανησυχία, λόγω της σημαντικά μικρότερης θερμικής αγωγιμότητας του διοξειδίου του πυριτίου ( $\kappa(\text{SiO}_2)=1.40\text{ W K}^{-1} \text{ m}^{-1}$ ) σε σύγκριση με εκείνη του υποστρώματος του πυριτίου ( $\kappa(\text{Si})=148\text{ W K}^{-1} \text{ m}^{-1}$ ) σε θερμοκρασία δωματίου. Ως εκ τούτου, έχουν γίνει πια ξεκάθαρα τα φαινόμενα της αυτό-θέρμανσης στην τελευταία δεκαετία για τις συσκευές SOI.

Η αυτό-θέρμανση αυξάνει την τοπική θερμοκρασία της συσκευής πάνω από την κανονική θερμοκρασία λειτουργίας του τσιπ. Η υψηλή θερμοκρασία μιας συσκευής μπορεί να επηρεάσει σημαντικά την απόδοση και την αξιοπιστία της. Η αυξημένη τοπική θερμοκρασία μέσω της αυτό-θέρμανσης μπορεί να επιταχύνει την υποβάθμιση της συσκευής, η οποία επηρεάζει την αξιοπιστία των τρανζίστορ και τα περιθώρια ασφαλείας συμπεριλαμβανομένων των BTI, της παγίδας που βοηθά στην διαρροή και των υποβαθμίσεων TDDB και CHC.

Το φαινόμενο της αυτό-θέρμανσης του τρανζίστορ μπορεί να μετρηθεί ή να προσομοιωθεί με πολλούς τρόπους. Η προσομοίωση μπορεί να γίνει χρησιμοποιώντας τον κλασικό νόμο διάχυσης του Fourier και έπειτα μέσω επίλυσης των γραμμικών εξισώσεων θερμότητας, αλλά και με αρκετούς ακόμη πιο περίπλοκους τρόπους που συμπεριλαμβάνουν διάφορα σωματίδια. Σε αυτή την ενότητα, θα συζητηθούν μόνο οι κύριες έννοιες της αυτό-θέρμανσης. Η θερμοκρασία λειτουργίας μιας συσκευής μπορεί να γραφτεί ως

$$T_{device} = T_{ambient} + \Delta T_{chip} + \Delta T_{SHE} \quad (1)$$

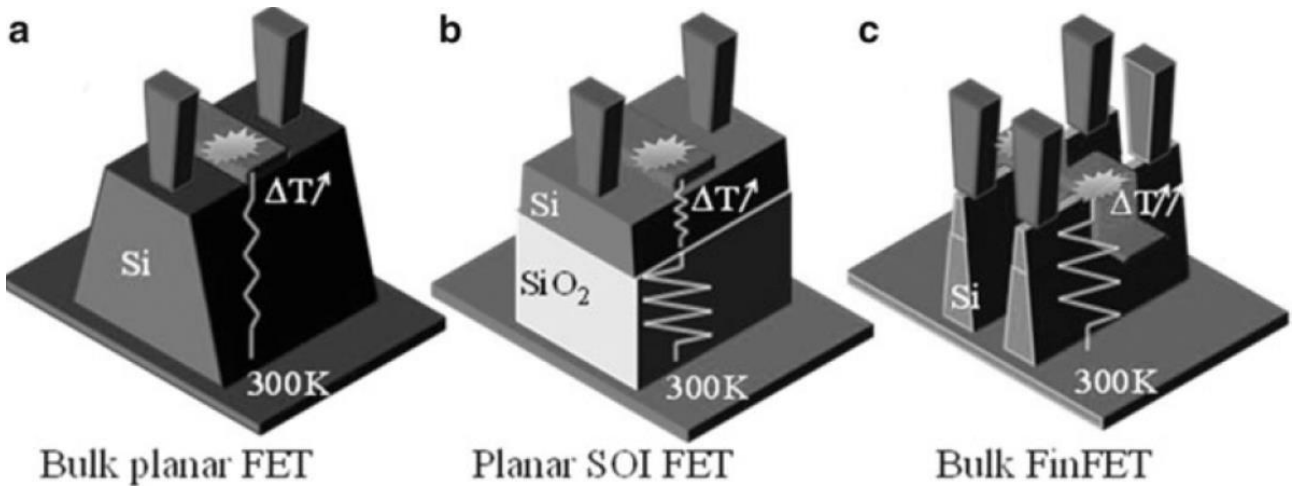
Η σταθεροποιημένη αύξηση της θερμοκρασίας στο κανάλι του τρανζίστορ ( $\Delta T_{SHE}$ ) υποτίθεται ότι είναι ανάλογη προς την εξουδετερωμένη ισχύ και τη θερμική αντίσταση του τρανζίστορ, δηλ.

$$\Delta T_{SHE} = Q_{device} \times R_{TH} = I_D \times V_D \times R_{TH} \quad (2)$$

όπου το  $R_{TH}$  είναι η θερμική αντίσταση μεταξύ του καναλιού και των εξωτερικών ορίων του συστήματος. Η κύρια πρόκληση που σχετίζεται με την εκτίμηση της θερμοκρασίας είναι η αξιολόγηση αυτής της θερμικής αντίστασης. Δεδομένου ότι οι συσκευές συρρικνώνονται συνεχώς, το  $R_{TH}$  αναμένεται να αυξηθεί επειδή μόνο ένας μειωμένος όγκος πυριτίου είναι διαθέσιμος για την απομάκρυνση θερμότητας.

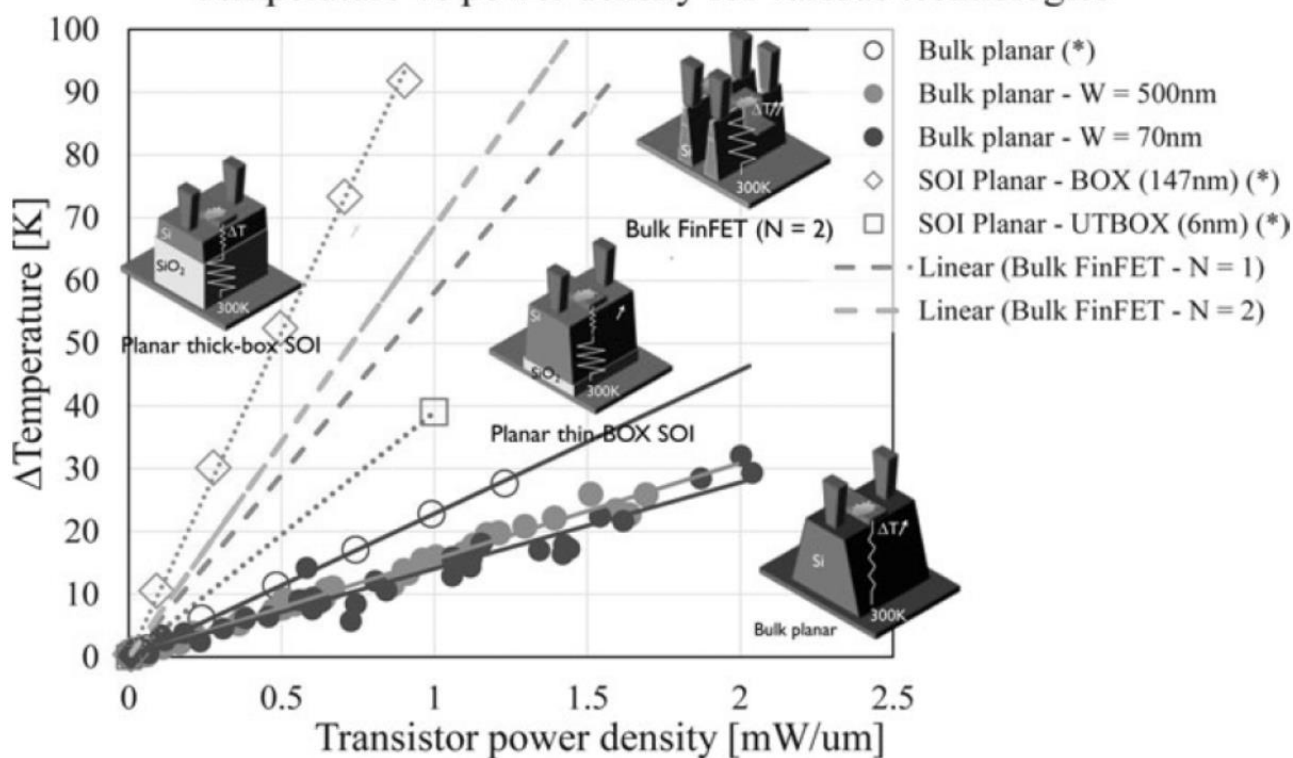
Εκτός αυτού, ο κόμβος  $V_{DD}$  (η πηγή τάσης) δεν κλιμακώνεται κάτω από τα 65nm και η ισχύς (πυκνότητα)  $Q_{device}$  στο κανάλι αναμένεται να αυξηθεί. Η SHE αναμένεται έτσι να γίνει πιο έντονη στους επερχόμενους κόμβους της συσκευής, όπως απεικονίζεται στο σχήμα 3.3.1.

Λόγω της κβαντομηχανικής φύσης της θερμότητας, οι θερμικές αγωγιμότητες των τυπικά χρησιμοποιούμενων υλικών για τους ημιαγωγούς, μειώνονται σημαντικά όταν το πάχος του φιλμ μειώνεται μέχρι την ελεύθερη διαδρομή φωνονίου. Επίσης η θερμοκρασία του ίδιου του πλέγματος Si μπορεί να επηρεάσει το ελεύθερο μονοπάτι των φωνονίων. Επομένως κβαντομηχανικές προσομοιώσεις για δομές νανοκλίμακας όπως τα νανοκαλώδια κερδίζουν ολοένα και μεγαλύτερο ενδιαφέρον.



Σχήμα 3.3.1 – Από μια απλοϊκή εικόνα η SHE είναι ήδη ορατή (b) στο παχύ-κουτί SOI και (c) στις στενές συσκευές FinFET για πανομοιότυπες πυκνότητες ισχύος, είτε το  $SiO_2$  μονώνει την περιοχή του σώματος για SOI ή μόνο μικρότερος όγκος πυριτίου είναι διαθέσιμος για την απομάκρυνση θερμότητας όπως στο υπόστρωμα στις επίπεδες συσκευές (a).

## Temperature vs power density for various technologies



Σχήμα 3.3.2 – Σχεδιάγραμμα τεχνολογίας που βασίζεται σε μετρήσεις (κουκκίδες) και προσομοιώσεις (διακεκομμένες γραμμές) για επίπεδο με υπόστρωμα Si, SOI επίπεδη και FinFET με υπόστρωμα Si (bulk) (απεικονίζεται όπως στο Σχήμα 3.3.1) που δείχνει την αύξηση της τοπικής θερμοκρασίας του FET ως συνάρτηση της πυκνότητας ισχύος.

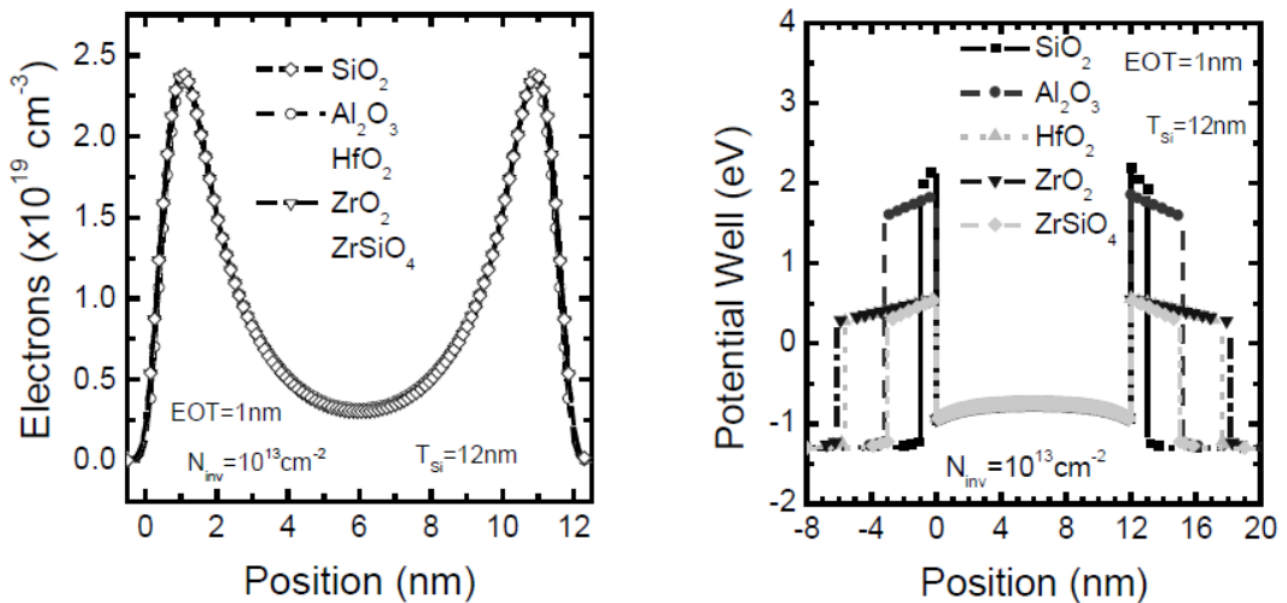
Στο Σχήμα 3.3.2 παράγεται ένα διάγραμμα τεχνολογίας που βασίζεται στα αποτελέσματα που πήρα από την βιβλιογραφία. Οι επίπεδες συσκευές με υπόστρωμα Si παρουσιάζουν χαμηλή αλλά μη-αμελητέα θερμική αντίσταση. Στο επίπεδο SOI και στην τεχνολογία FinFET με βάση το Si, είναι ευδιάκριτη η αύξηση της θερμικής αντίστασης. Για τα FinFET, η θερμική αντίσταση αυξάνεται με τον αριθμό των fin (#N).

Για την τεχνολογία SOI, το σχήμα δείχνει ότι η μείωση της κλίμακας της συσκευής δεν αυξάνει απαραίτητα το SHE. Το κλειδί στις συσκευές SOI είναι το πάχος του θαμμένου οξειδίου (BOX). Τα εξαιρετικά λεπτά-BOX-SOI FET δείχνουν χαμηλότερη θερμική αντίσταση.

Σε υψηλότερες λειτουργικές τάσεις, δηλ.  $V_{DD}=1$  V (υποθέτοντας χωρίς αύξηση  $I_{DSAT}$ ), η πυκνότητα ισχύος αυξάνεται στα 1,55 mW /  $\mu\text{m}$ , οδηγώντας σε θερμοκρασίες 90-100 °C για τα FinFET N=1 και N=2, αντίστοιχα. Αυτές οι θερμοκρασίες μπορούν να επηρεάσουν σοβαρά την αξιοπιστία της συσκευής. Επίσης, οι παρεκτάσεις καθ' όλη τη διάρκεια ζωής θα αλλάξουν, επειδή οι συνθήκες υπέρτασης δεν είναι πλέον ισοθερμικές όσον αφορά της συνθήκες πραγματικής λειτουργίας.

### 3.4 – Διηλεκτρικά Υψηλού-k

Ένας τρόπος που έχει προταθεί για να συνεχιστεί η προοδευτική σμίκρυνση της κλίμακας των διαστάσεων του MOSFET, είναι η χρήση των διηλεκτρικών με υψηλή διαπερατότητα (διηλεκτρικά με υψηλό-k) αντί του διοξειδίου του πυριτίου. Εντούτοις, παρά τη μείωση της διαρροής του ρεύματος της πύλης, τα υλικά υψηλού-k επίσης επηρεάζουν αρνητικά την κινητικότητα των ηλεκτρονίων στα κανάλια MOSFET. Στην πραγματικότητα, η υψηλότερη διηλεκτρική σταθερά συνδέεται με την υψηλότερη υποβάθμιση της κινητικότητας των ηλεκτρονίων.



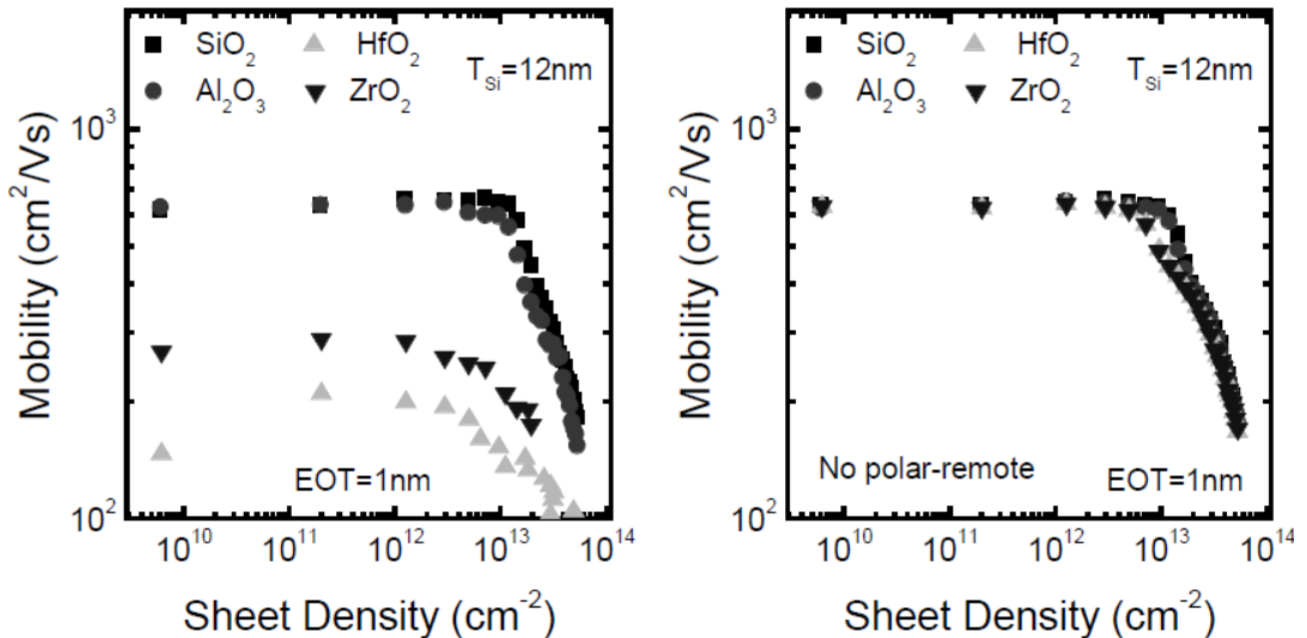
Σχήμα 3.4.1. – **Αριστερά:** Κατανομή ηλεκτρονίων σε ένα FinFET με διαφορετικά διηλεκτρικά υψηλού-k. Σε όλες τις περιπτώσεις, το πάχος του πυριτίου είναι ορισμένο στα  $T_w=12\text{nm}$ . **Δεξιά:** Το δυναμικό πηγάδι για τα FinFET.

Το Σχήμα 3.4.1 δείχνει το δυναμικό πηγάδι και την κατανομή ηλεκτρονίων σε FINFET με πάχος πυριτίου 12nm με διαφορετικά διηλεκτρικά υψηλού-k ως μονωτές πύλης. Σε όλες τις περιπτώσεις, η συγκέντρωση φορτίου αναστροφής υποτίθεται ότι είναι  $N_{inv} = 10^{13} \text{ cm}^{-2}$ . Ακόμη σε όλες τις περιπτώσεις, το πάχος του μονωτικού υπολογιζόταν ώστε να παρέχει πάχος οξειδίου (EOT) ίσο με 1 nm. Όπως παρατηρήθηκε, στο Σχήμα 3.4.1 (αριστερά), η χρήση των διηλεκτρικών υψηλού-k δύσκολα τροποποιούν την κατανομή των ηλεκτρονίων. Μόνο στις περιπτώσεις  $ZrO_2$  και  $ZrSiO_4$  θα μπορούσε να παρατηρηθεί μια μεγαλύτερη διεύθυνση των κυματικών λειτουργιών στο στρώμα του μονωτή, λόγω του χαμηλότερου φραγμού που παρατηρείται στα ηλεκτρόνια από το κανάλι.

Στην βιβλιογραφία χρησιμοποιήθηκε η προσομοίωση Monte Carlo ώστε να μελετηθεί η επίδραση των μονωτών υψηλού-k στην κινητικότητα των ηλεκτρονίων στις συσκευές DGSOI (SOI με δύο πύλες). Τα αποτελέσματα της προσομοίωσής ήταν απογοητευτικά από την άποψη της κινητικότητας των ηλεκτρονίων, όπως αποδεικνύει η σύγκριση των Σχημάτων 3.4.2 (αριστερά) και (δεξιά). Όπως μπορεί να φανεί, το αποτέλεσμα της απομακρυσμένης πολικής διάχυσης υποβαθμίζει έντονα την κινητικότητα των ηλεκτρονίων όταν χρησιμοποιούνται μονωτές με υψηλή διαπερατότητα.

Η σύγκριση του Σχήματος 3.4.2 (αριστερά) και 3.4.2 (δεξιά) αποκαλύπτει ότι η σημαντική υποβάθμιση της κινητικότητας των ηλεκτρονίων που φαίνεται στο Σχήμα 3.4.2 (δεξιά) παράγεται από απομακρυσμένη πολική διάχυση φωνονίων.

Συμπερασματικά, η αναστροφή του όγκου δεν βοηθά στη βελτίωση υποβάθμισης της κινητικότητας που παράγεται από τη διάχυτη πολική διασπορά φωνονίων όταν χρησιμοποιούνται διηλεκτρικά υψηλού-κ.



Σχήμα 3.4.2 – **Αριστερά:** Η κινητικότητα των ηλεκτρονίων σε μια συμμετρική συσκευή DGSOI με διάφορους μονωτές, λαμβάνοντας υπόψη την επίδραση των απομακρυσμένων διαχύσεων φωνονίων. **Δεξιά:** Η κινητικότητα των ηλεκτρονίων σε μια συμμετρική DGSOI συσκευή με διαφορετικούς μονωτές, χωρίς να παίρνουμε υπόψη την επίδραση των απομακρυσμένων διαχύσεων φωνονίων .

## Πηγές & Βιβλιογραφία

Hot Carrier Degradation in Semiconductor Devices, Tibor Grasser, © Springer International Publishing Switzerland 2015, ISBN 978-3-319-08993-5

Lecture Notes in Nanoscale Science and Technology Volume 17, Weihua Han • Zhiming M. Wang, Toward Quantum FinFET, Springer International Publishing Switzerland 2013, ISBN 978-3-319-02020-4

Integrated Circuits and Systems – FinFETs and Other Multi-Gate Transistors – Edited by J.-P. Colinge, Springer Science+Business Media, LLC, ISBN 978-0-387-71751-7, e-ISBN 978-0-387-71752-4



# Κεφάλαιο 4 – Μελέτη & Εφαρμογές Τρανζίστορ τύπου FinFET στον χώρο της αποθήκευσης

---

Καθώς η μειώνετε η κλίμακα της τεχνολογίας μέχρι την τάξη των 22nm, οι διακυμάνσεις τυχαίων προσμείξεων ντόπινγκ, η μεταβολή του πάχους οξειδίου και το SCE έχουν ως αποτέλεσμα μια σημαντική διακύμανση της τάσης κατωφλίου της συσκευής και στα ρεύματα των επίπεδων συσκευών.

Επιπλέον, λόγω των υψηλών εγκάρσιων ηλεκτρικών πεδίων και της διάχυσης στα ελαττώματα, ο φορέας της κινητικότητας υποβαθμίζεται σοβαρά. Ο σχεδιασμός μεγάλων συστοιχιών απαιτεί σχεδιασμό για πέντε ή περισσότερες τυπικές αποκλίσεις. Αυτό συχνά προκαλείται από την αύξηση της παραλλαγής επεξεργασίας μαζί με την κλιμάκωση της συσκευής. Οι αυξανόμενες παραλλαγές καθιστούν δύσκολο τον σχεδιασμό του "σχεδόν-ελάχιστου-μεγέθους" κελιών σε ενσωματωμένα σχέδια μεγάλης κλίμακας χαμηλής- ισχύος, τα οποία με τη σειρά τους προκαλούν τις υποκείμενες απαιτήσεις υψηλής πυκνότητας των σύγχρονων μνημών.

Σχεδιασμένο για βελτιωμένη δυνατότητα κλιμάκωσης, ο σχεδιασμός του FinFET είναι ένας καλός υποψήφιος για εφαρμογές μνήμης. Πρώτον, γίνεται μελέτη στις συμβατικές μετρήσεις κελιών 6T SRAM και στις σχεδιαστικές παραλλαγές. Στη συνέχεια παρουσιάζονται σχέδια κυψελών SRAM με βάση το FinFET. Όπως και η τεχνολογία 4T-FinFET, παρουσιάζεται αρκετά αναλυτικά στην συνέχεια.

Η συσκευή FinFET έχει σχεδιαστεί για να ξεπεράσει μεγάλο μέρος των ανησυχιών της τεχνολογίας που εφαρμόζετε κάτω των 20nm σε μια τυπική επίπεδη συσκευή. Αυτό με τη σειρά του χαλαρώνει μεγάλο μέρος των περιορισμών των συσκευών SRAM. Το λεπτό σώμα του FinFET καταστέλλει μεγάλο μέρος των SCE και, ως εκ τούτου, το κανάλι του σώματος μπορεί να είναι ντοπαριστέι ελαφρά. Αυτό, με τη σειρά του, μειώνει το όριο μεταβολής τάσης. Βοηθά επίσης στην ελαχιστοποίηση του εγκάρσιου ηλεκτρικού πεδίου, ως εκ τούτου και την υποβάθμιση, όπως και την κινητικότητα του φορέα οδηγώντας σε μειωμένες διαρροές. Επιπλέον, οι συσκευές FinFET έχουν χαμηλότερη χωρητικότητα. Αυτό βοηθά βελτιώνει την απόδοση του SRAM. Στην πραγματικότητα, οι συσκευές FinFET έχουν αυξημένες βελτιώσεις απόδοσης σε σχέση με επίπεδες συσκευές.

Τα υπερσύγχρονα σχέδια SRAM, γενικά, βασίζονται στις δύο λειτουργίες του FinFET. Θεωρητικά, προτιμάται η κατασκευή συσκευών DG ως ασύμμετρες συσκευές.

Λειτουργία διπλής πύλης (DG). Οι δύο πύλες είναι υλοποιημένες μαζί για να αλλάξουν το FinFET σε κατάσταση on/off.

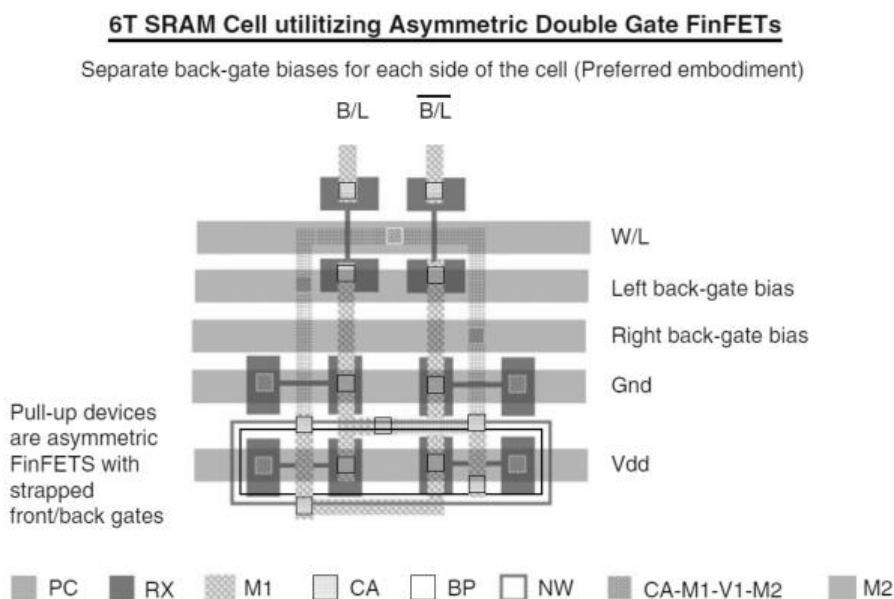
Λειτουργία back-gate (BG). Οι δύο πύλες είναι υλοποιημένες ανεξάρτητα. Η μπροστινή πύλη είναι για την ενεργοποίηση/απενεργοποίηση του FinFET και για την αλλαγή της τάσης του κατωφλίου χρησιμοποιείται η πίσω πύλη της συσκευής. Αυτή η λειτουργία προσφέρει δυνατότητες συγχρονισμού.

#### 4.1 – Αρχές Σχεδίασης SRAM Χαμηλής-Τάσης , Υψηλής απόδοσης 6T

Τα συμβατικά SRAM κελιά σχεδιάζονται με μικρή αναλογία διαστάσεων (ύψος BL με BL πλάτος). Αυτό επιτρέπει ευθείες γραμμές πύλης poly-Si και ενεργές περιοχές. Γίνετε εφικτός ο ακριβής έλεγχος κρίσιμων διαστάσεων και μειώνονται οι παραλλαγές του μήκους-πύλης και τα ζητήματα της στρογγυλοποίησης-γωνιών. Επίσης, πιο κοντά κελιά και πιο χαλαρές μεταλλικές αιχμές οδηγούν σε μειωμένη χωρητικότητα BL. Για τη μείωση της χωρητικότητας  $W_{L_{capacitance}}$ , χρησιμοποιείται  $W_{L_{segmentation}}$ . Επίσης 6T σημαίνει ότι το τρανζίστορ FinFET έχει έξι ακροδέκτες, τέσσερις είναι πύλες, ένας ο εκπομπός και ένας ο συλλέκτης.

Το Σχήμα 4.1.1 δείχνει μια αντίστοιχη περίπτωση με μεμονωμένες υλοποιήσεις τις πίσω πύλης με συσκευές DG, αν και η συσκευή είναι 3-D, η διάταξη βασίζεται στους ελέγχους κανόνων 2-D. Οι επιμέρους υλοποιήσεις για τις πίσω πύλες απαιτούν δύο κανάλια καλωδίωσης, πράγμα που αυξάνει την περιοχή του κελιού. Κάθε DG-FinFET απεικονίζεται από τη διασταύρωση του συμπαγούς σώματος πυριτίου και της τετράγωνης διακεκομμένης πύλης ηλεκτροδίου / καλωδίωσης. Οι μεγαλύτερες ορθογώνιες στερεές περιοχές σε κάθε άκρο των δομών FinFET είναι οι επαφές του συλλέκτη/εκπομπού. Τα δύο χαμηλότερα τρανζίστορ είναι τα PFET pull-up. Ακριβώς από πάνω από τις δύο συσκευές PFET είναι δύο NFET, τα οποία έχουν τις μπροστινές και τις πίσω πόρτες τους συνδεδεμένες σε ξεχωριστούς ηλεκτρικούς κόμβους. Αυτές οι τέσσερις συσκευές σχηματίζουν το ζεύγος πολλαπλών-συζευγμάτων. Οι πίσω πόρτες των πυλών-μεταφοράς (pass-gate) NFET και των pull-down NFET συνδέονται μεταξύ τους και βγαίνουν σε ένα οριζόντιο δίαυλο καλωδίων για τον έλεγχο των κελιών της πίσω-πύλης. Οι μπροστινές πύλες των NFET συνδέονται ως ένα συμβατικό ζεύγος αντιστροφέν με τη χρήση καλωδίων M1. Τα δύο πάνω DG-FinFET είναι οι πύλες-μεταφοράς (pass-gate). Οι μπροστινές πύλες των συσκευών μεταφοράς συνδέονται με την οριζόντια γραμμή διαύλου (W/L), ενώ οι πίσω πύλες των συσκευών μεταφοράς συνδέονται με την πίσω πύλη ελέγχου τάσης διαύλου. Ο κοινός δίαυλος ελέγχου τάσης της πίσω πύλης όλων των συσκευών μεταφοράς pull-down επιτρέπουν στη διαμόρφωση των δυνάμεών τους να μοντελοποιούνται μαζί. Συνολικά, η περιοχή των κελιών για το σχήμα της πίσω πύλης είναι ελαφρώς αυξημένη σε σύγκριση με το αντίστοιχο κομμάτι της DG.

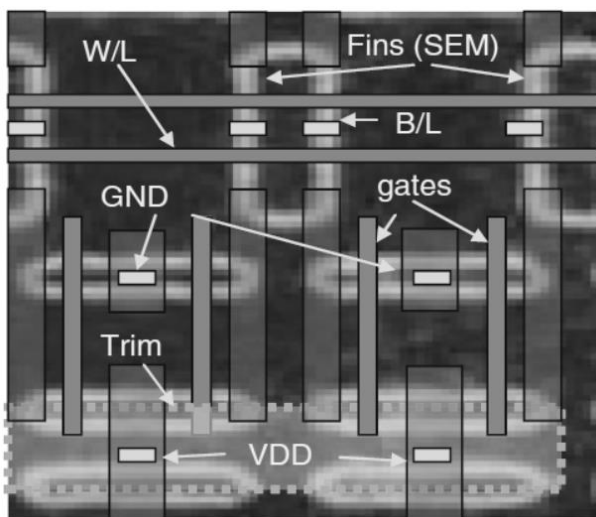
Τέτοια κελιά FinFET SRAM μπορούν να κατασκευαστούν και με περιστροφή των fin κατά 45°. Αυτό μπορεί να είναι λιθογραφικά πρόκληση, αλλά βοηθά στη βελτίωση της κινητικότητας των συσκευών.



Σχήμα 4.1.1. – Διάταξη μιας συσκευής DG.

Η κάτοψη του κελιού SRAM φαίνεται στο Σχήμα 4.1.2. Δεδομένου ότι το ύψος του fin είναι κβαντισμένο, είναι σημαντικό να μελετηθεί η επίδραση κβαντισμού στην απόδοση. Η συνδυασμένη επίδραση κβαντοποίησης στα κελιά αναλύεται χρησιμοποιώντας καθυστέρηση κυκλώματος (βλέπε Σχήμα 4.1.3). Οι καθυστερήσεις ανάγνωσης μετριοούνται από την άνοδο της τάσης της γεννήτριας συχνοτήτων που περνάει μέσω του κελιού μέχρι το σήμα της εξόδου.

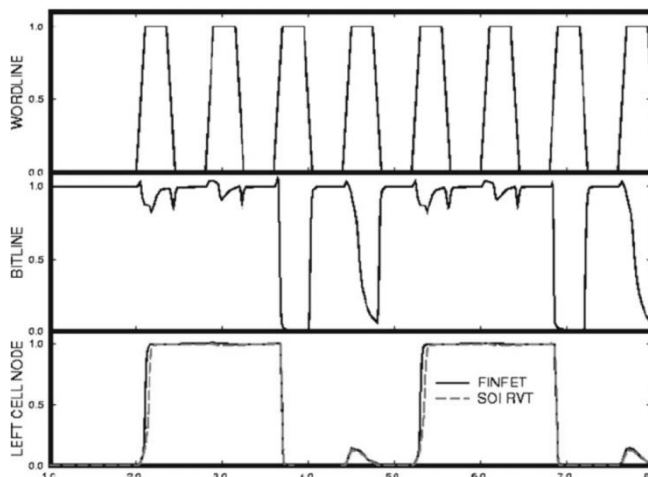
Οι καθυστερήσεις στην ανάγνωση βελτιώνονται σημαντικά για τη δομή του FinFET καθώς η δύναμη της πύλης-μεταφοράς (pass-gate) των κελιών αυξάνεται λόγω της κβαντοποίησης, συνεπώς μεταβάλλεται ελαφρώς η αναλογία  $\beta$  του κελιού (θα εξεταστεί στην συνέχεια). Δεδομένου ότι τα FinFETs έχουν πλήρως εξαντληθεί, η χωρητικότητα σύνδεσης συσκευών είναι αμελητέα, δίνοντας πρόσθετη βελτίωση καθυστέρησης. Ως αποτέλεσμα, οι καθυστερήσεις βελτιώνονται σημαντικά σε σύγκριση με τα κελιά RVT και HVT.



Σχήμα 4.1.2 – Φωτογραφία SEM, σχέδια των fin στο πυρίτιο φαίνονται με πύλη (gate), αποκοπή (Trim) και οι επαφές των επάνω επιπέδων. Το επίπεδο αποκοπής χρησιμοποιείται για την αφαίρεση των ανεπιθύμητων τμημάτων του fin. Δεν παρουσιάζετε η διασύνδεση των στοιχείων.

Για τις καθυστερήσεις εγγραφής, ωστόσο, το σημείο σύγκρισης αλλάζει. Οι καθυστερήσεις εγγραφής για τα FinFET είναι υψηλότερες από αυτές για το κελί RVT σε SOI. Οι καθυστερήσεις εγγραφής μετρούνται από το 50% του σημείου εναλλαγής τάσης έως το 50% του σημείου εναλλαγής της τάσης του αντίθετου κόμβου του κελιού. Έτσι, αυτή είναι μια πραγματική αναπαράσταση της καθυστέρησης των κελιών. Λόγω του πλάτους της κβαντοποίησης, η δύναμη PFET (το πλάτος της οποίας είναι μικρότερο) αυξάνει, καθιστώντας δυσκολότερη τη λειτουργία εγγραφής (από "0" έως "1").

Σχήμα 4.1.3 – Στην τυπική διαδικασία εγγραφής του κελιού της SRAM παρατηρείται η γρήγορη άνοδος του κόμβου κελιών του FinFET.



Γενικώς έχουν αξιολογηθεί δύο τύποι κελιών SRAM: ένα κελί SRAM με  $L_G=45\text{nm}$  και  $W_{\text{FIN}}=20\text{nm}$  (45/20) και ένα κελί με μεγαλύτερη κλίμακα που έχει  $L_G=30\text{nm}$  και  $W_{\text{FIN}}=10\text{nm}$  (30/10). Και για τα δύο κελιά, το PU (pull-up), το PD (pull-down) και το PG (pass-gate) είναι συσκευές με ενιαία fin και το πλάτος του fin όπως και το μήκος πύλης διατηρούνται σταθερά για όλα αυτά τα τρανζίστορ (αναλογία  $\beta = 1$ ).

Τυπικά ο λόγος  $\beta$  αυξάνεται αυξάνοντας το πλάτος του PD κάνοντας έτσι την PG πιο αδύναμη. Στην τεχνολογία FinFET αυτό γίνεται προσθέτοντας μερικά fin παράλληλα. Ωστόσο, αυτό μειώνει σημαντικά την πυκνότητα των κελιών. Σε αυτή την περίπτωση, το  $\beta$  αυξήθηκε αυξάνοντας την  $L_G$  της PG είτε κατά 10nm ( $\beta=1,3$ ) ή κατά 20nm ( $\beta=1,7$ ). Αυτό έχει μικρή επίδραση στην περιοχή των κελιών, αλλά είναι εξαιρετικά επωφελές για να αναγνωστεί το SNM.

Αυτό ισχύει ιδιαίτερα στο 1V όπου το SNM της ανάγνωσης του κελιού 30/10 μπορεί να αυξηθεί κατά σχεδόν 80%. Κάποιος πρέπει να σημειώσει ότι όταν το  $V_{\text{DD}}$  έχει μειωθεί σε 0,8 και 0,6 V, η βελτίωση του SNM με την αύξηση του  $\beta$  είναι λιγότερο σημαντική. Αυτό δείχνει επίσης ότι όταν η λειτουργία χαμηλής τάσης στοχεύει κελιά SRAM με  $\beta=1$  όπου μπορεί να χρησιμοποιείται αρκετά υψηλό SNM.

Ακόμα και αν το SNM είναι υψηλότερο με την αύξηση του  $\beta$ , ειδικά σε υψηλά  $V_{\text{DD}}$ , η ικανότητα εγγραφής του κελιού μπορεί να είναι μια ανησυχία. Ήδη για  $\beta=1$ , αυτή η παράμετρος υποφέρει σοβαρά από το ισχυρό pMOS (Σχήμα 4.1.7) και υποβαθμίζεται ακόμα περισσότερο για  $\beta > 1$ . Ωστόσο, αυτή η υψηλή ευαισθησία του SNM στο  $L_G$  υποδεικνύει ότι η ρύθμιση του μήκους της πύλης παρέχει επαρκείς δυνατότητες για τον σχεδιαστή SRAM να χτίσει σταθερά και εγγράψιμα κελιά, παρόλο που τα πλάτη του τρανζίστορ καθορίζονται από το ύψος του fin στο SOI FinFET. Σε συνδυασμό με τεχνικές υποβοήθησης εγγραφής η βελτιωμένη αντιστοιχία της απόδοσης και η καλύτερη κλίση του κατωφλίου επιτρέπουν τη συνεχή σμίκρυνση της τάσης, η οποία είναι και η βασική απαίτηση για χαμηλής ισχύος και χαμηλής τάσης σχεδίαση κάτω των 32nm.

Στη συνέχεια, εξετάζεται η σύγκριση της ισχύος των FinFET και των PD / SOI κελιών για διαδικασίες ανάγνωσης και εγγραφής. Η ενεργή ισχύς εμφανίζει σημαντική διαφορά μεταξύ του κελιού του FinFET έναντι του κελιού PD / SOI. Το κελί FinFET έχει πολύ χαμηλότερη ισχύ: η ισχύς RVT βρέθηκε ότι είναι περίπου 4,5 φορές του FinFET. Η ισχύς της ημι-επιλογής (όταν οι γραμμές των δυαδικών ψηφίων κρατούνται στο  $V_{\text{DD}}$ ) είναι ελαφρώς χαμηλότερη για το κελί FinFET.

Μια ανάλυση βοηθά στην εξήγηση της διαφοράς μεταξύ των δύο λειτουργιών αναμονής. Η μέτρηση της ισχύς διαρροής είναι πολύ μικρότερη για το κελί FinFET ενώ είναι πολύ πιο έντονη για το PD/SOI. Αυτό οφείλεται στο χαμηλότερο  $I_{\text{off}}$  (ρεύμα απενεργοποίησης) και DIBL του FinFET. Η ισχύς της συσκευής κατά το RVT αυξήθηκε εκθετικά μαζί με το  $V_{\text{DD}}$ . Η ισχύς της συσκευής FinFET δείχνει ασθενή γραμμική εξάρτηση. Στα 0.8V, η ισχύς κατά το RVT στα PD/SOI ήταν 3x μεγαλύτερη σε σύγκριση με αυτή για το FinFET, και στα 1 V, ήταν κοντά στο 6x.

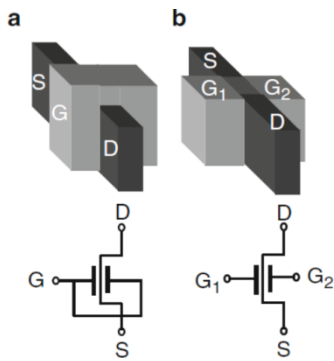
Τώρα ας συγκρίνουμε τη σταθερότητα διαταραχής ανάγνωσης των κελιών FinFET και των PD / SOI. Η σταθερότητα εξαρτάται από τις διεγερόμενες από τη διαδικασία διακύμανσης  $V_t$  (τάσεις κατωφλίων) και από τις παραλλαγές μήκους και του πλάτους των συσκευών των κελιών. Καθώς το μέγεθος της διασποράς  $V_t$  αυξάνεται, η μέγιστη σταθερή τάση ( $V_{max}$ , τάση κατά την οποία το κελί δεν αναστρέφεται) πρέπει να είναι χαμηλωμένη για "σταθερότητα ανάγνωσης ή ημί-επιλογής". Μια παρόμοια ανάλυση ισχύει και για τη δυνατότητα εγγραφής. Επιπλέον, όταν αυξάνεται η ισχύς της συσκευής, οι συσκευές NFET γίνονται ισχυρότερες, το οποίο επιτρέπει στο κελί να αναστρέφεται με τις γραμμές bit προφορτωμένες στο  $V_{DD}$ . Για το κελί SOI, μια παρόμοια διασπορά  $V_t$  κάνει το κελί πιο ασταθές. Ως αποτέλεσμα, η μέγιστη σταθερή τάση μειώνεται. Μελετάμε επίσης την ελάχιστη τάση ( $V_{min}$ ) για σταθερότητα ως συνάρτηση της διασποράς. Το FinFET εμφανίζει χαμηλότερη τιμή μέχρι να επιτευχθεί η ευαισθησία των χαμηλότερων ορίων τάσεων.

#### **4.2 – Ανεξάρτητα FinFET με διπλές πύλες για κελιά SRAM Δραστικού Περιορισμού Διαρροών Ρεύματος**

Η κατανάλωση ενέργειας σε κατάσταση αναμονής σε συσκευές CMOS είναι πλέον ένα από τα πιο σοβαρά προβλήματα και γίνεται ένας περιοριστικός παράγοντας καθώς μικραίνει το MOSFET. Τα φαινόμενα των βραχέων καναλιών (SCE) όπως η τάση κατωφλίου ( $V_{th}$ ) ξεφεύγουν όπως και η κλίση του υπό-κατωφλίου (Συντελεστής S) υποβαθμίζει σημαντικά την κατανάλωση ενέργειας. Αυτή η καταστροφική αύξηση της στατικής κατανάλωσης ενέργειας λόγω των φαινομένων των βραχέων καναλιών (SCE) αποδεικνύεται σοβαρό πρόβλημα στα μελλοντικά κυκλώματα VLSI. Ειδικά, η διαρροή του ρεύματος στη συστοιχία SRAM είναι το πιο κρίσιμο ζήτημα για ένα χαμηλής-ισχύος SoC επειδή καταλαμβάνει σημαντικό μέρος των LSI.

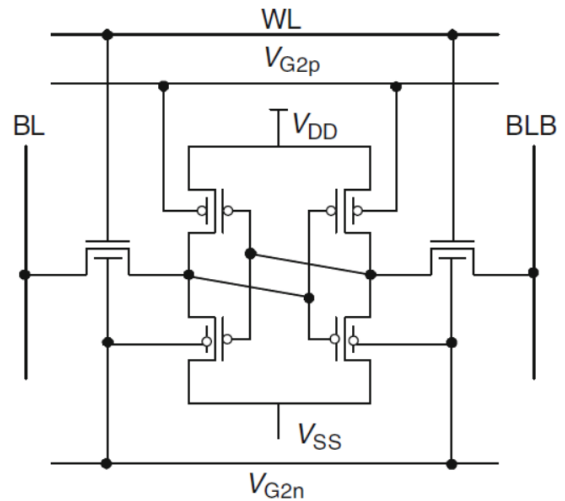
Ευτυχώς, τα μη επίπεδα MOSFET διπλής πύλης (DG) παρέχουν μια πιθανή λύση για αυτά τα ζητήματα κατανάλωσης ενέργειας στα εξαιρετικά-μεγάλης-κλίμακας-ολοκληρωμένα-κυκλώματα (ULSI – Ultra-Large-Scale Integrated circuits). Μεταξύ πολλών τύπων DG MOSFETs, ένας τύπος fin στο DG-MOSFET (FinFET) έχει διερευνηθεί ευρέως χάρη στη συμβατότητα που έχει με τα συμβατικά επίπεδα MOSFET. Ορισμένα κελιά FinFET SRAM έχουν ερευνηθεί για την λειτουργία τους καθώς μικραίνει ολοένα και περισσότερο η κλίμακα. Στα συνηθισμένα με τρία τερματικά (3T) FinFET, τα ηλεκτρόδια πύλης έχουν το ίδιο δυναμικό και το όριο τάσης κατωφλίου ( $V_{th}$ ) που καθορίζεται ανάλογα με τα χαρακτηριστικά του υλικού της πύλης. Σε αντίθεση με τα συμβατικά 3T-FinFETs, έχουν προταθεί τεσσάρων τερματικών (4T-) FinFET με ρυθμιζόμενο- $V_{th}$  αυτό επιτυγχάνετε με το διαχωρισμό του ηλεκτροδίου πύλης χρησιμοποιώντας μια διαδικασία χημικής-μηχανικής λείανσης (CMP – Chemical-Mechanical-Polishing) ή αλλιώς μια διεργασία χαρακτηριστικής. Αυτά τα FinFET φαίνονται στο σχήμα 4.2.1. Για το σχεδιασμό των μελλοντικών κυκλωμάτων εξαιρετικά χαμηλής ισχύος, ο ευέλικτος έλεγχος του  $V_{th}$  θα απαιτηθεί αναπόφευκτα.

Σε αυτό τον υπότιτλο, διερευνάται μια πειραματική ολοκλήρωση των 4T-FinFET από ανεπτυγμένες διαδικασίες κατασκευής, επίσης παρουσιάζεται ένας CMOS αντιστροφείας με δυνατότητα ελέγχου ισχύος και λειτουργίες κελιών SRAM που χρησιμοποιούν ευέλικτα  $V_{th}$  των 4T-FinFET. Το διάγραμμα κυκλωμάτων του προτεινόμενου 4T-FinFET SRAM φαίνεται στο σχήμα 4.2.2. Κάθε πύλη ελέγχου  $V_{th}$  για το 4T-FinFET συνδέεται στις αντίστοιχες γραμμές ελέγχου,  $V_{G2p}$  ή  $V_{G2n}$ . Αυτές οι γραμμές ελέγχου είναι παράλληλες με τις γραμμές WL για να κάνουν έναν έλεγχο του  $V_{th}$  σειρά-σειρά για τη συστοιχία SRAM. Επαφές από διαφορετικό επίπεδο χρησιμοποιούνται για την παροχή των  $V_{G2p}$  και  $V_{G2n}$ . Το  $V_{th}$  του κάθε τρανζίστορ στις σειρές αναμονής (stand-by) αυξάνεται με τον έλεγχο των  $V_{G2p}$  και  $V_{G2n}$  και ταυτόχρονα καταστέλλει το ρεύμα διαρροής. Από την άλλη πλευρά, όταν μια συγκεκριμένη σειρά είναι προσπελάσιμη για ανάγνωση ή εγγραφή, το  $V_{th}$  του κάθε τρανζίστορ μειώνεται για να διατηρηθεί ψηλά το ρεύμα ενεργοποίησης.



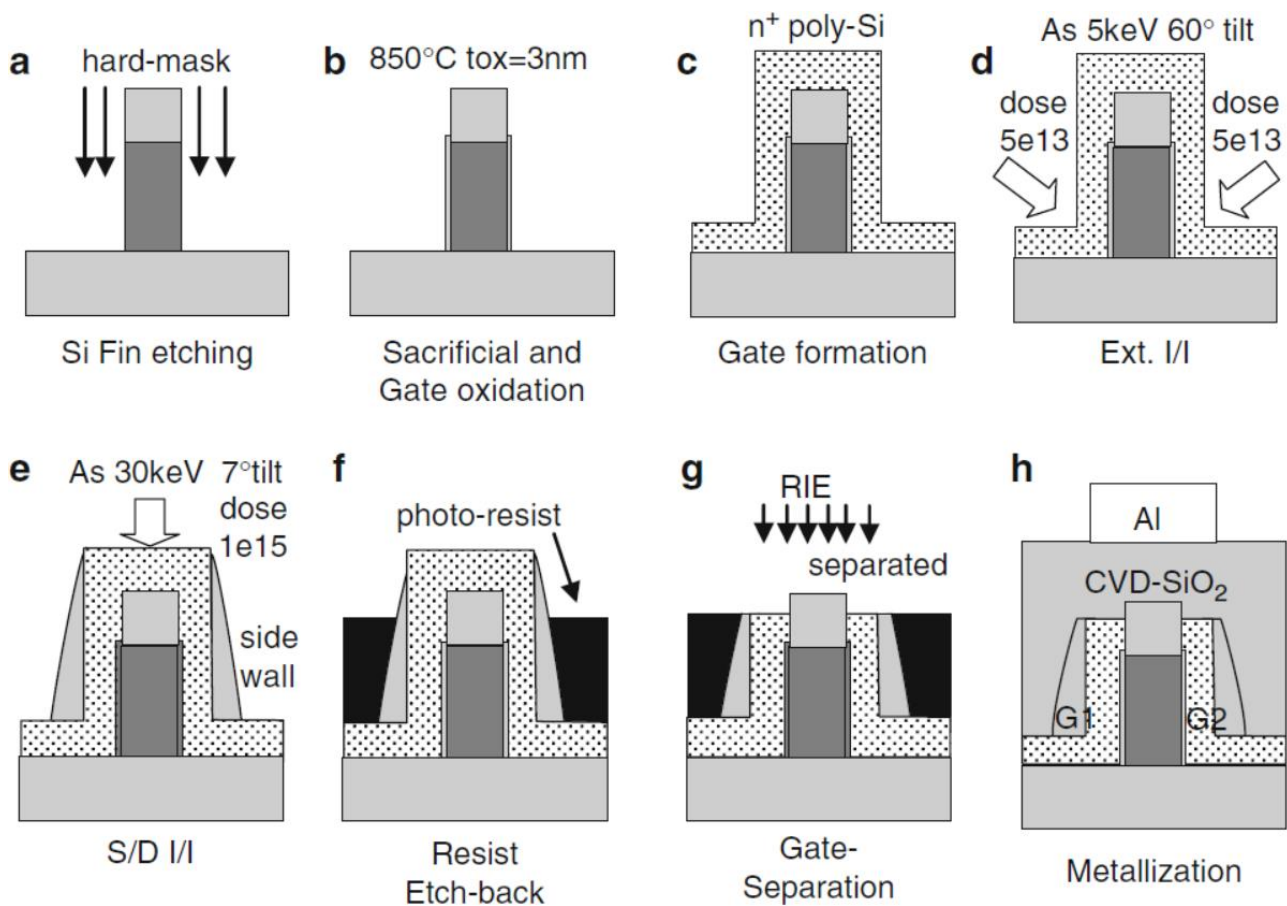
Σχήμα 4.2.1 – Σχηματική απεικόνιση των 3T και 4T FinFET παραχθέντα χρησιμοποιώντας SOI υπόστρωμα.

Σχήμα 4.2.2 – Διάγραμμα κυκλωμάτων του προτεινόμενου 4T-FinFET SRAM

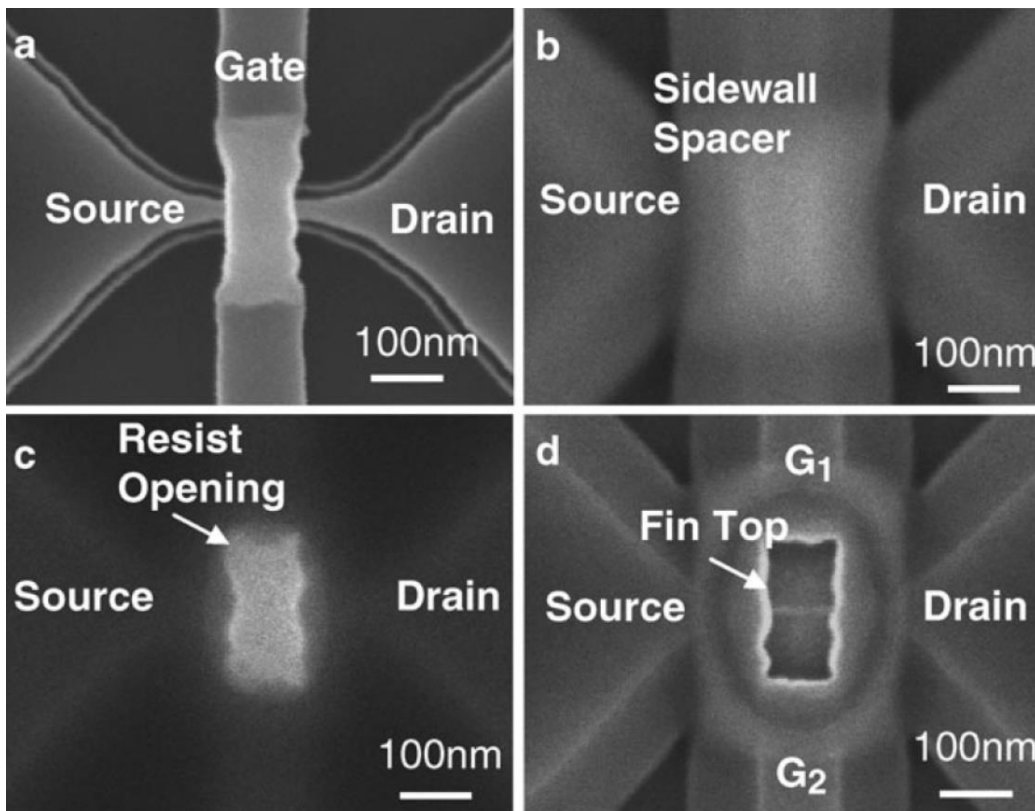


Η σχηματική διάταξη των διεργασιών κατασκευής του 4T-FinFET φαίνονται στο Σχήμα 4.2.3. Αναπτύχθηκε ένα μη ντοπαρισμένο πυριτικό γυαλί (NSG – Non-doped Silicate Glass) και μάσκες που αντιστέκονται στις δέσμες ηλεκτρονίων (EB – Electron Beam) ώστε να γίνουν σκληρές μάσκες στο δίσκιο (wafer) μέσω της λιθογραφίας. Για να κατασκευαστούν κατακόρυφα Si-fin, το στρώμα SOI χαράχθηκε από συμβατικά ιόντα αντίδρασης (RIE) χρησιμοποιώντας πλάσμα όπως φαίνεται στο Σχήμα 4.2.3α. Μετά τη χάραξη των Si-fin, ακολουθήθηκε σχηματισμός της πύλης μέσω  $n^+$  πολυκρυσταλλικού-πυριτίου (poly-Si) χρησιμοποιώντας λιθογραφία EB και RIE. Αφού σχηματίστηκε το ηλεκτρόδιο πύλης, έγινε ρηχή εμφύτευση στην προέκταση του συλλέκτη/εκπομπού (S/D). Για να διανεμηθούν ομοιόμορφα τα άτομα πρόσμειξης (ντόπινγκ) στο κάθετο κανάλι ( $BF_2$  για το pMOS και το P για το nMOS), πραγματοποιήθηκε κεκλιμένη εμφύτευση σε κάθε πλευρά. Ένα οξειδίο διαλογής πάχους 1nm χρησιμοποιήθηκε για την καταστολή της σημαντικής απώλειας των ατόμων προσμίξεων. Έπειτα έγινε εμφύτευση στο S/D αφού σχηματίστηκε πλευρική πύλη χρησιμοποιώντας CVD.

Στη συνέχεια, το ηλεκτρόδιο πύλης για το 4T-FinFET διαχωρίστηκε χρησιμοποιώντας μια διαδικασία χαρακτηριστικής όπου η περιοχή 3T-FinFET προστατεύτηκε από ένα παχύτερο φωτοευαίσθητο υλικό. Λόγω του τρισδιάστατου σχήματος του Si-fin, το πάχος της επικάλυψης EB ήταν λεπτότερο στην κορυφή του Si-fin από αυτό του άλλου επιπέδου τμήματος. Συνεπώς, η πολυκρυσταλλική πύλη πυριτίου στην κορυφή του fin αποκαλύφθηκε από τη μερική απόσβεση του φωτοευαίσθητου. Μετά την αποκάλυψη της πύλης poly-Si με την αραίωση του φωτοευαίσθητου, η πύλη poly-Si διαχωρίστηκε χρησιμοποιώντας ICP-RIE με χημεία βασισμένη στο HBr και το poly-Si πάνω από το Si-fin που ήταν συνδεδεμένο με την κάθε πλευρά της πύλης και αφαιρέθηκε εντελώς. Τέλος, ο συλλέκτης/εκπομπός μεταλλοποιήθηκαν.



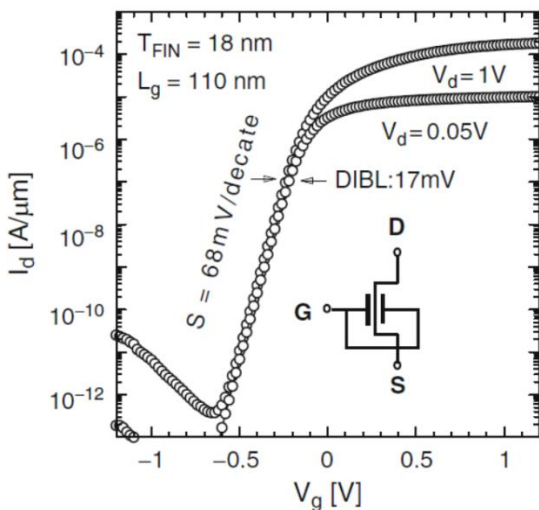
Σχήμα 4.2.3 – Η διαδικασία παραγωγής του 4T-FinFET βήμα-βήμα. Έπειτα από δύο-βήματα εναπόθεσης ιόντων (d)-(e), γίνεται ο διαχωρισμός της πύλης όπως φαίνεται στο (g).



Σχήμα 4.2.4 – Η κάτοψη των FinFET από φωτογραφία SEM. (a) μετά από εγχάραξη της poly-Si πύλης, (b) μετά τον σχηματισμό του πλευρικού τοιχώματος, (c) μετά την μερική απόσβεση του φωτοευαίσθητου, (d) έπειτα από την εγχάραξη διαχωρισμού την πύλης.

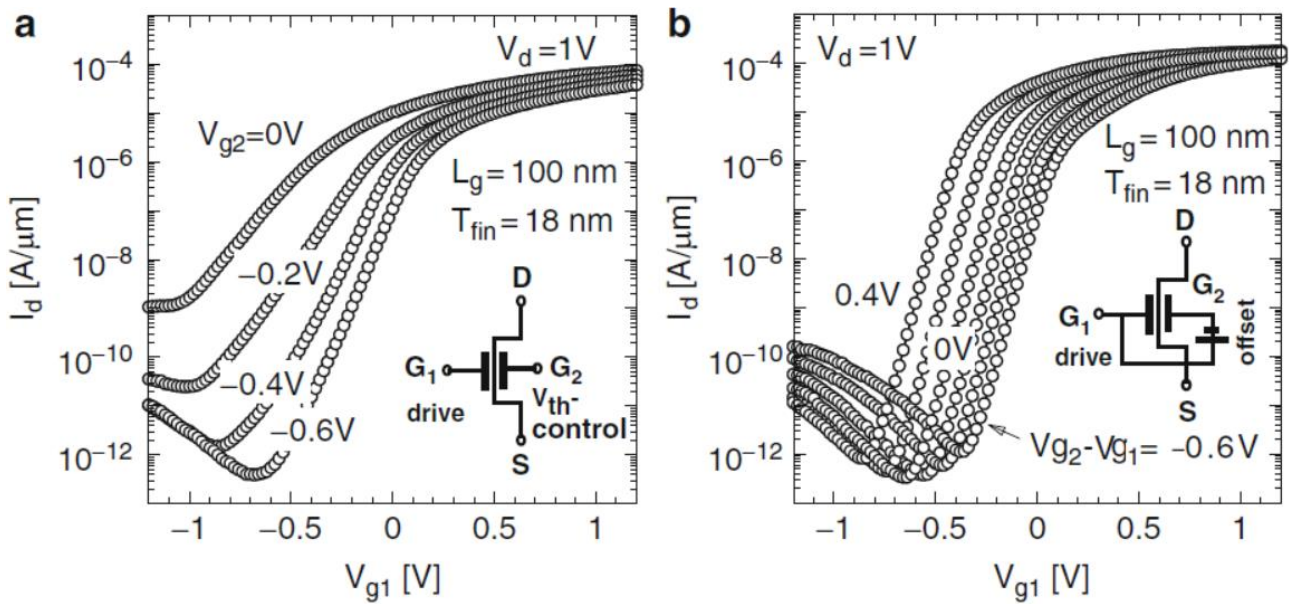
Το Σχήμα 4.2.4a δείχνει μια φωτογραφία από μικροσκόπιο ηλεκτρονικής σάρωσης (SEM) της κάτοψης ενός παρασκευασμένου 3T-FinFET μετά τη χάραξη πύλης. Το κανάλι πυριτίου περιβάλλεται πλήρως από το poly-Si (πολυκρυσταλλικό πυρίτιο) στο κέντρο του Si-fin. Μετά το σχηματισμό του διαχωριστικού στο πλευρικό τοίχωμα της πύλης όπως φαίνεται στο Σχήμα 4.2.4b, εμφυτεύτηκαν τα ανάλογα ιόντα στην περιοχή του εκπομπού και του συλλέκτη. Μετά την εμφύτευση ιόντων, το φωτοευαίσθητο στρώθηκε σε ολόκληρο το τσιπ για την εγχάραξη του διαχωρισμού πύλης. Έπειτα το φωτοευαίσθητο απομακρύνθηκε μερικώς (επιλεκτικά) έτσι ώστε η κορυφή του poly-Si για την περιοχή 4T-FinFET να αποκαλυφτεί όπως φαίνεται στην Εικόνα 4.2.4c. Το σχήμα 4.2.4d δείχνει μια φωτογραφία από SEM του 4TFinFET μετά τη εγχάραξη του διαχωρισμού της πύλης. Η πύλη poly-Si διαχωρίστηκε επιτυχώς με την εγχάραξη του διαχωρισμού της πύλης και η κορυφή του fin αποκαλύφθηκε μέσω ενός ανοίγματος του φωτοευαίσθητου.

Τα Σχήματα 4.2.5 και 4.2.6 δείχνουν τα χαρακτηριστικά του ρεύματος του εκπομπού έναντι της τάσης του συλλέκτη ( $I_D - V_{G1}$ ) των κατασκευασμένων 3T- και 4T-FinFET με μήκος πύλης ( $L_g$ ) 110nm και το πλάτος fin ( $T_{Fin}$ ) 18nm. Το  $V_{TH}$  μπορεί να ελεγχθεί με ευελιξία εισάγοντας σταθερή τάση στο ηλεκτρόδιο ελέγχου ( $G_2$ ) του 4T-FinFET όπως φαίνεται στο Σχήμα 4.2.6. Για τον αποτελεσματικό έλεγχο της τάσης κατωφλίου του 4T-FinFET, ερευνήθηκε μια κατάλληλη κατάσταση για την πύλη ελέγχου ( $G_2$ ). Το Σχήμα 4.2.6a δείχνει τις καμπύλες  $I_D - V_{G1}$  για τη λειτουργία μονής πύλης (SD), στην οποία είναι σταθερό το  $V_{G2}$  σε μια συγκεκριμένη τιμή. Το 4T-FinFET με μικρότερο  $T_{Fin}$  είναι πιο αποτελεσματικό για την ρύθμιση του  $V_{th}$  από ότι το παχύτερο  $T_{Fin}$ . Αυτό υποδηλώνει ότι η ιδιότητα του έλεγχου του  $V_{th}$  στο 4T-FinFET είναι αρκετά αποτελεσματική, χάρη στην μικρότερη πύλη ελέγχου του 4T-FinFET. Για τον έλεγχο του  $V_{th}$  του 4T-FinFET και οι δύο πύλες πρέπει να είναι συγχρονισμένες. Το Σχήμα 4.2.6b δείχνει τα αποτελέσματα όταν λειτουργούν συγχρονισμένα δύο πύλες (DD), όπου και οι δύο πύλες  $V_{G2}$  και  $V_{G1}$  λειτουργούν ταυτόχρονα με τάση που αλλάζει. Σε αυτή τη λειτουργία, τα χαρακτηριστικά  $I_D - V_{G1}$  μπορούν να ελεγχθούν ειδικά για συσκευές με στενότερο  $T_{Fin}$ . Αυτό υποδεικνύει ότι η λειτουργία DD που παρέχεται από το κατάλληλο γεωμετρικό κύκλωμα, είναι ελπιδοφόρα για τη μελλοντική ολοκλήρωση των 4T-FinFET.



Σχήμα 4.2.5 – Τα χαρακτηριστικά  $I_D - V_G$  του 3T-FinFET με  $T_{FIN}=18\text{nm}$  και  $L_G=110\text{nm}$ .

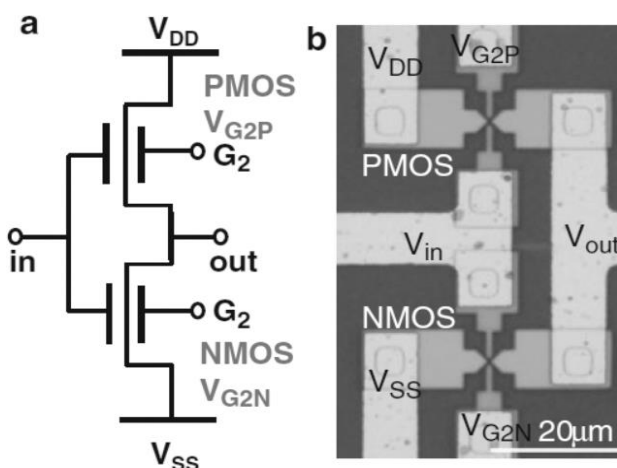




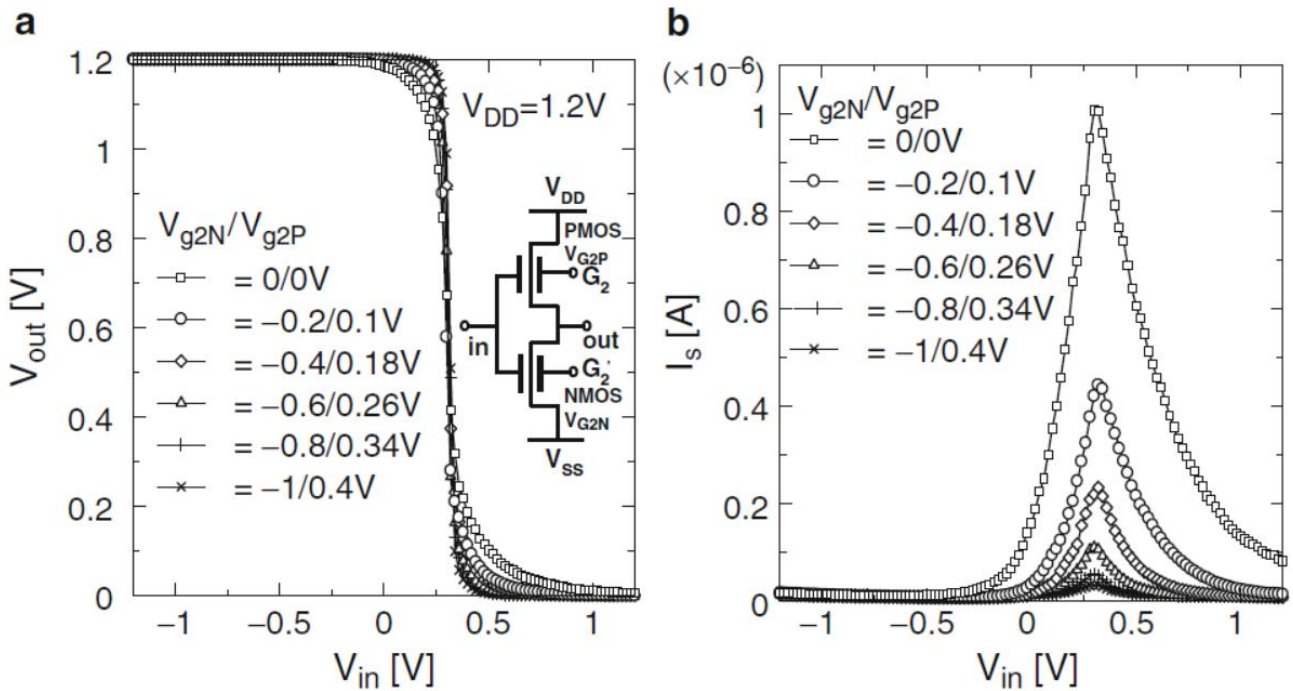
Σχήμα 4.2.6 - Τα χαρακτηριστικά  $I_D - V_{G1}$  για: (a) λειτουργίας μίας πύλης και (b) λειτουργίας συγχρονισμένων διπλών πυλών για 4T-FinFET με  $T_{Fin}=18\text{nm}$  και  $L_G=110\text{nm}$ .

Αυτά τα 4T-FinFET ενσωματώθηκαν και ο αντιστροφέας CMOS που αποτελείται από 4T-FinFET κατασκευάστηκε με επιτυχία όπως φαίνεται στο Σχήμα 4.2.7. Σε αυτό το κύκλωμα, δεν υπάρχουν μόνο οι ακροδέκτες εισόδου και εξόδου αλλά και οι ακροδέκτες ελέγχου  $V_{th}$  και για τις δύο συσκευές pMOS και nMOS. Για να ελεγχθούν τα χαρακτηριστικά του αντιστροφέα CMOS, και οι δύο 'δευτερεύουσες' πύλες πρέπει να ελέγχονται.

Εάν ένα  $V_{G2}$  είναι σταθερό και το άλλο είναι διαφορετικό, η λογική τάση κατωφλίου μπορεί να αλλάζει ευέλικτα όπως φαίνεται στο Σχήμα 4.2.8. Αντίθετα, αλλάζοντας και τα δύο  $V_{G2}$  για τα pMOS ( $V_{G2p}$ ) και nMOS ( $V_{G2n}$ ) συγχρόνως προς την αντίθετη κατεύθυνση, το ρεύμα βραχυκυκλώματος του αντιστροφέα CMOS μπορεί να ελέγχεται δυναμικά διατηρώντας το λογικό κατώφλι όπως φαίνεται στο Σχήμα 4.2.8. Αυτό σημαίνει ότι η διαχείριση του ρεύματος της λειτουργίας CMOS μπορεί να επιτευχθεί. Διαπιστώθηκε ότι το μέγιστο ρεύμα του βραχυκυκλώματος μπορεί να μειωθεί εκθετικά με τη μείωση του  $V_{G2}$ . Αυτό δείχνει ότι τα κυκλώματα CMOS είναι συγχρονισμένα τόσο για λειτουργίες υψηλής ισχύος όπως και χαμηλής ισχύος, οι οποίες δείχνουν το πλεονέκτημα του κυκλώματος CMOS που διαχειρίζεται την ισχύ χρησιμοποιώντας 4T-FinFET.



Σχήμα 4.2.7 – (a) Ένα σχηματικό διάγραμμα και (b) η όψη από οπτικό μικροσκόπιο του αντιστροφέα CMOS υλοποιημένο από 4T-FinFET.

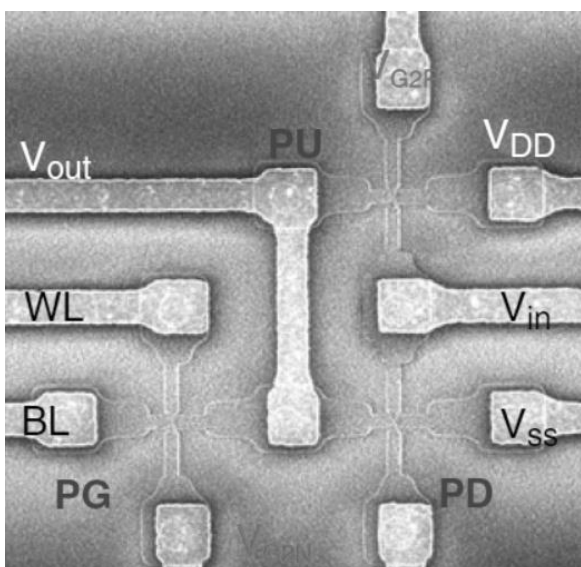


Σχήμα 4.2.8 – (a) Τα χαρακτηριστικά εισόδου-εξόδου του αντιστροφέα CMOS φτιαγμένο με 4T-FinFET ( $T_{Fin}=50nm$  και  $L_g=110nm$ ) με διαφορετικές συνθήκες σταθερών τάσεων στις πύλες ελέγχου και (b) ρεύματα βραχυκυκλώσεων. Δραστική μείωση των ρευμάτων βραχυκύκλωσης επιτυγχάνετε με την προσθήκη κατάλληλης σταθερής τάσης στις πύλες ελέγχου ( $G_2$ ).

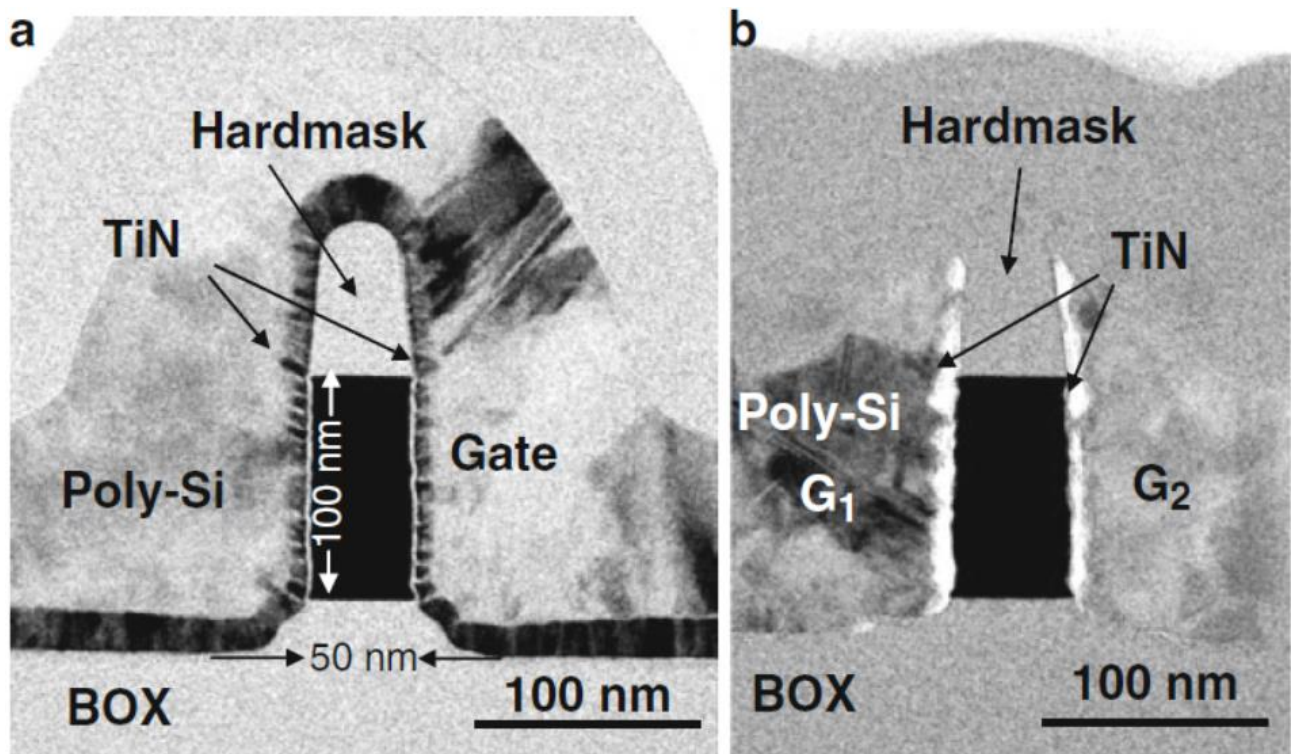
Για την ενσωμάτωση των κελιών SRAM, εισήχθηκε μια μεταλλικής πύλης από TiN ώστε να ρυθμιστεί κατάλληλα το  $V_{th}$ . Το Σχήμα 4.2.9 δείχνει την όψη της σάρωσης διατομής από ηλεκτρονικό μικροσκόπιο (STEM) του ταυτόχρονα κατασκευασμένου 3T και 4T-FinFET.

Η θέση του ανοίγματος του φωτοευαίσθητου χαράχθηκε επιλεκτικά κατά τη διάρκεια της διαδικασίας του διαχωρισμού της πύλης και η 4T-FinFET κατασκευάστηκε με επιτυχία.

Με την ενσωμάτωση των 4T-FinFET, το κελί SRAM έχει κατασκευαστεί με επιτυχία. Το Σχήμα 4.2.10 δείχνει το ημί-κατασκευασμένο κελί SRAM με 4T-FinFET. Επιπρόσθετα χάρη στο WL και το BL, το κελί έχει πύλες ελέγχου του  $V_{th}$  για την πύλη διέλευσης, τα pull-down, και τα pull-up τρανζίστορ.



Σχήμα 4.2.10 – Εικόνα SEM από μισό κελί SRAM 4T-FinFET.



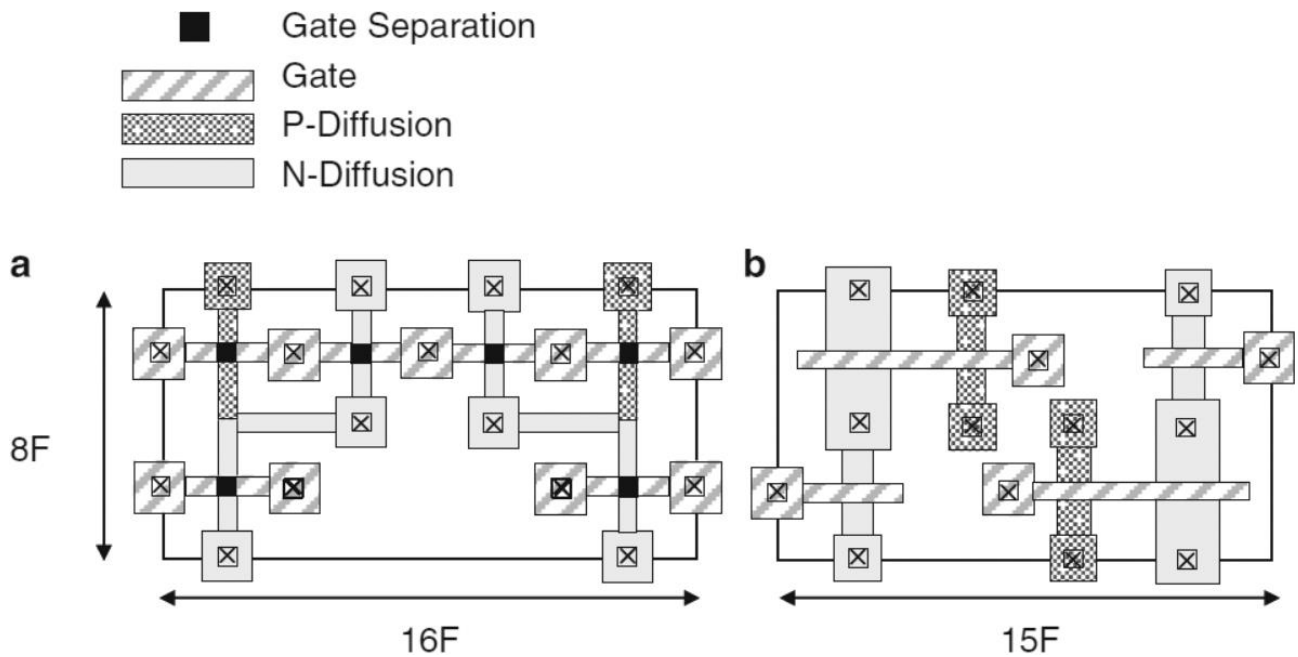
Σχήμα 4.2.9 – Εικόνες σάρωσης διατομής STEM (a) του 3T-FinFET (b) και του 4T-FinFET ανεξάρτητης πύλης

Κύκλωμα	Διαρροή Ρεύματος (A/μm)
4T-FinFET (high- $V_{th}$ )	$2.6 \times 10^{-10}$
4T-FinFET (low- $V_{th}$ )	$1.6 \times 10^{-5}$
4T-FinFET SRAM (μέση_τιμή)	$6.3 \times 10^{-8}$
3T-FinFET SRAM	$2.4 \times 10^{-7}$

Πίνακας 4.2.1 – Πειραματικά ρεύματα διαρροής

Υποθέτουμε ότι η τάση για τον έλεγχο του  $V_{th}$  κυμαίνεται μεταξύ -1V και 1V και υπολογίζεται το μέσο ρεύμα διαρροής σε ένα 256 x 256 πίνακα SRAM. Ο Πίνακας 4.2.1 συνοψίζει το ρεύμα διαρροής στα 4T-FinFET SRAM και στα συμβατικά 3T-FinFET SRAM κελιά. Το μέσο ρεύμα διαρροής SRAM είναι πολύ χαμηλότερο στην περίπτωση 4T-FinFET. Εάν μειώσουμε το ρεύμα διαρροής του high- $V_{th}$  στο 4TFinFET με την εισαγωγή ενός οξειδίου στην πύλη, το ρεύμα διαρροής του SRAM κελιού μπορεί να κατασταλεί περαιτέρω. Επίσης όχι μόνο το στατικό ρεύμα διαρροής αλλά και η δυναμική κατανάλωση ισχύος μπορούν να ελέγχονται από το 4T-FinFET SRAM.

Το Σχήμα 4.2.11 δείχνει την προτεινόμενη διάταξη για το κελί 4T-FinFET SRAM. Απαιτείται ελαφρώς μεγαλύτερη επιφάνεια σε σύγκριση με το πρότυπο CMOS SRAM ώστε να ενσωματωθεί η δεύτερη επαφή της πύλης για τα 4T-FinFET.



Σχήμα 4.2.11 – (a) Διάταξη κελιού 4T-FinFET SRAM και (b) κελιού επίπεδου MOSFET SRAM.

## Πηγές & Βιβλιογραφία

Amara Amara, Thomas Ea, Marc Belleville, Emerging Technologies and Circuits, © Springer Science+Business Media B.V. 2010, ISBN: 978-90-481-9378-3

Niraj K. Jha, Deming Chen, Nanoelectronic Circuit Design, © Springer Science+Business Media, LLC 2011, ISBN 978-1-4419-7444-0

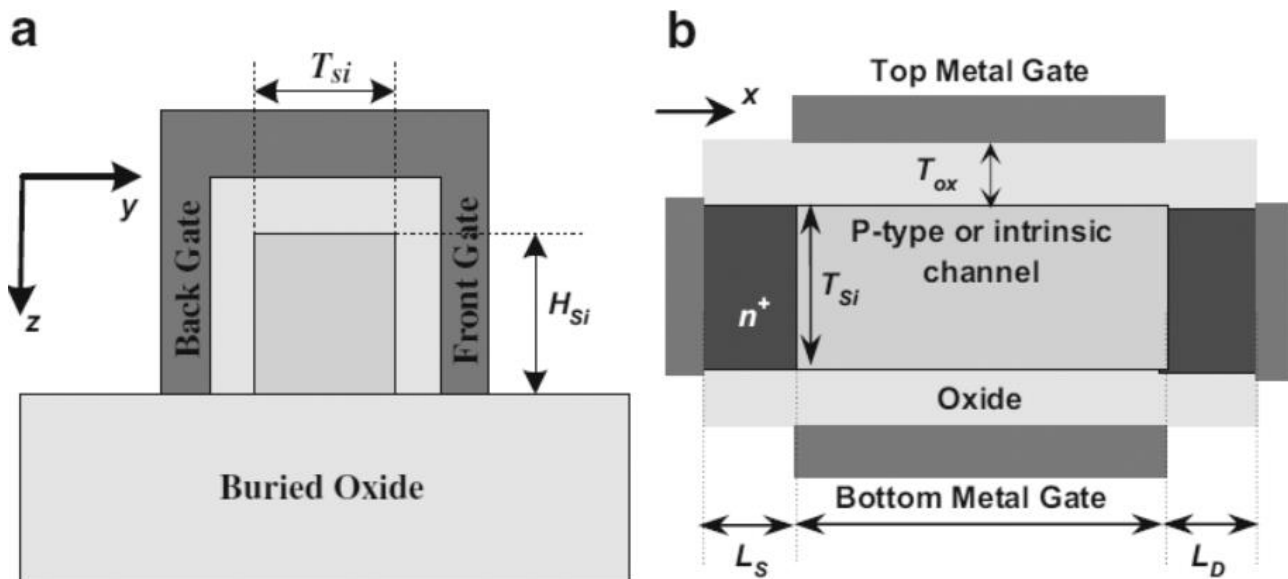
# Κεφάλαιο 5 – Το κβαντικό FinFET

Το πρώτο μέρος του κεφαλαίου παρέχει τα βασικά εργαλεία που σχετίζονται με την προσομοίωση του φορμαλισμού της μη-ισορροπημένης εξίσωσης Green (NEGF) της κβαντικής μεταφοράς στα FinFET. Ο NEGF παρέχει μια αυστηρή περιγραφή της κβαντικής μεταφοράς σε νανοσυσκευές. Το δεύτερο κομμάτι εστιάζει στο αναλυτικό μοντέλο της κβαντικής μηχανικής σε δύο πλήρεις διαστάσεις (2D) με σκοπό να αξιολογηθεί το δισδιάστατο (2D) προφίλ μέσα στην ενεργή περιοχή της δομής του FinFET. Αυτή η προσέγγιση εφαρμόζεται με λεπτομερή έρευνα της τάσης κατωφλίου και της ποικιλίας που μπορεί να έχει κατά της παραμέτρους της διαδικασίας. Και στο τρίτο κομμάτι αναλύετε ο κβαντικός περιορισμός για τις μελλοντικές γενιές FinFET που γίνετε ολοένα και πιο σημαντικός.

## 5.1 – Προσομοίωση της Κβαντικής Μεταφοράς στα FinFET

Στις συσκευές FinFET, η μεταφορά των φορέων του φορτίου λαμβάνει χώρα μέσα σε ένα φιλμ πυριτίου με πάχος της τάξης μερικών νανομέτρων. Αυτή η νανομετρική ταινία περιβάλλεται από ένα στρώμα απομονώσεως οξειδίου, δηλαδή ένα φράγμα υψηλού δυναμικού. Αυτό έχει ως αποτέλεσμα σημαντικά QME (κβαντομηχανικά Φαινόμενα) που δεν μπορούν να αγνοηθούν στην μοντελοποίηση και στην προσομοίωση της συσκευής. Στην πραγματικότητα, αυτά τα QME μπορούν να ομαδοποιηθούν σε τρεις κατηγορίες: (1) κβαντική απομόνωση σε όλο το κανάλι του τρανζίστορ, (2) κβαντομηχανική σήραγγα γύρω από το οξείδιο της πύλης, και την (3) κβαντική μεταφορά των φορέων φορτίου κατά μήκος του καναλιού. Αυτά τα φαινόμενα είναι σύντομα και θα αναφερθούν στη συνέχεια.

Τα FinFET με πάχος fin κάτω από 20nm παρουσιάζουν QM περιορισμό των φορέων φορτίου σε όλο το κανάλι. Το Σχήμα 5.1.1a δείχνει μια κατακόρυφη διατομή και το Σχήμα 5.1.1b δείχνει μια οριζόντια διατομή μιας συσκευής FinFET. Ο περιορισμός των φορέων προέρχεται τόσο από τη δομική όσο και από την ηλεκτρική συγκράτηση. Ο περιορισμός οδηγεί σε δραματική αλλαγή της συμπεριφοράς της συσκευής. Τα επίπεδα ενέργειας που διατίθενται για κίνηση στην y- και z-κατεύθυνση, κβαντοποιούνται με μια συνεχή κίνηση στην κατεύθυνση x. Αυτή η ποσοτικοποίηση συνοδεύεται από την παρουσία των λειτουργιών (ή υποζωνών). Κάθε λειτουργία έχει μια ορισμένη κατανομή της ζώνης ενέργειας κατά μήκος του καναλιού και μια ορισμένη κατανομή πιθανότητας για τον φορέα φορτίου σε όλο το κανάλι. Αυτές οι λειτουργίες είναι η καρδιά της προσέγγισης του χώρου λειτουργίας που θα περιγραφεί σε μετέπειτα παράγραφο. Ο διαχωρισμός μεταξύ αυτών των λειτουργιών γίνεται αναλόγως ενέργεια, όπως κατά την χαμηλότερη ενέργεια, η επίτευξη λειτουργίας γίνεται μεγαλύτερη για μικρότερες τιμές του  $T_{Si}$  και  $H_{Si}$  και για μεγαλύτερες τάσεις πόλωσης στην πύλη. Επομένως, η τάση κατωφλίου μπορεί να ελεγχθεί με τη χρήση  $T_{Si}$  και, έτσι, μπορεί να χρησιμοποιηθεί ένα ελαφρώς ντοπαρισμένο ή εγγενές κανάλι. Σε αυτό το μέρος του κεφαλαίου, θα υποτεθεί ότι το κανάλι είναι εγγενές, ενώ ο εκπομπός και ο συλλέκτης είναι βαριά ντοπαρισμένα, ώστε έτσι η εγγενής αντίσταση τους να μπορεί να αγνοηθεί. Σε πολλές πρακτικές περιπτώσεις και για να υπάρχει επαρκές ρεύμα να ρέει κατά μήκος του καναλιού, το  $H_{Si}$  είναι φτιαγμένο έτσι ώστε να είναι πολύ μεγαλύτερο από το  $T_{Si}$  ώστε το φαινόμενο περιορισμού να μπορεί να θεωρείται μόνο προς την μία κατεύθυνση.



Σχήμα 5.1.1 – Δομή του FinFET: (a) κατακόρυφη διατομή (b) οριζόντια διατομή

Δύο φαινόμενα της κβαντομηχανικής (QM) σήραγγας είναι πιθανό να εμφανιστούν σε FinFET, σήραγγα μέσω του οξειδίου πύλης και σήραγγα μεταξύ συλλέκτη-εκπομπού κατά μήκος του καναλιού του τρανζίστορ. Η σήραγγα στο οξείδιο της πύλης είναι αναπόφευκτη για πάχος οξειδίου μικρότερο από 7nm. Για τα FinFET, το πάχος οξειδίου είναι τυπικά μικρότερο από 2nm, και ο μηχανισμός της άμεσης σήραγγας κυριαρχεί μεταξύ των άλλων μηχανισμών. Για το λόγο αυτό, διηλεκτρικά υλικά υψηλού- $k$  χρησιμοποιούνται αντί του οξειδίου του πυριτίου έτσι ώστε αν και το φυσικό πάχος τους να μπορεί να είναι μεγαλύτερο, το αποτελεσματικό πάχος τους, σε αντιστοιχία της χωρητικότητας οξειδίου, είναι το ίδιο. Το ρεύμα διαρροής της πύλης μπορεί να ληφθεί υπόψη εντός της προσομοίωσης μεταφοράς του κβαντικού NEGF στην αντιπροσώπευση πραγματικού χώρου. Η σήραγγα ρεύματος στον συλλέκτη-εκπομπό καθίσταται σημαντική για μήκη καναλιών κάτω από 5nm. Πράγματι, αυτός ο μηχανισμός του υπολογισμού συλλέκτη-εκπομπού υπολογίζεται αυτόματα μέσω του υπολογισμού NEGF χωρίς να δοθεί ιδιαίτερη προσοχή.

Το μήκος θραύσης της φάσης ορίζεται ως η απόσταση κατά την οποία η φάση του κύματος των ηλεκτρονίων καταστρέφεται από κάποια διαδικασία. Υπολογίστηκε ότι είναι στην εμβέλεια των 50nm για το πυρίτιο. Η διαδικασία θραύσης της φάσης προκύπτει από την αλληλεπίδραση των ηλεκτρονίων με των φωνονίων (δονήσεις πλέγματος), φωτονίων (ηλεκτρομαγνητικές δονήσεις) ή άλλων ηλεκτρονίων. Για τις μακροσκοπικές συσκευές, η εξάπλωση της τυχαίας φάσης κυριαρχεί και η φάση των κυμάτων των ηλεκτρονίων γίνεται τυχαία μέσω συγκρούσεων και χάνουν την φάση τους κατά τη διάρκεια της διαδικασίας της μεταφοράς. Επομένως, τα φαινόμενα της κβαντικής παρεμβολής μπορούν να παραμεληθούν σε μακροσκοπικές συσκευές και μπορεί να χρησιμοποιηθεί μια ημιτυπική προσέγγιση βασισμένη στην εξίσωση μεταφοράς Boltzmann για να περιγράψει τη μεταφορά. Στις νανομετρικές συσκευές οι διαστάσεις των οποίων είναι πολύ μεγαλύτερες από τα άτομα αλλά μικρότερες από τα φαινόμενα σκέδασης, τα ηλεκτρόνια μπορούν να μεταφερθούν βαλλιστικά από τη μια πλευρά της συσκευής σε άλλη πλευρά χωρίς σκέδαση.

Σε αυτή την περίπτωση, η φάση της κυματικής φύσης των ηλεκτρονίων διαδραματίζει σημαντικό ρόλο στη διαδικασία μεταφοράς επειδή τα ηλεκτρόνια μπορούν να παρεμβαίνουν καταχρηστικά ή καταστροφικά. Αποδείχθηκε ότι οι ταλαντώσεις της πυκνότητας του φορέα μπορούν να βρεθούν κοντά στις άκρες του φράγματος του καναλιού, ειδικά σε χαμηλή θερμοκρασία. Σε θερμοκρασία δωματίου ή υψηλότερη, το φαινόμενο παρεμβολής ξεχνιέται όπως δείχνουν τα στατιστικά στοιχεία. Οι βαλλιστικές μεταφορές και οι παρεμβολές του φορέα είναι εγγενώς καταλογισμένες για την προσομοίωση μεταφοράς NEGF.

## 5.2 – Μοντελοποίηση Δυναμικού Κβαντικής Μηχανικής στα FinFET

Αυτό το κεφάλαιο εστιάζει σε ένα πλήρες δυσδιάστατο (2D) κβαντομηχανικό (QM), αναλυτικό μοντέλο προκειμένου να αξιολογηθεί το δυσδιάστατο προφίλ δυναμικού μέσα την ενεργή περιοχή της δομής του FinFET. Διάφορα προφίλ δυναμικού, όπως η επιφάνεια, η πίσω μέχρι την εμπρόσθια πύλη και ο συλλέκτης προς τον εκπομπό παρουσιάστηκαν έτσι ώστε να εκτιμηθεί η χρησιμότητα της συσκευής για σκοπούς προσομοίωσης κυκλώματος. Καθώς προχωράμε από το άκρο του συλλέκτη της πύλης προς στο άκρο του εκπομπού της πύλης, υπάρχει σημαντική αύξηση στο δυναμικό σε οποιοδήποτε σημείο του καναλιού. Αυτό οφείλεται στην αυξημένη αξία του διαμήκους ηλεκτρικού πεδίου στο άκρο του εκπομπού κατά την εφαρμογή μιας τάσης από τον εκπομπό προς τον συλλέκτη. Παρατηρείται μια πτώση της τάσης κατωφλίου αναλόγως το πάχος του fin τόσο σε θεωρητικά όσο και σε πειραματικά αποτελέσματα. Το πάχος του fin ποικίλει από 10 έως 60nm. Από την ανάλυση της αντοχής του συλλέκτη/εκπομπού, παρατηρείται ότι για ένα σταθερό πλάτος fin, καθώς το μήκος του καναλιού αυξάνεται, υπάρχει μια ενίσχυση της παρασιτικής αντίστασης του συλλέκτη/εκπομπού. Αυτό μπορεί να συμπεραστεί από το γεγονός ότι όσο το μήκος του καναλιού μειώνεται, ο κβαντικός περιορισμός κατά μήκος της κατεύθυνσης του συλλέκτη/εκπομπού γίνεται πιο εκτεταμένος.

Προκειμένου να εξαχθεί το πλήρες δυναμικό προφίλ δύο διαστάσεων εντός της ενεργού περιοχής της συσκευής, εκτελείται κβαντομηχανική λύση. Για το σκοπό αυτό, έχουν προταθεί αρκετές μέθοδοι, όπου η λειτουργία δυναμικού χωρίζεται σε δύο μέρη, η πρώτη είναι η λύση του μακριού καναλιού και η δεύτερη μία εκτίμηση σύντομου καναλιού. Αλλά η αξιολόγηση του ορίου σύντομου καναλιού λαμβάνει υπόψη την λειτουργική εξάρτηση των παραμέτρων της συσκευής, κάτι που αποτελεί περίπλοκο ζήτημα και καταλαμβάνει μεγάλο υπολογιστικό χρόνο. Για χάρη της απλούστευσης και επίσης της μειωμένης πολυπλοκότητας στο χρόνο, έχει υποτεθεί η ακόλουθη εξάρτηση του δυναμικού, όπου το δυσδιάστατο δυναμικό κατανέμεται (σπάει) σε μονοδιάστατο επιφανειακό δυναμικό και μια δυσδιάστατη λειτουργία όπως δίνεται παρακάτω (Εξίσωση 5.2.1):

$$\psi(x, y) = \psi_s(x) \times A(x, y) \quad (\text{Εξίσωση 5.2.1})$$

όπου το  $\psi_s(x)$  είναι το επιφανειακό δυναμικό και το  $A(x, y)$  είναι η κατακόρυφη κατανομή της δυσδιάστατης λειτουργίας

Το  $A(x, y)$  όπως δίνετε στην Εξίσωση 5.2.1 μπορεί να γραφτεί ως:

$$A(x, y) = \frac{Z(x, y)}{Z(x, y=1)} \quad (\text{Εξίσωση 5.2.2})$$

όπου το  $Z(x, y)$  μπορεί να γραφτεί ως

$$Z(x, y) = \psi_0(x) - \frac{2}{\beta} \ln \left\{ \cos \left[ \sqrt{\frac{q^2 n_i}{2kT\epsilon_{Si}}} e^{\frac{\beta(\psi_0(x) - V_F(x))}{2}} \left( y - \frac{T_{fin}}{2} \right) \right] \right\} \quad (\text{Εξίσωση 5.2.3})$$

Η συμπεριφορά του κεντρικού δυναμικού  $\psi_0(x)$  ως συνάρτηση της αποτελεσματικής τάσης πύλης δίνεται ως:

$$\psi_0(x) = U - \sqrt{U^2 - (V_{gs} - V_{FB})\psi_{0max}(x)} \quad (\text{Εξίσωση 5.2.4})$$

όπου το  $\psi_{0max}(x)$  είναι το μέγιστο δυναμικό που μπορεί να επικρατήσει στο κέντρο του καναλιού κάτω από μια δεδομένη τάση στον ακροδέκτη και το  $U$  δίνεται ως:

$$U = \frac{1}{2} [(V_{gs} - V_{FB}) + (1 + r)\psi_{0max}(x)] \quad (\text{Εξίσωση 5.2.5})$$

Το  $\psi_{0max}(x)$  μπορεί να αξιολογηθεί ως:

$$\psi_{0max}(x) = V_F(x) + \frac{1}{\beta} \ln \left( \frac{2\pi^2 \epsilon_{Si} kT}{q^2 n_i T_{fin}^2} \right) \quad (\text{Εξίσωση 5.2.6})$$

όπου το  $r$  ορίζεται ως παράμετρος ομαλοποίησης που εξαρτάται λίγο από το πάχος του οξειδίου και του πυριτίου και του σχεδόν-Fermi δυναμικού που δίνεται από την Εξίσωση 5.2.7.:

$$r = (At_{ox} + B) \left( \frac{C}{T_{fin}} + D \right) e^{-EV_F(x)} \quad (\text{Εξίσωση 5.2.7})$$

Η βελτιστοποιημένη τιμή των  $A, B, C, D$  και  $E$  είναι  $0,0267\text{nm}^{-1}$ ,  $0,0270$ ,  $0,4526\text{nm}$ ,  $0,0650$  και  $3,2823\text{V}^{-1}$  αντίστοιχα. Αυτές οι βελτιστοποιημένες τιμές λήφθηκαν για διαστάσεις συσκευών  $t_{ox} < 10\text{nm}$  και  $T_{fin} > 5\text{nm}$ . Εκτενείς αριθμητικές προσομοιώσεις δείχνουν ότι το δυναμικό σχεδόν-Fermi επίσης εξαρτάται από την τάση της πύλης, το αποτελεσματικό μήκος καναλιού και το πάχος του  $fin$  δίνεται από μια ημί-εμπειρική σχέση όπως:

$$V_F(x) = \frac{2kT}{q} \frac{m}{n} \ln \left[ \left( \exp \left( -\frac{V_{ds} \left( \frac{m}{n} \right)^{-1}}{\frac{kT}{q}} \right) - 1 \right) \left( \frac{x}{L_{eff}} \right)^{\frac{c}{V_{gs} - V_{FB}}} + 1 \right]^{-1} \times (a \times T_{fin})^{\frac{V_{ds}}{3c}} \quad (\text{Εξίσωση 5.2.8})$$

όπου το  $m/n = 2 + b(V_{gs} - V_{FB})$ ,  $a = 0,2\text{nm}^{-1}$ ,  $b = 7,5\text{V}^{-1}$ ,  $c = 1\text{V}$  και το  $V_{ds}$  εφαρμόζεται στην τάση του εκπομπού. Η δυναμική σχεδόν-Fermi δίνεται στην 5.2.8 ως εξίσωση της θέσης μαζί με το μήκος του καναλιού και την τάση του εκπομπού  $V_{ds}$ . Αντικαθιστώντας την τιμή του  $\psi_{0max}(x)$  από την 5.2.4 και το  $V_F(x)$  από την 5.2.8 στην 5.2.3 παίρνουμε το  $Z(x, y)$  όπως φαίνεται η Εξίσωση 5.2.9 στην επόμενη σελίδα:



$$Z(x, y) = (U - \sqrt{U^2 - (V_{gs} - V_{FB})\psi_{0max}(x)} - \frac{2}{\beta} \ln \left\{ \cos \left[ \frac{\sqrt{q^2 n_i}}{\sqrt{2kT\epsilon_{Si}}} e^{-\frac{\beta \left( (U - \sqrt{U^2 - (V_{gs} - V_{FB})\psi_{0max}(x)}) - \left( \frac{2kTm}{q} \ln \left[ \left( \exp \left( -\frac{V_{ds} \left( \frac{m}{n} \right)^{-1}} \right) - 1 \right) \left( \frac{x}{L_{eff}} \right)^{\frac{c}{V_{gs} - V_{FB}}} + 1 \right]^{-1} \times (a \times T_{fin})^{\frac{V_{ds}}{3c}} \right)}{2} \right]} \right\} \right. \quad \left. \right\} \quad (\text{Εξίσωση 5.2.9})$$

Μια εξίσωση του  $Z(x, y)$  χρησιμοποιείτε για να αποκτηθεί η αναλυτική λύση της συνάρτησης  $A(x, y)$ . Η λύση της μονοδιάστατης εξίσωσης Poisson είναι:

$$\psi_s(x) = C_1 \exp(m_1 x) + C_2 \exp(-m_1 x) - \frac{R}{m_1^2} \quad (\text{Εξίσωση 5.2.10})$$

Όπου τα  $C_1$ ,  $C_2$  και  $R$  υπολογίζονται με το να συμπεριληφθούν οι ακόλουθες οριακές συνθήκες βασισμένες στην εκάστοτε φυσική της συσκευής ως εξής:

$$\psi_s(x = 0) = \varphi_s \text{ και } \psi_s(x = L_{eff}) = \varphi_s + V_{ds}$$

Οι τιμές των παραμέτρων αποκτήθηκαν ως εξής:

$$C_1 = \frac{\varphi_s [1 - \exp(-m_1 L_{eff})] + V_{ds} + \frac{R [1 - \exp(-m_1 L_{eff})]}{m_1^2}}{2 \sinh(m_1 L_{eff})} \quad (\text{Εξίσωση 5.2.11})$$

$$C_2 = - \frac{\varphi_s [1 - \exp(-m_1 L_{eff})] + V_{ds} + \frac{R [1 - \exp(-m_1 L_{eff})]}{m_1^2}}{2 \sinh(m_1 L_{eff})} \quad (\text{Εξίσωση 5.2.12})$$

$$R = \frac{\eta}{\epsilon_{Si} T_{fin}} [q N_a T_{fin} - 2 C_{ox} (V_{gs} - V_{FB} - \varphi_F)] \quad (\text{Εξίσωση 5.2.13})$$

Όπου το  $\eta$  είναι μια παράμετρος προσαρμογής που ενσωματώνει τα φαινόμενα της μεταβολής του πλευρικού πεδίου στο εξαντλημένο φιλμ κάτω από το κανάλι. Όπως αποδεικνύετε από την βιβλιογραφία, το  $\eta$  είναι μικρότερο από 1 για  $V_{gs} \leq V_{th}$  και εξαρτάται από την συγκέντρωση ντόπινγκ στα κανάλια και το πάχος τους. Επομένως, αυτή η παράμετρος πρέπει να βαθμονομείται για κάθε μία τεχνολογία.  $C_{ox} = \epsilon_{ox} / t_{ox}$  είναι η χωρητικότητα οξειδίου ανά μονάδα επιφάνειας και το  $N_a$  είναι το ντόπινγκ του καναλιού. Αντικαθιστώντας την τιμή των  $C_1$ ,  $C_2$  και  $R$  στο (5.2.10), το δυναμικό της επιφάνειας,  $\psi_s(x)$ , λαμβάνεται ως:

$$\psi_s(x) = \left( \frac{\varphi_s [1 - \exp(-m_1 L_{eff})] + V_{ds} + \frac{R [1 - \exp(-m_1 L_{eff})]}{m_1^2}}{2 \sinh(m_1 L_{eff})} \right) [\exp(m_1 x)] + \left( \frac{\varphi_s [1 - \exp(-m_1 L_{eff})] + V_{ds} + \frac{R [1 - \exp(-m_1 L_{eff})]}{m_1^2}}{2 \sinh(m_1 L_{eff})} \right) [\exp(-m_1 x)] - \frac{\left( \frac{\eta}{\epsilon_{Si} T_{fin}} [q N_a T_{fin} - 2 C_{ox} (V_{gs} - V_{FB} - \varphi_F)] \right)}{m_1^2} \quad (\text{Εξίσωση 5.2.14})$$

Από τις εξισώσεις 5.2.2 και 5.2.14, προκύπτει η πλήρης δισδιάστατη κβαντομηχανική επιφάνεια δυναμικού ως:

$$\psi(x, y) = \left[ \left( \frac{\varphi_s [1 - \exp(-m_1 L_{eff})] + V_{ds} + \frac{R [1 - \exp(-m_1 L_{eff})]}{m_1^2}}{2 \sinh(m_1 L_{eff})} \right) [\exp(m_1 x)] + \left( \frac{\varphi_s [1 - \exp(-m_1 L_{eff})] + V_{ds} + \frac{R [1 - \exp(-m_1 L_{eff})]}{m_1^2}}{2 \sinh(m_1 L_{eff})} \right) [\exp(-m_1 x)] - \frac{\left( \frac{\eta}{\varepsilon_{Si} T_{fin}} [q N_a T_{fin} - 2 C_{ox} (V_{gs} - V_{FB} - \varphi_F)] \right)}{m_1^2} \right] \times \frac{Z(x, y)}{Z(x, y=1)}$$

(Εξίσωση 5.2.15)

Έχει παρουσιαστεί ένα αναλυτικό δισδιάστατο σχέδιο μοντελοποίησης του δυναμικού λαμβάνοντας υπόψη διάφορα κβαντομηχανικά φαινόμενα της δομής του FinFET για μήκος καναλιού 30 nm, πάχος fin 10 nm και ύψος fin 30 nm. Για την επαλήθευση του αναλυτικού μοντέλου μας, τα αποτελέσματα που επιτεύχθηκαν συγκρίνονται και αντιπαραβάλλονται με τα αναφερόμενα προσομοιωμένα αποτελέσματα καθώς και με τα πειραματικά αποτελέσματα.

Το Σχήμα 5.2.1 δείχνει την μεταβολή του επιφανειακού δυναμικού που εκλαμβάνεται με βάση το μοντέλο της βιβλιογραφίας και τα αποτελέσματα προσομοίωσης που έχουν αναφερθεί αναλόγως την απόσταση στο μήκος καναλιού. Οι παράμετροι της συσκευής που χρησιμοποιούνται για την ανάλυση παρουσιάζονται στο ίδιο σχήμα. Μπορεί να φανεί από το σχήμα ότι υπάρχει μια καλή αντιστοιχία μεταξύ του αναφερθέντος αποτελέσματος και του αποτελέσματος που λαμβάνουμε μέσω της μοντελοποίησης μας σε οποιοδήποτε σημείο κατά μήκος του καναλιού από τον εκπομπό έως τον συλλέκτη. Μπορεί να παρατηρηθεί ότι το δυναμικό αρχικά πέφτει σε μια ελάχιστη τιμή γύρω από το κέντρο του μήκους του καναλιού και στη συνέχεια αυξάνεται μονοτονικά στο τέλος του εκπομπού. Σε οποιοδήποτε σημείο κατά μήκος του καναλιού, το μοντέλο μας προβλέπει χαμηλότερη τιμή του επιφανειακού δυναμικού σε σύγκριση με τα προσομοιωμένα αποτελέσματα. Η μικρή απόκλιση που παρατηρήθηκε στα αποτελέσματα μπορεί να οφείλονται στη μεταβολή της μάζας του φορέα λόγω της κβαντικής απομόνωσης σε μια εφαρμοζόμενη τάση εκπομπού και πύλης 0,4 V και 1 V, αντίστοιχα.

Το Σχήμα 5.2.2 δείχνει την μεταβολή του τρισδιάστατου προφίλ επιφανειακού δυναμικού στην ενεργή περιοχή της συσκευής. Μπορεί να διακριθεί από αυτό το σχήμα ότι υπάρχει αύξηση στο δυναμικό κατά μήκος του καναλιού προς το άκρο του εκπομπού. Μπορεί επίσης να παρατηρηθεί ότι η δυναμική διακύμανση από την πύλη προς την πύλη του εκπομπού είναι πιο έντονη σε σύγκριση με τη μεταβολή στο άκρο του συλλέκτη. Αυτό οφείλεται σε ένα μεγάλο εγκάρσιο όπως και με διαμήκη κατεύθυνση ηλεκτρικό πεδίο μέσα στο κανάλι κοντά στο άκρο του εκπομπού σε σύγκριση με το άκρο του συλλέκτη.

Η μεταβολή του δυναμικού του καναλιού από την μπροστινή πύλη προς την πίσω πύλη υπό διάφορες αποστάσεις από την πλευρά του συλλέκτη για σταθερή τάση πόλωσης στην πύλη και στον εκπομπό φαίνονται στο Σχήμα 5.2.3. Το μήκος πύλης, το ύψος του fin και το πάχος έχουν ληφθεί ως 30nm, 30nm και 10nm, αντίστοιχα. Μπορούμε να διαπιστώσουμε από το Σχήμα αυτό, ότι καθώς μεταβαίνουμε από το τέλος της πύλης του εκπομπού στο άκρο της πύλης του συλλέκτη, υπάρχει σημαντική αύξηση του δυναμικού σε οποιαδήποτε σημείο στο κανάλι.

Αυτό οφείλεται στην αυξημένη τιμή του διαμήκους ηλεκτρικού πεδίου στο άκρο του εκπομπού κατά την εφαρμογή μιας τάσης από τον εκπομπό προς τον συλλέκτη. Μπορεί να παρατηρηθεί περαιτέρω ότι κοντά στο τέλος του συλλέκτη, το δυναμικό είναι σχεδόν σταθερό καθώς κινείται από την εμπρός προς την πίσω πύλη. Αλλά κοντά στο άκρο του εκπομπού, η διακύμανση του δυναμικού κοντά και στις δύο πύλες είναι πολύ δραστική. Αυτό οφείλεται στην μεγαλύτερη αποτελεσματικότητα της τάσης στην πύλη στο άκρο του εκπομπού της συσκευής σε σύγκριση με το άκρο του συλλέκτη. Αυτό εννοεί ότι το διαμήκες ηλεκτρικό πεδίο ενισχύεται κοντά στη επιφάνεια Si-SiO<sub>2</sub> λόγω της εγγύτητάς του για μεταλλικές πύλες.

Μεταβολές στην τάση κατωφλίου με το πάχος του fin για το κβαντομηχανικό μοντέλο, το κλασικό μοντέλο και τα πειραματικά αποτελέσματα φαίνονται στο Σχήμα 5.2.4 ώστε να γίνει η σύγκριση. Έχει παρατηρηθεί πτώση της τάσης κατωφλίου με το πάχος των fin τόσο στα θεωρητικά όσο και στα πειραματικά αποτελέσματα. Το πάχος του fin κυμαίνεται από 5 έως 55nm. Το ποσοστό της πτώσης για το μοντέλο που παρουσιάζετε είναι 77% και για το πειραματικό αποτέλεσμα είναι 75%. Επομένως, μπορεί να ειπωθεί ότι υπάρχει στενή ποσοστιαία μεταβολή μεταξύ των αποτελεσμάτων που παρουσιάζονται και της πειραματικής μέτρησης, είναι γεγονός ότι οι παράμετροι διεργασίας της συσκευής υφίστανται διακυμάνσεις υπό τόσο χαμηλές διαστάσεις.

Το Σχήμα 5.2.5 δείχνει τη μεταβολή της τάσης κατωφλίου με το πάχος fin για διάφορα ύψη fin. Από το Σχήμα φαίνεται ότι καθώς το ύψος του fin αυξάνεται, ο ρυθμός της μείωσης της τάσης κατωφλίου με το πάχος των fin επίσης αυξάνεται. Επιπλέον, η απόλυτη τιμή του κατωφλίου δείχνει μια ενίσχυση με μεγαλύτερο πάχος των fin. Αυτό συμβαίνει επειδή σε μεγαλύτερα πάχη των fin, η άνω πύλη του fin είναι σε θέση να ελέγξει το φορτίο του καναλιού ώστε να είναι σε μικρότερο ποσό. Ως εκ τούτου, υπάρχει μια αύξηση στην τάση κατωφλίου. Μπορεί να διακριθεί και περαιτέρω ότι καθώς το πάχος του fin αυξάνεται, το εγκάρσιο ηλεκτρικό πεδίο μειώνεται, οπότε η μεγαλύτερη τάση στη πύλη μειώνεται έτσι ώστε να σχηματίσει το κανάλι, αυξάνοντας έτσι την τάση κατωφλίου.

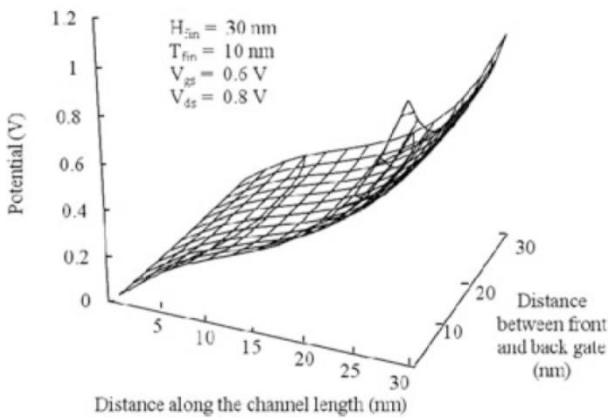
Η μεταβολή της τάσης κατωφλίου με το ύψος του fin για διάφορα πάχη fin φαίνεται στο Σχήμα 5.2.5. Από αυτό το σχήμα, μπορεί να φανεί ότι καθώς αυξάνει το πάχος των fin, ο ρυθμός μείωσης της τάσης κατωφλίου με το ύψος του fin επίσης αυξάνεται. Αυτό συμβαίνει επειδή καθώς το πάχος των fin αυξάνεται, η αποτελεσματική περιοχή κάτω από την πύλη επίσης αυξάνεται, αυξάνοντας έτσι την τάση κατωφλίου.

Το Σχήμα 5.2.6 δείχνει την παραλλαγή της παρασιτικής αντίστασης του συλλέκτη/εκπομπού για διάφορα πλάτη των fin για το προτεινόμενο αναλυτικό μοντέλο και το αναφερόμενο αριθμητικό αποτέλεσμα έτσι ώστε να γίνει επαλήθευση σε όλο το εύρος των fin. Υπάρχει στενή αντιστοιχία μεταξύ των δύο αποτελεσμάτων για μήκος καναλιού 30nm.

Από το Σχήμα φαίνεται ότι καθώς το πλάτος του fin αυξάνεται, υπάρχει μείωση στη παρασιτική αντίσταση για όλες τις τιμές του μήκους καναλιού. Καθώς αυξάνεται το πλάτος των fin αυξάνεται επίσης και η συνολική επιφάνεια μέσω της οποίας ρέει το ρεύμα του εκπομπού. Αυτό έχει ως αποτέλεσμα την μείωση της παρασιτικής αντίστασης. Έπειτα παρατηρείται ότι για σταθερό πλάτος των fin, καθώς αυξάνεται το μήκος του καναλιού, υπάρχει μια ενίσχυση στην παρασιτική αντίσταση του συλλέκτη/εκπομπού. Αυτό μπορεί να γίνει αντιληπτό από το γεγονός ότι καθώς το μήκος του καναλιού μειώνεται, ο κβαντικός περιορισμός κατά μήκος της κατεύθυνσης του συλλέκτη/εκπομπού γίνεται πιο εκτεταμένος. Αυτό έχει ως αποτέλεσμα ότι κατά ενίσχυση της κινητικότητας των φορέων

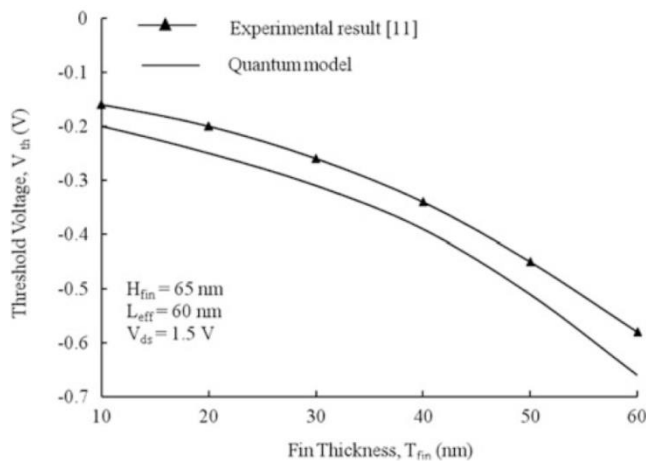
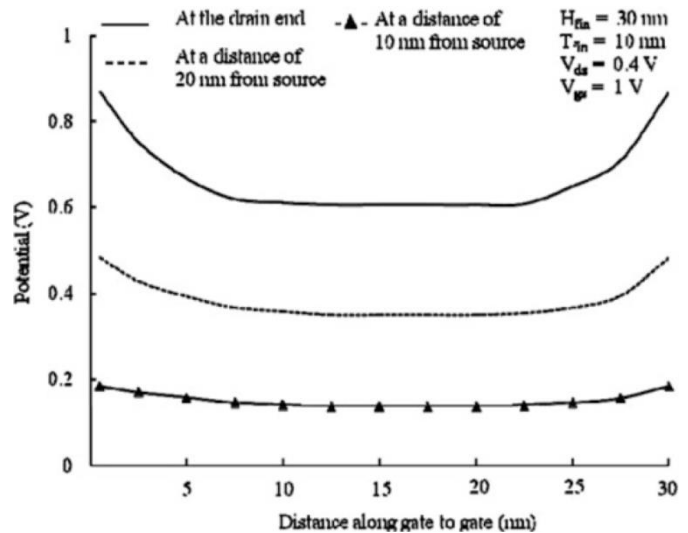
φορτίου, αυτά με τη σειρά τους αυξάνουν το ρεύμα του εκπομπού και συνεπώς η παρασιτική αντίστασης του συλλέκτη/εκπομπού μειώνεται.

Το Σχήμα 5.2.7 δείχνει τη μεταβολή της συνολικής αντίστασης μεταξύ του συλλέκτη και του εκπομπού κατά την μεταβολή της τάσης στην πύλη. Τα αποτελέσματα που προέκυψαν από το αναλυτικό μοντέλο, συγκρίθηκαν με το αναφερόμενο αριθμητικό αποτέλεσμα για το  $W_{fin}=18\text{nm}$ . Η παραλλαγή επίσης παρουσιάζεται για πλάτος  $fin$ ,  $W_{fin}=40$  και  $80\text{nm}$ . Παρατηρείται ότι καθώς το πλάτος των  $fin$  αυξάνεται, υπάρχει σχεδόν γραμμική μείωση της συνολικής αντίστασης για σταθερή εφαρμογή τάσης στην πύλη. Για μεγάλη τάση στην πύλη, η συνολική αντίσταση γίνεται σχεδόν ανεξάρτητη από την εφαρμοσμένη τάση στην πύλη.

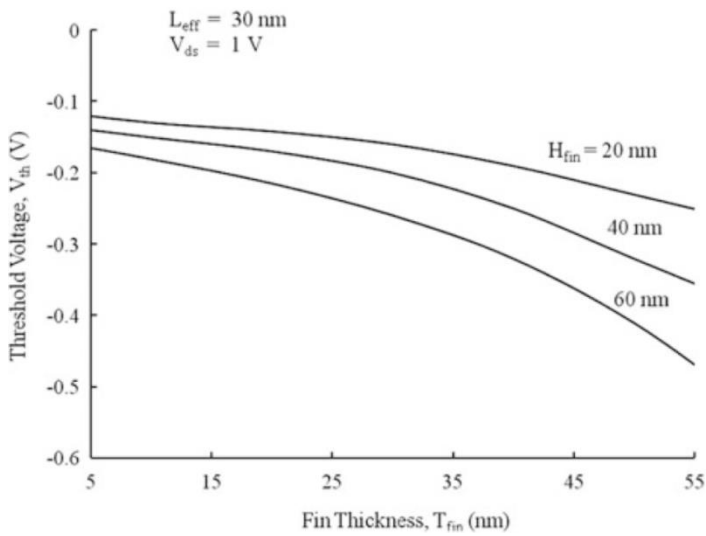


Σχήμα 5.2.1 – Η γραφική παράσταση δυναμικού του FinFET σε 3D, για μήκος καναλιού 30nm

Σχήμα 5.2.2 – Οι μεταβολές του δυναμικού από τον μπροστινή πύλη στην πίσω πύλη σε διαφορετικές θέσεις κατά μήκος του καναλιού

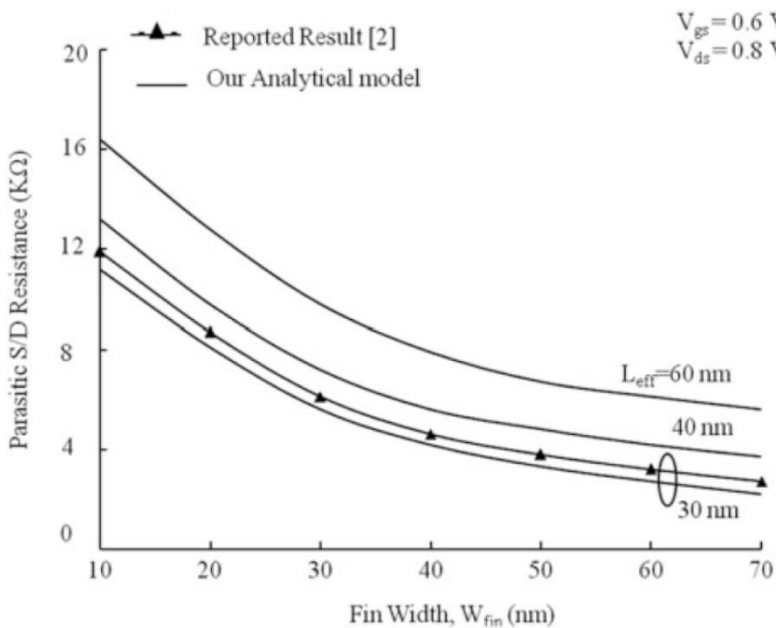
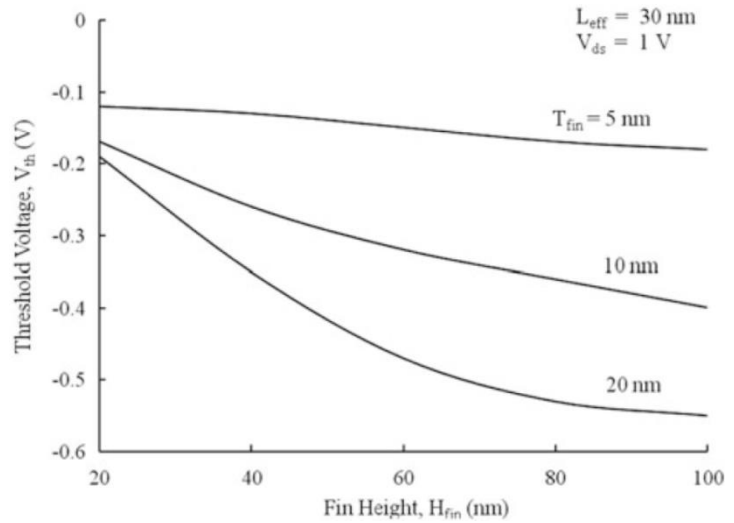


Σχήμα 5.2.3 – Μεταβολές στην τάση κατωφλίου με το πάχος του  $fin$  για το προτεινόμενο από την βιβλιογραφία κβαντομηχανικό μοντέλο, κλασικό μοντέλο και τα αναφερθέντα πειραματικά αποτελέσματα.

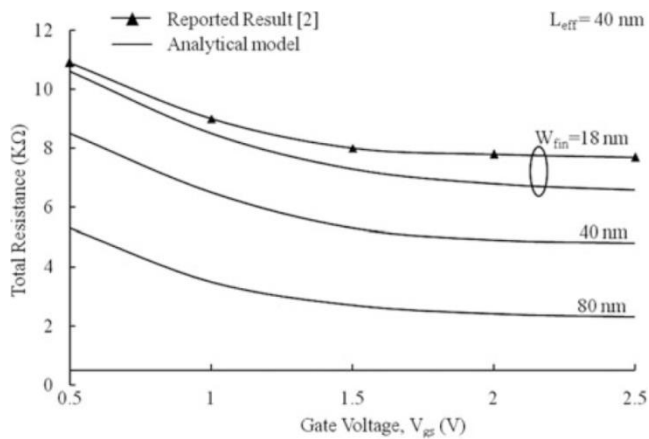


Σχήμα 5.2.4 – Μεταβολές στην τάση κατωφλίου με το πάχος του fin για διάφορα ύψη του fin

Σχήμα 5.2.5 – Μεταβολές στην τάση κατωφλίου με το ύψος των fin για διάφορα πάχη των fin



Σχήμα 5.2.6 – Μεταβολές στην παρασιτική αντίσταση του συλλέκτη/εκπομπού με τα διάφορα πλάτη fin για το προτεινόμενο αναλυτικό μοντέλο και τα αναφερθέντα αποτελέσματα



Σχήμα 5.2.7 – Μεταβολές της ολικής αντίστασης με διάφορες τάσεις στην πύλη για διαφορετικά πλάτη του fin.

### 5.3 - Μοντελοποίηση Κβαντικών Φαινομένων στα FinFET

Τα αναπτυγμένα μοντέλα που αναφέρθηκαν μέχρι στιγμής είναι τα πιο κατάλληλα για την τρέχουσα τεχνολογία FinFET. Ωστόσο, θα πρέπει να επανεξετάζονται όταν το πάχος των fin είναι της κλίμακας κάτω από 5 nm, όπου τα κβαντικά φαινόμενα είναι σημαντικά. Παραδοσιακά, τα κβαντικά φαινόμενα μοντελοποιούνται με την επίλυση της κατ' εκ εκτίμησης εξίσωσης του Schrodinger για τις αποτελεσματικές μάζες στο το κανάλι MOSFET με τις παραμέτρους του ενσωματωμένου υλικού. Ωστόσο, αυτές οι παράμετροι των υλικών, όπως η μάζα ηλεκτρονίων, μπορεί να μην ισχύουν πια για εξαιρετικά μικρά τρανζίστορ. Το ίδιο ερώτημα τίθεται για το μηχανικό στέλεχος των FinFET. Στις βιβλιογραφίες, η μονοδιάστατη μηχανική νανοκλίμακας σε CMOS εξηγείται από τις αλλαγές των παραμέτρων υλικού, όπως τα άκρα της ζώνης αγωγιμότητας και τις αποτελεσματικές μάζες ηλεκτρονίων. Η κατανόηση των αλληλεπιδράσεων μεταξύ φαινομένων κβαντικών περιορισμών και των στελεχών της μηχανικής στα εξαιρετικά μικρά τρανζίστορ είναι σημαντική για την καθοδήγηση των εξελίξεων στην τεχνολογία. Ένας πιθανός τρόπος είναι: πρώτον με τη χρήση της ψευδοδυναμικής θεωρίας για να πάρουμε τις παραμέτρους των υλικών όπως τις αποτελεσματικές μάζες σε διαφορετικές ενεργειακές κοιλάδες και στη συνέχεια να λύσουμε την εξίσωση της αποτελεσματικής μάζας στο κανάλι MOS για να αποκτήσει τα κβαντισμένα επίπεδα ενέργειας και το φορτίο καναλιού. Ωστόσο, οι επιπτώσεις του κβαντικού περιορισμού στις παραμέτρους υλικού έχουν εξαλειφθεί. Ένας άλλος τρόπος είναι η χρήση της εμπειρικής μεθόδου της ατομικής στενής δέσμησης για να μοντελοποιηθούν ταυτόχρονα τα κβαντικά φαινόμενα και τα φαινόμενα των στελεχών ταυτόχρονα. Η ζεύξη μεταξύ αυτών των δύο φαινομένων είναι κατοχυρωμένα.

## Πηγές & Βιβλιογραφία

Lecture Notes in Nanoscale Science and Technology Volume 17, Weihua Han • Zhiming M. Wang, Toward Quantum FinFET, Springer International Publishing Switzerland 2013, ISBN 978-3-319-02020-4

# Κεφάλαιο 6 – Συμπεράσματα

Σε αυτή την εργασία παρουσιάστηκαν με χρονολογική σειρά οι διάφορες εφευρέσεις που οδήγησαν στην τεχνολογία FinFET που απολαμβάνουμε σήμερα. Όπως φάνηκε η ανάπτυξη των τρανζίστορ ήταν ραγδαία καθώς τα αποτελέσματα που απέφεραν ήταν συναρπαστικά. Γιαυτό ήταν μια εφεύρεση που συνάρπασε το επιστημονικό κοινό. Και μάλιστα απέφερε σε μερικούς ερευνητές και βραβείο Νόμπελ. Χάρη σε αυτή την τεχνολογία απολαμβάνουμε σήμερα τις ευκολίες που προσφέρει η πληροφορική. Ήταν το πάτημα για να κατασκευαστούν λογισμικά, καλύτερα και αποτελεσματικότερα δίκτυα, βάσεις δεδομένων, δορυφόροι και γενικότερα είναι το μεγαλύτερο κομμάτι από ότι απαρτίζει ένα κύκλωμα σήμερα.

Συζητήθηκε ο τρόπος κατασκευής των τρανζίστορ τύπου FinFET σε νανοκλίμακα, όπως και οι βασικές λειτουργίες που μπορούν να επιτύχουν βάση απλών λογικών πράξεων οι οποίες χάρη στην μεγάλη ταχύτητα που εκτελούνται αποσκοπούν στην επίλυση διαφόρων δύσκολων και υπερβολικά χρονοβόρων για εμάς τους ανθρώπους πράξεων. Το φάσμα των οποίων μπορεί να είναι από απλά μαθηματικά και πράξεις μεταξύ δεσμών χημείας μέχρι αστροφυσικές προβλέψεις στις κινήσεις και τις συστάσεις των πλανητών. Ακόμη έγινε λόγος σχετικά με την μέθοδο λειτουργίας αυτών των βασικών πράξεων των τρανζίστορ, όπως και το πώς σχεδιάζονται οι διατάξεις των τρανζίστορ και σχηματικά και σε πραγματικά.

Επιπρόσθετα συζητήθηκαν διάφοροι μηχανισμοί υποβάθμισης του θερμού καναλιού Hot Carrier (CHC) με ιδιαίτερη έμφαση στις τρισδιάστατες συσκευές FinFET. Πρώτον, οι μηχανισμοί αποικοδόμησης CHC σε n-FinFET ερευνήθηκαν για μακριές (250nm) και βραχείες (70nm) συσκευές καναλιών. Σε συσκευές μακριού καναλιού, η υποβάθμιση από τους θερμούς φορείς είναι μέγιστη σε χαμηλή κατακόρυφη τάση ηλεκτρικού πεδίου ( $V_G \sim V_D/2$ ), ενώ οι διεισδύσεις ψυχρού και θερμού φορέα στο ελάττωμα του υποστρώματος οξειδίου κυριαρχούν κατά την υψηλή καταπόνηση του κατακόρυφου πεδίου ( $V_G=V_D$ ). Από την άλλη πλευρά, στις συσκευές με βραχέα κανάλια, οι θερμοί φορείς παράγονται συνεχώς σε υψηλό πεδίο καταπόνησης γύρω στο  $V_G=V_D$  και διεισδύοντας μπαίνουν στα ελαττώματα του υποστρώματος οξειδίου, πράγμα που οδηγεί σε συνεχή υποβάθμιση του υποστρώματος αλλοιώνοντας με αυτό τον τρόπο το κανάλι.

Στη συνέχεια, η αξιοπιστία CHC μελετήθηκε ως συνάρτηση του πλάτους fin σε n-FinFET συσκευές με μικρό μήκος καναλιού 70nm. Η υποβάθμιση CHC σε κατάσταση καταπόνησης  $V_G=V_D$  είναι υψηλότερη σε στενότερες συσκευές  $W_{fin}$ . Οι θερμοί φορείς προκαλούν στη συσκευή υποβάθμιση και η προϋπάρχουσα ύπαρξη ελαττωμάτων οξειδίων στο υπόστρωμα Si, συμβάλλει σημαντικά στην συνολική υποβάθμιση CHC. Αυτός ο μηχανισμός υποβάθμισης δεν αλλάζει ως συνάρτηση της  $W_{fin}$ .

Σε περίπτωση που το υπόστρωμα είναι περιστρεμμένο κατά  $45^\circ$ , παρατηρείται χαμηλότερη υποβάθμιση CHC λόγω της χαμηλότερης αρχικής  $N_{it}$  από ότι στη μη-περιστρεμμένη συσκευή. Ακόμη μελετάται η επίδραση των γωνιών των fin συγκρίνοντας τις στρογγυλεμένες γωνίες (RC) και τις αιχμηρές γωνίες (SC), των n-FinFET, οι οποίες δεν παρουσιάζουν σημαντική διαφορά στην PBTI. Αφού το κατακόρυφο πεδίο που εφαρμόζεται στο οξείδιο είναι χαμηλότερο στο CHC από το PBTI, η επίδραση της στρογγυλοποίησης της γωνίας στην υποβάθμιση του CHC αναμένεται να είναι αμελητέα στην αξιοπιστία του CHC.

Μια επισκόπηση των μεθοδολογιών μέτρησης και κάποιες προσομοιώσεις για αυτό-θέρμανση (SHE) επίσης παρουσιάστηκαν. Ένα σχεδιάγραμμα τεχνολογίας που περιλαμβάνει τις επίπεδες συσκευές με υπόστρωμα Si, επίπεδες συσκευές SOI και FinFET με υπόστρωμα Si, δείχνουν ότι η αυτό-θέρμανση είναι μη-αμελητέο φαινόμενο ιδίως στις τεχνολογίες SOI και FinFET. Προβλέψεις για τα FinFET δείχνουν ότι οι μηχανισμοί υποβάθμισης μπορούν να ενεργοποιηθούν ακόμη και σε κανονικές συνθήκες λειτουργίας, γεγονός που ενδέχεται να επηρεάσει την αξιοπιστία της συσκευής.

Τέλος παρουσιάστηκαν διάφορα υλικά υψηλού-k τα οποία συμβάλλουν στην μείωση της υποβάθμισης της συσκευής, περιορίζοντας την κινητικότητα των ηλεκτρονίων και την διάχυση φωνονίων που συμβάλλουν αρκετά στην δημιουργία θερμών φορέων.

Γενικότερα μιλώντας, τα 3T- και 4T-FinFETs έχουν συνεργαστεί επιτυχώς με τη χρήση των βελτιστοποιημένων διαδικασιών κατασκευής CMOS. Το κατασκευασμένο 3T-FinFET δείχνει εξαιρετικά χαρακτηριστικά υπό-κατωφλίου και DIBL, ενώ το 4T-FinFET παρέχει αποτελεσματικό έλεγχο του  $V_{th}$ . Αυτά τα FinFET ενσωματώνονται σε κυκλώματα αντιστροφέα CMOS και κελιά SRAM. Παρουσιάστηκε μείωση όχι μόνο στη διαρροή ρεύματος αλλά και στη δυναμική κατανάλωση ρεύματος με τον κατάλληλο έλεγχο του  $V_{th}$  από το 4T-FinFET. Αν και το ρεύμα διαρροής του χαμηλού- $V_{th}$  του 4T-FinFET είναι υψηλότερο από αυτό του 3T-FinFET, ο έλεγχος του  $V_{th}$  γραμμή ανά γραμμή μπορεί να επιτρέψει στο μέσο ρεύμα διαρροής του 4T-FinFET SRAM να είναι πολύ χαμηλότερο από αυτό του 3T-FinFET SRAM. Έτσι, η κατασκευή του 4T-FinFET SRAM είναι πολλά υποσχόμενη για τα μελλοντικά μικρότερα κυκλώματα, καθώς ομαλοποιεί αρκετά διάφορες προκλήσεις που εμφανίζονταν και ήταν αναπόφευκτες με την επίπεδη τεχνολογία παραγωγής τρανζίστορ.